



Seçmeli harmonik eliminasyon metodu tabanlı bir fazlı evirici tasarımı

Faruk Yalçın^{1*}, Uğur Arifoğlu²

¹Sakarya Elektrik Dağıtım A.Ş., Sakarya

²Sakarya Üniversitesi, Mühendislik Fakültesi, Elektrik-Elektronik Mühendisliği, Sakarya

21.05.2013 Geliş/Received, 22.06.2013 Kabul/Accepted

ÖZET

Gerilim kaynaklı eviricilerde çıkış gerilim dalga şekline ait harmonik bozunumların en aza indirgenmesi büyük önem arz etmektedir. Bu çalışmada, bir fazlı asenkron motor tahrikinde gerilim/frekans (V/f) oranını sabit tutacak şekilde frekansı 5 Hz – 50 Hz aralığında değiştirilebilen bir fazlı evirici tasarımı sunulmuştur. Gerilim harmoniklerini en aza indirmek adına tasarımda, darbe genişlik modülasyonu (PWM) tabanlı seçmeli harmonik eliminasyon metodu (SHEM) kullanılmıştır. Bu yöntem ile evirici çıkış gerilimine ait ana harmonik bileşen genliği ayarlanırken, 3., 5., 7., 9., 11. ve 13. harmonik bileşenleri direkt olarak elimine edilmiştir. Önerilen tasarım için pratik uygulama düzeneği oluşturulmuştur. Elde edilen deneysel sonuçlar, önerilen tasarımın, harmonik bozunumlarını azaltmada etkili olduğunu göstermiştir.

Anahtar Kelimeler: Bir Fazlı Evirici, Seçmeli Harmonik Eliminasyon Metodu, Asenkron Motor

Single phase inverter design based on selective harmonic elimination method

ABSTRACT

Minimization of harmonic distortions in voltage source inverters' output wave form is very important. In this paper, a single phase inverter design that can change the operating frequency between 5 Hz – 50 Hz to achieve the keeping the voltage/frequency ratio (V/f) as constant during single phase asynchronous motor driving is presented. For the aim of minimizing the voltage harmonics, pulse width modulation (PWM) based selective harmonic elimination method (SHEM) is used in the design. Via this method, 3., 5., 7., 9., 11. and 13. harmonic components of the inverter output voltage are eliminated while regulating the amplitude of the main harmonic component. A practical application circuit is installed for the proposed design. The obtained results have shown that the proposed design is efficient in reducing of harmonic distortions.

Keywords: Single Phase Inverter, Selective Harmonic Elimination Method, Asynchronous Motor

* Sorumlu Yazar / Corresponding Author

1. GİRİŞ (INTRODUCTION)

Eviriciler, çıkış gerilim genlik ve frekansı ayarlanabilen alternatif gerilim üretmek için kullanılan temel güç elektroniği tabanlı çeviricilerdir. Evirici, girişine uygulanan doğru gerilimi, uygun formda işleyerek, çıkışında bir ya da çok fazlı alternatif gerilim üretir. Bahsedilen yetenekleri sebebi ile, asenkron motor hız kontrolü, değişken şebeke gerilim genliğinden sabit gerilim elde etme ve gerilim harmoniklerinin azaltılması gibi birçok endüstriyel uygulamalardan, DA enerji iletim sistemlerinin AA sistemlerine bağlanması gibi elektrik güç sistemi uygulamalarına kadar çok geniş bir yelpazede evirici kullanımı oldukça yaygındır [1].

Çalışma prensibi gereği evirici çıkışında elde edilen alternatif gerilim saf sinüs formunda değildir. Bu sebeple, evirici çıkış gerilimi belli oranda harmonik bileşenleri ihtiva eder. Enerji kalitesi ve düzgün işletme çalışması açısından, evirici çıkış gerilimine ait harmonik bozunumlarının en aza indirgenmesi, büyük önem taşır. Literatürde evirici çıkış gerilim harmoniklerini azaltmak için birçok anahtarlama ve donanım yöntemleri geliştirilmiştir. Anahtarlama yöntemi olarak bilinen en ilkel metot, negatif darbeleri kare dalga anahtarlama metodudur. Bu yöntem, harmonik bozunumları yönünden kabul edilemez düzeyde olumsuzdur. Çift yönlü kare dalga anahtarlama metodu, yarı periyotlar boyunca alternans değişimini sağlayarak saf sinüs formuna daha yakın gerilim elde edilmesini mümkün kıldığından, çıkışta daha az harmonik ortaya çıkar. Bu iki anahtarlama yönteminde, doğru gerilim dalga şekli, darbe genişlik modülasyonu (PWM) kullanılarak şekillendirilerek, harmonik bileşenlerinin azalması sağlanır. PWM ile anahtarlama yönteminde, genellikle bir referans sinüs işareti ile üçgen dalga işareti karşılaştırılarak anahtarlama işaretleri elde edilir. Bu teknik harmoniklerin azaltılmasında oldukça etkilidir. Üçgen dalgaya ait frekansın artırılmasına bağlı olarak tam periyottaki anahtarlama frekansının artırılması, harmonik miktarını azaltır fakat anahtarlama kayıplarının artmasına neden olur [2]. Donanımsal olarak kaskat bağlı evirici modüllerinden oluşan evirici yapısı kullanılarak, çok seviyeli (basamaklı) gerilim dalga şekilleri üretilerek, sinüse daha yakın gerilim dalga şekli elde edilmesi amaçlanmaktadır. Basamak sayısının artırılması, harmoniklerin miktarının azalmasında pozitif etki yapar, fakat bu durumda da donanım maliyeti artar. Bahsedilen gerekçeler sebebi ile, evirici tasarımında çıkış gerilim harmoniklerinin azaltılması ile beraber anahtarlama kayıplarının en aza indirgenmesi ve tasarım maliyetinin düşürülmesi oldukça önemlidir.

Literatürde evirici kontrolünde kullanılan bir diğer önemli anahtarlama yöntemi, PWM tabanlı seçmeli

harmonik eliminasyon metodudur (SHEM) [3-6]. Bu metot, evirici tasarımında dört temel avantaj sağlamaktadır: Ana harmonik gerilim genliği kontrolü, istenilen gerilim harmoniklerinin elimine edilmesi, düşük anahtarlama frekans kullanımı (düşük anahtarlama kaybı) ve basit donanım (düşük maliyet ve tasarım kolaylığı). Belirlenen yüksek genlikli harmonik bileşenleri, anahtarlama yöntemi ile yok edilerek, harmonik bozunumu azaltılabilir. Fourier açılımından bilindiği üzere, harmonik genlikleri genellikle harmonik derecesiyle ters olarak azaldığından, genliği yüksek olan düşük dereceli harmoniklerin SHEM yardımı ile elenmesi ve seri filtre ya da süzme transformatörü kullanılarak yüksek dereceden harmoniklerin bastırılması, toplam harmonik bozunumu ciddi boyutta azaltacaktır.

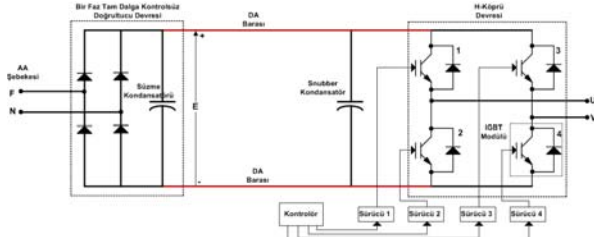
Bu çalışmada, iki seviyeli ve bir fazlı evirici tasarımı yapılmıştır. Evirici anahtarlama kontrolü için SHEM kullanılmıştır. Bu yöntem kullanılarak, ana harmonik bileşen genliği istenilen değere ayarlanırken, 3, 5, 7, 9, 11 ve 13 numaralı harmonik bileşenleri yok edilmiştir. Evirici çalışma frekansı, 5 Hz – 50 Hz arasında değiştirilecek şekilde tasarlanmıştır. Bu frekans aralığındaki her çalışma frekansı için, ana harmonik gerilim genliğinin çalışma frekansına oranı sabit tutularak, bir fazlı asenkron motor hız kontrolü için, hız değişiminden bağımsız olarak, motorun ürettiği momentin, değişik çalışma hızlarında, sabit kalması sağlanmıştır. V/f oranı için, Türkiye standartlarına uygun olarak, 220 V ana harmonik gerilim genliği ve 50 Hz çalışma frekansı referans alınmıştır. Önerilen tasarım için deney düzeneği oluşturulmuş ve deney sonuçları elde edilmiştir. Elde edilen sonuçlar, detaylı olarak incelenmiş ve önerilen tasarımın üstünlüğü deneysel olarak da gösterilmiştir.

2. ÖNERİLEN BİR FAZLI EVİRİCİ TASARIMININ YAPISI (STRUCTURE OF THE PROPOSED SINGLE PHASE INVERTER DESIGN)

Bu bölümde, iki seviyeli bir fazlı evirici tasarımına ait donanımsal dizayn ve teorik hesaplamalar açıklanmıştır. Öncelikle eviriciye ait devre yapısı verilmiştir. Daha sonra, evirici çalışma temelini oluşturan SHEM' e ait hesaplamalar detaylı olarak anlatılmıştır.

2.1. Evirici Donanım Yapısı (Hardware Structure of the Inverter)

Tasarımda kullanılan iki seviyeli bir fazlı evirici devre şeması Şekil 1' de verilmiştir. Şekil 1' de görüleceği üzere, evirici dört temel bölümden oluşmaktadır: Doğru gerilim kaynağı, köprü devresi, sürücü katı ve kontrolör.



Şekil 1. İki seviyeli bir fazlı evirici devre şeması (Two-level single phase inverter circuit diagram)

Bu çalışmada doğru gerilim kaynağı olarak, şebeke üzerinden beslenen, bir faz tam dalga köprü doğrultucu çıkışı kullanılmıştır. Doğrultucu çıkışına, nispeten büyük bir değerde kapasite bağlanarak, dalgalılığı az bir doğru gerilim elde edilmesi amaçlanmıştır. H-köprü devresi, evirici çalışmasının ana işlevini yerine getirir. Evirici, girişine uygulanan doğru gerilimi, güç elektroniği anahtarlama elemanları ile değiştirerek, çıkışında alternatif gerilim oluşturur. Tasarımda anahtarlama elemanı olarak, kapıdan kontrollü kesim özelliği bulunan, IGBT modülü kullanılmıştır. Bu modül, IGBT elemanına ters bağlı serbest geçiş diyodu da içermektedir. Sürücü devreler, kontrolör tarafından belirlenen kontrol sinyallerine göre, anahtarlama elemanlarını iletim ya da kesime sokarlar. Kontrolör, evirici çıkışında oluşturulacak alternatif gerilim dalga şeklini belirleyecek anahtarlama kontrol sinyallerini, sürücü katına gönderir.

Pratikte, evirici girişine ait doğru gerilim kaynağı ile H-köprüyü bağlayan DA barası serbest endüktans içerir. Tasarımda, bu baranın fiziki olarak mümkün olduğu kadar düz, pürüzsüz ve kısa olmasına çalışılarak, serbest endüktans değeri minimuma indirilir fakat yok edilemez. Bu serbest endüktans anahtarlama elemanlarının kesim durumlarında ciddi gerilim endüklenmelerine sebep olur. Endüklenen bu gerilim DA bara geriliminin yükselerek anahtarların maksimum çalışma gerilim değerlerinin aşılmasına ve anahtarların zarar görmesine neden olabilir. Literatürde anahtarlama elemanlarının maruz kalacağı bu durumların önlenmesi için çok farklı söndürme (snubber) devreleri tasarlanmıştır. Bu çalışmada, bahsedilen durumun önlenmesi için snubber kapasitörü kullanılmıştır. Bu kapasitör anahtarlama elemanlarının oluşturduğu H-köprü devresinin girişine paralel olarak bağlanarak, DA barasına ait serbest endüktans üzerindeki gerilimi sönmüleyerek, anahtarlama elemanlarının tehlikeli yüksek gerilimlere maruz kalmasını önler.

2.2. SHEM' in Evirici Çalışmasına Uygulanması (Application of SHEM to Inverter Operation)

Sinüsoidal olmayan gerilim dalga şekli, Fourier açılımı ile aşağıdaki gibi verilebilir [7]:

$$v(wt) = v_0 + \sum_{n=1}^{\infty} a_n \sin(nwt) + \sum_{n=1}^{\infty} b_n \cos(nwt) \quad (1)$$

Burada, v_0 , a_n ve b_n sırasıyla; $v(wt)$ dalga şekline ait ortalama gerilim değerini, sinüs bileşen genliğini ve kosinüs bileşen genliklerini göstermek üzere bu terimler;

$$v_0 = \frac{1}{2\pi} \int_0^{2\pi} v(wt) dwt \quad (2)$$

$$a_n = \frac{1}{\pi} \int_0^{2\pi} v(wt) \sin(nwt) dwt \quad (3)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} v(wt) \cos(nwt) dwt \quad (4)$$

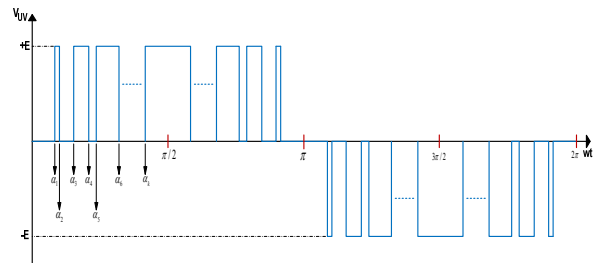
eşitlikleri yardımı ile elde edilirler.

Tasarlanan evirici çıkışında elde edilecek alternatif gerilim dalga şekli için tercih edilen genel dalga Şekil 2' de verilmiştir. Şekil 2' de verilen dalga şeklinin (1) eşitliği ile verilen Fourier açılımında,

$$V_{UV}(wt + \pi) = -V_{UV}(wt) \quad (5)$$

özelliği sağlandığından çift dereceli harmonik bileşenler bulunmaz. Bu durumda (6) eşitliği geçerli olacaktır.

$$a_{2n} = b_{2n} = 0 \quad (6)$$



Şekil 2. Evirici çıkış gerilim dalga şekli için genel dalga şekli formatı (General wave form format for inverter output voltage wave form)

Ayrıca,

$$V_{UV}(-wt) = -V_{UV}(wt) \quad (7)$$

özelliği sebebiyle kosinüs bileşenleri sıfır olur. Bu durumda (8) eşitliği geçerli olacaktır.

$$b_n = 0 \quad (8)$$

Şekil 2' de verilen gerilim dalga şekli yatay eksene göre aksel simetriye sahip olduğundan, (9) eşitliğinde verildiği gibi gerilim dalga şeklinin ortalama değeri sıfır olur.

$$v_0 = 0 \quad (9)$$

Her bir alternans için yarı alternans periyodundan geçen dikey eksene göre simetrik olan bu dalga şeklinde, k ; çeyrek periyottaki darbe sayısını ve α_k ; çeyrek periyottaki radyan cinsinden darbe açılarını göstermek üzere, bu dalga şekline ait (1) eşitliği ile hesaplanan Fourier açılımı;

$$V_{UV}(wt) = \sum_{n=1}^{\infty} a_n \sin(nwt) \quad (n=1,3,5,\dots,\infty) \quad (10)$$

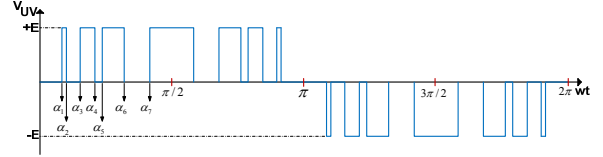
olup, (10) eşitliğinde görülen a_n katsayısı;

$$a_n = \frac{4E}{\pi n} \sum_{i=1}^k [(-1)^n \cos(n\alpha_i)] \quad (11)$$

olarak verilir. Bu durumda, (10) eşitliğinde tanımlanan ve (11) eşitliğinde değeri verilen a_n katsayıları, Şekil 2' de görülen gerilim dalga şekline ait harmonik genliklerini ifade eder. (11) eşitliğinde görüleceği üzere, Şekil 2' de verilen gerilim dalga şekline ait tüm gerilim harmonik bileşen genlikleri, çeyrek periyotta belirlenen k adet α_k darbe açısına bağlıdır. Bu durum, matematiksel olarak, maksimum k adet harmonik genlik değerinin, uygun seçilmiş k adet darbe açısı ile ayarlanabileceğini gösterir. Böylelikle, k adet tetikleme açısından ilki ana harmonik gerilim genliğini istenen değere ayarlarken, geri kalan $k-1$ adet tetikleme açısı yardımı ile ana harmonik dışında kalan diğer harmonik bileşenler elimine edilebilir.

Daha önceden belirtildiği üzere, bu makaledeki çalışmada ana harmonik genliği çalışma frekansına göre belirlenirken, 3, 5, 7, 9, 11 ve 13 numaralı harmonik bileşen genlikleri, yok edilmek (sıfır değerine çekilmek) istenmiştir. Dolayısıyla, toplam 7 adet harmonik bileşen genliğini belirleyebilmek için, genel yapısı Şekil 2' de

verilen dalga şekli için, evirici çıkışı gerilim dalgasının çeyrek periyodunda ($\pi/2$) en az 7 adet darbe (tetikleme) açısı olması gerekmektedir. Önerilen tasarım için evirici çıkışında oluşturulan gerilim dalgası Şekil 3' de verilmiştir.



Şekil 3. Tasarlanan evirici çıkışında oluşturulan gerilim dalga şekli (Created voltage wave form in output of the designed inverter)

Şekil 3' te verilen gerilim dalga şekline ait harmonik bileşen genlikleri,

$$a_n = \frac{4E}{\pi n} [\cos(n\alpha_1) - \cos(n\alpha_2) + \cos(n\alpha_3) - \cos(n\alpha_4) + \cos(n\alpha_5) - \cos(n\alpha_6) + \cos(n\alpha_7)] \quad (n=1,3,5,\dots,\infty) \quad (12)$$

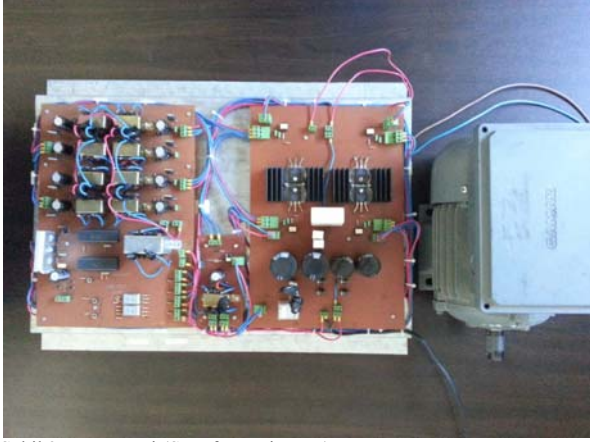
olarak hesaplanır. Ayarlanmak istenen ana harmonik gerilim genliği V_1 olarak gösterilmek üzere, tasarım için belirtilen amaç doğrultusunda, aşağıdaki doğrusal olmayan denklem takımı yazılabilir:

$$\begin{aligned} a_1 &= \frac{4E}{\pi} [\cos(\alpha_1) - \cos(\alpha_2) + \cos(\alpha_3) - \cos(\alpha_4) + \cos(\alpha_5) - \cos(\alpha_6) + \cos(\alpha_7)] = V_1 \\ a_3 &= \frac{4E}{3\pi} [\cos(3\alpha_1) - \cos(3\alpha_2) + \cos(3\alpha_3) - \cos(3\alpha_4) + \cos(3\alpha_5) - \cos(3\alpha_6) + \cos(3\alpha_7)] = 0 \\ a_5 &= \frac{4E}{5\pi} [\cos(5\alpha_1) - \cos(5\alpha_2) + \cos(5\alpha_3) - \cos(5\alpha_4) + \cos(5\alpha_5) - \cos(5\alpha_6) + \cos(5\alpha_7)] = 0 \\ a_7 &= \frac{4E}{7\pi} [\cos(7\alpha_1) - \cos(7\alpha_2) + \cos(7\alpha_3) - \cos(7\alpha_4) + \cos(7\alpha_5) - \cos(7\alpha_6) + \cos(7\alpha_7)] = 0 \\ a_9 &= \frac{4E}{9\pi} [\cos(9\alpha_1) - \cos(9\alpha_2) + \cos(9\alpha_3) - \cos(9\alpha_4) + \cos(9\alpha_5) - \cos(9\alpha_6) + \cos(9\alpha_7)] = 0 \\ a_{11} &= \frac{4E}{11\pi} [\cos(11\alpha_1) - \cos(11\alpha_2) + \cos(11\alpha_3) - \cos(11\alpha_4) + \cos(11\alpha_5) - \cos(11\alpha_6) + \cos(11\alpha_7)] = 0 \\ a_{13} &= \frac{4E}{13\pi} [\cos(13\alpha_1) - \cos(13\alpha_2) + \cos(13\alpha_3) - \cos(13\alpha_4) + \cos(13\alpha_5) - \cos(13\alpha_6) + \cos(13\alpha_7)] = 0 \end{aligned} \quad (13)$$

(13) eşitliği ile tanımlanan doğrusal olmayan denklem takımını sağlayan; $\alpha_1, \alpha_2, \alpha_3, \alpha_4, \alpha_5, \alpha_6$ ve α_7 darbe açıları tespit edilerek güç elektroniği anahtarları bu açılara göre tetiklendiğinde hem, 3., 5., 7., 9., 11. ve 13. harmonik bileşenleri yok edilmiş olur hem de ana harmonik gerilim etkin değeri arzu edilen değere ayarlanır. Bununla beraber, tespit edilen darbe açıları için, gerilim dalga şeklindeki 15 ve daha yüksek dereceden harmonik bileşenlerinin kontrol edilemeyeceği aşıkardır. Bu yöntem ile, daha önceden belirtildiği üzere, derece sayıları ile ters orantılı olarak genlikleri nispeten büyük olan, düşük dereceli harmonikler elimine edilerek, toplam harmonik bozunumu azaltılmaktadır. Ayrıca yüksek dereceden harmoniklerin seri filtre ya da süzme transformatörü üzerinden etkilerinin azaltılması daha kolay olur.

3. DENEYSEL UYGULAMA VE ELDE EDİLEN SONUÇLAR (EXPERIMENTAL APPLICATION AND OBTAINED RESULTS)

Önerilen tasarım için deney düzeneği Şekil 4’de verilmiştir.

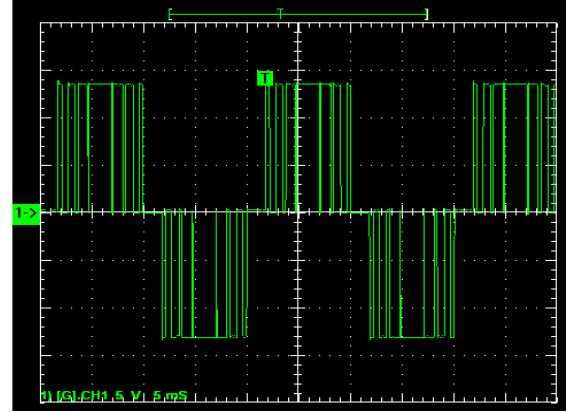


Şekil 3. Deney seti (Set of experiments)

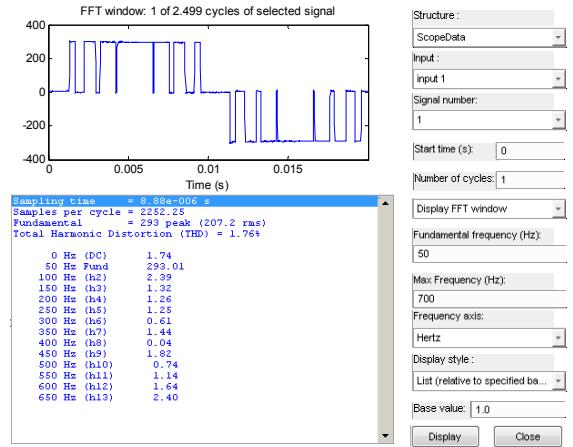
Evirici çalışma frekansı, 5 Hz – 50 Hz arasında (tam değerler) değiştirilebilmektedir. Evirici çıkışına yük olarak bir fazlı asenkron motor bağlanmıştır. Frekans değişimine bağlı olarak asenkron motora ait V/f oranının sabit tutulması amaçlanmıştır. Deney düzeneğinde, Türkiye şebekesine ait çalışma frekansı (50 Hz) ve faz-nötr etkin gerilim değeri (220 V) alınmış, buna göre diğer çalışma frekanslarına ait ana harmonik gerilim genlik değeri belirlenmiştir. Bu sebeple her bir çalışma frekansı için belirlenen ana harmonik gerilim bileşenlerini elimine eden darbe açılı (13) eşitliği kullanılarak hesaplanmıştır. Hesaplama sonunda elde edilen açı değerleri için gerçek zaman değerleri, evirici kontrolörü olarak kullanılan mikrodenetleyici içine, çevrim tablosu olarak gömülmüştür. Evirici girişine uygulanan doğru gerilim, mevcut bir faz şebeke geriliminden doğrultularak elde edilmiştir. Deney, belirlenen aralıktaki tüm frekanslar için yük altında gerçekleştirilmiştir. Yük altında ölçülen gerçek evirici çıkış gerilim dalga şekillerine ait değerler, dijital osiloskop ile elde edilmiş olup, bu değerlerin harmonik analizi MATLAB-Simulink ortamında yapılmıştır [8]. Dijital osiloskoptan alınan ayrıık veriler önce MATLAB Command Window’ da sürekli hale getirilmiştir. Bu işlemde, sıfırıncı mertebeden tutucu mantığı ile, mevcut ayrıık verinin alındığı an baz alınmak suretiyle örnekleme süresi boyunca (bir sonraki verinin alındığı süreye kadar) gerilim dalga şekline ait değerler mevcut ayrıık veriye ait değerde olduğu kabul edilmiştir. Oluşturulan sürekli gerilim dalga şekli MATLAB-

Simulink ortamına aktarılarak PowerGui’ ye ait FFT aracı ile harmonik analizine tabi tutulmuştur.

Örnek olarak, 50 Hz çalışma frekansı için, evirici çıkış gerilim dalga şekline ait osiloskop görüntüsü Şekil 5’de, bu dalga şekline ait MATLAB-Simulink ortamında yapılan harmonik analizi sonuçları ise Şekil 6’ da verilmiştir.



Şekil 4. 50 Hz çalışma frekansı için evirici çıkış gerilim dalga şekli (Inverter output voltage wave form for 50 Hz operation frequency)



Şekil 5. 50 Hz çalışma frekansı için evirici çıkış gerilim dalga şekline ait harmonik analizi (Harmonic analysis of inverter output voltage wave form for 50 Hz operation frequency)

Şekil 6’da, 50 Hz çalışma frekansı için elde edilen harmonik analiz sonuçlarına bakıldığında, ana harmonik dışındaki 13. harmoniğe kadar (13. harmonik dahil) harmonik bileşen genliklerinin nispeten ihmal edilebilir seviyelere indiği görülmektedir. Söz konusu harmonikler için toplam harmonik bozunumu ise %1,76 gibi oldukça düşük bir seviyededir. Ana harmonik genliğinin ise hedeflenen değere göre (220 V) %5,8’ lik hata payıyla ulaşıldığı görülmektedir. Bölüm 2’ de verilen hesaplamalar için eviriciye ait doğrultucu girişi şebeke geriliminin (F-N) 220 V etkin değerde olduğu,

dolayısıyla doğrultucu çıkışı doğru gerilim ortalama değerinin 311.12 V olduğu kabul edilmiştir. Gerçekte şebeke gerilimi şebeke yüklenme koşullarına bağlı olarak hiçbir zaman sabit olmaz ve farklı değerler alır. Dolayısıyla evirici girişine uygulanan doğru gerilim ortalama değeri de değer değiştirir. Literatürde birçok uygulamada şebeke gerilimindeki değişmelerin oluşturduğu bu durumdan etkilenmemek için, doğrultucu çıkışı alçaltıcı-yükseltici çeviriciye uygulanır [9]. Böylelikle şebeke gerilimindeki artış ya da azalma durumunda alçaltıcı-yükseltici çevirici çıkışında sürekli sabit doğru gerilim değeri elde edilir. Ancak bu çalışmada böyle bir kontrol yapılmamıştır. Bunun ötesinde, Bölüm 2’ de verilen tüm hesaplamalar Şekil 3 ile verilen gerilim dalga şekli için geçerlidir. Bu çalışmada, tüm çalışma frekansları için, ana harmonik gerilim genliğini istenilen seviyeye ayarlamak ve belirlenen harmonikleri elimine etmek için, şebeke gerilim değeri için yapılan kabullere göre Bölüm 2’ de verilen hesaplamalar haricinde ilave bir denetim yöntemi kullanılmamıştır.

Tüm çalışma frekansları için evirici çıkış gerilim dalga şekline ait V/f oranları ve 13. harmoniğe kadar olan (13. harmonik dahil) toplam harmonik bozunumu (total harmonic distortion – THD) oranları Tablo 1’ de verilmiştir.

Tablo 1. Evirici çalışma frekansları için elde edilen u/f ve evirici çıkış gerilimi THD oranları (The obtained u/f and THD of inverter output voltage ratios for inverter operation frequencies)

Çalışma Frekansı (Hz)	Elde Edilen u/f oranı (Hedef: 4,4 V/Hz)	V/f Hata Oranı %	Elde Edilen THD Oranı % (Hedef: %5 altı)
50	4,1440	6,1776	1,76
49	4,1408	6,2597	2,00
48	4,2375	3,8348	8,43
47	4,2553	3,4005	1,99
46	4,1434	6,1930	4,44
45	4,1511	5,996	2,36
44	4,1704	5,5055	1,97
43	4,1883	5,0546	2,23
42	4,1880	5,0621	1,70
41	4,1975	4,8243	3,50
40	4,2350	3,8961	4,72
39	4,2282	4,0632	4,25
38	4,2736	2,9577	2,70
37	4,2513	3,4978	3,56
36	4,2388	3,8030	2,80
35	4,2685	3,0807	2,92
34	4,2705	3,0324	4,05
33	4,3030	2,2542	3,46

32	4,3281	1,6612	3,02
31	4,3419	1,3381	1,56
30	4,3200	1,8519	4,22
29	4,2862	2,6550	3,91
28	4,3214	1,8189	3,61
27	4,3333	1,5392	3,40
26	4,3730	0,6174	3,88
25	4,3440	1,2891	2,24
24	4,3333	1,5392	3,88
23	4,3565	0,9985	2,78
22	4,3250	1,7341	3,48
21	4,3614	0,8850	2,96
20	4,3100	2,0882	4,41
19	4,4026	0,0590	2,94
18	4,2733	2,9649	5,23
17	4,3005	2,3137	2,32
16	4,3637	0,8319	2,11
15	4,3060	2,1830	6,60
14	4,3507	1,1332	2,20
13	4,4176	0,3980	5,49
12	4,3816	0,4199	2,95
11	4,3636	0,8342	5,67
10	4,3150	1,9699	6,76
9	4,3266	1,6965	4,92
8	4,2850	2,6838	6,38
7	4,2971	2,3946	4,63
6	4,2716	3,0059	6,77
5	4,4360	0,8120	4,87

Tablo 1’ de elde edilen sonuçlara bakıldığında, Bölüm 3’ te yapılan teorik hesaplama sonuçlarına göre elde edilen pratik sonuçlara, nispeten küçük hata oranlarıyla ulaşıldığı görülmektedir. Hedeflenen V/f oranının küçük hata oranlarıyla sağlandığı ve evirici çıkış gerilimine ait THD oranının ise çoğunlukla %5’in altında olduğu görülmektedir.

4. SONUÇLAR VE TARTIŞMA (RESULTS AND CONCLUSION)

Bu çalışmada bir fazlı evirici tasarımı yapılmış ve pratik uygulama sonuçları elde edilmiştir. Evirici çalışması için çıkış gerilim dalga şeklinin belirlenmesinde SHEM kullanılarak belirlenen harmonik bileşenlerinin elimine edilmesi ve ana harmonik bileşen genliğinin ayarlanması amaçlanmıştır. Evirici değişik çıkış frekanslarında çalıştırılmıştır. Yük olarak seçilen bir fazlı asenkron motorda V/f oranının sabit kalması amaçlanmış ve buna göre her çalışma frekansı için ana harmonik genliği, bu amaca uygun olarak ayarlanmıştır. Aynı zamanda, belirlenen harmonik bileşenleri tüm çalışma frekanslarında elimine edilmiştir. Önerilen tasarım için pratik uygulama düzeneği oluşturularak gerçek çalışma değerleri elde edilmiştir. Elde edilen deney sonuçları, amaca ihmal edilebilir hata payı ile

ulaşılabilmesini, önerilen tasarımın, belirlenen harmoniklerin elimine edilmesinde ve harmonik bozunumlarını azaltmada etkili olduğunu göstermiştir.

KAYNAKLAR

- [1] Yalçın, F., 'Bir Fazlı İnverter Tasarımı', Yüksek Lisans Tezi, Sakarya Üniversitesi Fen Bilimleri Enstitüsü, Sakarya, 2009.
- [2] Mohan, N., Undeland, T.M., Robbins, W.P., 'Power Electronics: Converters, Applications, and Design', John Wiley & Sons Inc., Hoboken, NJ, 1995.
- [3] Narimani, M., Mochopoulos, G., 'Selective Harmonic Elimination in Three-Phase Multi-Module Voltage Source Inverters', 27th Annual IEEE Applied Power Electronics Conference and Exposition, Orlando, 2012.
- [4] Shojaei, A., Fathi, S.H., 'An Improved Selective Harmonics Elimination Method to Reduce Voltage THD in Parallel Multilevel Inverters', International Review of Electrical Engineering, Vol. 6-7, 3196-3203, 2011.
- [5] Kavousi, A., Vahidi, B., Salehi, R., Bakhshizadeh, M., Farokhnia, N., Fathi, S.S., 'Application of the Bee Algorithm for Selective Harmonic Elimination Strategy in Multilevel Inverters', IEEE Transactions on Power Electronics, Vol. 27-4, 1689-1696, 2012.
- [6] Filho, F., Maia, H.Z., Mateus, T.H.A., Ozpineci, B., Tolbert, L.M., Pinto, J.O.P., 'Adaptive Selective Harmonic Minimization Based on ANNs for Cascade Multilevel Inverters With Varying DC Sources', IEEE Transactions on Industrial Electronics, Vol. 60-5, 1955-1962, 2013.
- [7] Arifoğlu, U., 'Güç Sistemlerinin Bilgisayar Destekli Analizi', Alfa Yayınları, İstanbul, 2002.
- [8] <http://www.mathworks.com/products/matlab/> (Erişim Tarihi: Mart 2013)
- [9] Xue, Y., Chang, L., Kjaer, S.B., Bordonau, J., Shimizu, T., 'Topologies of Single-phase Inverters for Small Distributed Power Generators: An Overview', IEEE Transactions on Power Electronics, Vol. 19-5, 1305-1314, 2004.

