

## YAZILIM TANIMLI RADYO TABANLI FM DEMODÜLATÖR TASARIMI

**Arda DEMİRAY** (*demirayay@itu.edu.tr*)

*İstanbul Teknik Üniversitesi, Elektrik Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü, İstanbul, Türkiye*

**Ahmet Oğuz KIŞLAL** (*kislal@itu.edu.tr*)

*İstanbul Teknik Üniversitesi, Elektrik Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü, İstanbul, Türkiye*

**Osman CEYLAN** (*ceylanos@itu.edu.tr*)

*İstanbul Teknik Üniversitesi, Elektrik Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü, İstanbul, Türkiye*

**Hasan Bülent YAĞCI** (*bulent.yagci@itu.edu.tr*)

*İstanbul Teknik Üniversitesi, Elektrik Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü, İstanbul, Türkiye*

### ÖZET

Bu çalışmada, yazılım tanımlı radyo tabanlı karma yapıli FM demodülatör Sahada Programlanabilir Kapı Dizileri (FPGA) üzerinde gerçekenmiş ve test edilmiştir. Tasarımda kullanılan tüm alt modüller donanım tanımlama dili olan VHDL ile tasarlanmıştır Yazılımsal uygulamalarda önemli olan esneklik, kaynakların verimli kullanımlı ve düşük güç tüketimi konularında iyileşme hedeflenmiştir. Tasarlanan sistem Cyclone IV model FPGA üzerinde 1247 tane mantıksal birim kullanılarak tasarlanmıştır. FPGA'nın güç tüketimi 113.56 mW, veriler arası maksimum gecikme süresi ise 9.773 ns'dir. Önerilen ve tasarlanan yapı ile daha önce yapılmış ve yayınlanmış olan karma demodülatör yapılarına göre daha az kaynak kullanılmış ve toplam gecikme süresi düşürülmüştür.

**Anahtar Kelimeler:** CORDIC, Sayısal FM, FPGA, YTR

## SOFTWARE DEFINED RADIO BASED FM DEMODULATOR

**Arda DEMİRAY** (*demirayay@itu.edu.tr*)

*Istanbul Technical University, Electrical - Electronics Faculty, Electronics and  
Communication Engineering Department, Istanbul, Turkey*

**Ahmet Oğuz KIŞLAL** (*kislal@itu.edu.tr*)

*Istanbul Technical University, Electrical - Electronics Faculty, Electronics and  
Communication Engineering Department, Istanbul, Turkey*

**Osman CEYLAN** (*ceylanos@itu.edu.tr*)

*Istanbul Technical University, Electrical - Electronics Faculty, Electronics and  
Communication Engineering Department, Istanbul, Turkey*

**Hasan Bülent YAĞCI** (*bulent.yagci@itu.edu.tr*)

*Istanbul Technical University, Electrical - Electronics Faculty, Electronics and  
Communication Engineering Department, Istanbul, Turkey*

### ABSTRACT

In this paper, implementation and test results of a Software Defined Radio based mixed FM demodulator design is presented. Signal processor of the system is an FPGA. Sub-modules were designed by using the hardware design language VHDL. The main purpose of the system is to decrease power consumption and resource usage. Demodulator was implemented on Cyclone IV, and uses 1247 logic elements. The power consumption of FPGA is 113.56 mW, and delay time is 9.773 ns. Proposed mixed demodulator has shorter delay time and lower power consumption according to other published demodulators..

**Keywords:** *CORDIC, Sayisal FM, FPGA, YTR*

## **1. GİRİŞ**

Yazılım Tanımlı Radyo (YTR) sistemlerinde temel amaç radyo işaretlerini bir sayısal işaret işleyiciyle tamamen sayısal olarak işlemektir. Bu sistemlerde modülasyon, demodülasyon, işaret üretimi ve hat kodlaması işlemleri sayısal işaret işleyebilen sayısal işaret işleyici (Digital Signal Processor, DSP) ve sahada programlanabilir kapı dizileri (FPGA) gibi bir işlemci ile yapılması analog devre temelli donanıma duyulan ihtiyacı azaltmaktadır. Böylece herhangi bir donanım değişikliği yapılmadan, sadece yazılımsal değişikliklerle haberleşme sistemleri geliştirilebilir. Teknolojik gelişmeler ile birlikte düşük maliyetli sayısal işaret işleyicilerin yaygınlaşması YTR sistemlerinin tasarımına ivme kazandırmıştır (Park ve diğ., 1999). YTR sistemlerinin gelişmesi ile birlikte haberleşme sistemlerinin ara frekans katındaki işlemlerinin yazılımsal olarak gerçekleştirilebilmesi, radyo sistemlerinin tasarımında büyük esneklik sağlamaktadır.

Frekans modülasyonu, haberleşme sistemlerinde yaygın bir kullanım alanına sahiptir. Radyo yayınlarında, TV yayınlarında ve sayısal kablosuz haberleşme sistemlerinde frekans kaydırmalı anahtarlama formunda frekans modülasyonu kullanılmaktadır (Park ve diğ., 1999). Herhangi bir yayın standardında ses iletiminin kayıpsız bir şekilde gerçekleşmesi istenir.

Haberleşme başarımının önemli bir etkeni olan doğrusallığın sağlanabilmesi için analog GKO (Gerilim kontrollü Osilatör) yerine Direk Sayısal Sentezleyici (DDS) kullanmayı tercih edilmektedir (Hatai ve Chakrabarti, 2009). Günümüzde yüksek performanslı ve iyi bir ses kalitesi elde etmek için yazılım tanımlı FM mimarisi tercih edilmektedir. Modern haberleşme sistemleri yüksek veri hızına sahip alıcı ve verici sistemlerden oluşmaktadır (Brito ve Bampi, 2007). Bu nedenle güç tüketimi, esneklik ve paralel işlem özelliği sayısal işaret işleyicilerin seçiminde önemli bir rol oynamaktadır. DSP ile paralel

işlemler ancak çoklu DSPler ile gerçekleştirilebilir. Bu durum DSP temelli tasarımlarda sıkıntı oluşturmaktadır (Gelsinger, 2001). FPGAların paralel işlem özelliğine sahip olması, düşük güç tüketimi ve esnekliğinden dolayı sayısal FM demodülatör tasarımı için FPGA kullanılmıştır. FM demodülatör tasarımı için çok kullanılan iki mimari vardır. Bunlar; karma demodülatör ve faz kilitlemeli çevrim (FKÇ) bazlı demodülatördür. (Hatai ve Chakrabarti, 2011), (Hatai ve Chakrabarti, 2009), (Rice, 2009), (Brito, 2007) faz kilitlemeli çevrim bazlı mimariye, Yu'nun çalışması (2004) ise karma bazlı mimariye örnek olarak verilebilir.

Bu çalışmada, faz kilitlemeli çevrim bazlı mimari daha az yer kaplasa da harmonik bozulma performansı, karma demodülatör yanında daha kötü sonuçlar verdiği için, karma demodülatör mimarisi tercih edilmiştir. Tasarım DE0 Nano board üzerinde Quartus II programı ile gerçekleştirilmiştir. Modelsim simülasyonu için kullanılmıştır. DAC ve ADC olarak sırasıyla TI DAC902E ve TI ADS830 tercih edilmiştir.

Makalenin ikinci bölümünde tasarlanan sistemin yapısından, üçüncü bölümde sistemin nasıl gerçekleştirildiğinden ve son olarak dördüncü bölümde de sonuçlar anlatılmıştır.

## **2. TASARLANAN SİSTEMİN YAPISI**

### **2.1. Frekans Modülasyon Temelleri**

Frekans modülasyonu taşıyıcı işaretin frekansının, bilgi işaretinin genliğindeki değişimlere bağlı olarak belirlenmiş bir merkez frekans etrafında artırılması ve azaltılması ile gerçekleştirilir. Bu modülasyonda taşıyıcı işaretin frekansı merkez frekans olarak adlandırılır (Hatai ve Chakrabarti, 2011). Bilgi işaretinin genliği arttığında taşıyıcı işaretin frekansı merkez frekansının üzerinde, genliği azaldığında ise taşıyıcı işaretin frekansı merkez frekansının altında değerler alır. Sabit A genlikli, açılı frekansı  $\omega_T$  olan FM işareti (1)'de verilmiştir.

$$S_{FM}(t) = A \cdot \cos(\omega_T t + \phi_{FM}(t)) \quad (1)$$

$S_N$  bilgi işareti ile  $\phi_{FM}$  arasındaki ilişki (2)'deki gibidir.

$$\phi_{FM}(t) = k_{FM} \cdot \int S_N(t) \cdot dt \quad (2)$$

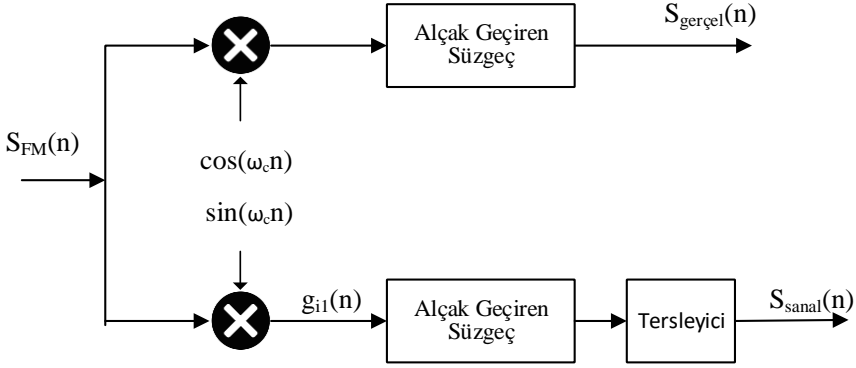
Burada  $S_N(t)$  mesaj işaretini,  $k_{FM}$  ise modülasyon indisini göstermektedir ve demodülasyon sonucu elde edilmek istenen işarettir. Sonraki bölümde bu işaretin  $S_{FM}$  den nasıl elde edildiği anlatılacaktır.

## 2.2. Dördün Karıştırıcısı (Quadrature Mixer)

Analog FM modülasyonlu işaret analog sayısal çevirici (ADC) ile örneklendikten sonra karmaşık temel bant işaretini elde etmek için dördün karıştırma işlemi gerçekleştirilir. Bu işlemi gerçekleştirmek için iki farklı yöntem kullanılabilir. Bunlardan birincisi FM işaretini  $e^{j \cdot \omega_T \cdot n}$  ile çarpıp sonucu alçak geçiren süzgeçten geçirmek, ikinci yöntem ise işareti sinüsoidal işaretler ile çarpıp sonrasında alçak geçiren süzgeçten geçirmektir. FPGA üzerinde gerçek işaretleri gerçeklemek daha kolay olduğu için bu çalışmada ikinci yöntem tercih edilmiştir. Şekil 1'de ilgili yöntemin yapısı verilmiştir. Bu sistemin girişi (1)'de çıkışları ise sırası ile (3) ve (4)'te verilmiştir.

$$S_{gerçel}(n) = g_{r1}(n) * g_{TP}(n) = \frac{A}{2} \cos(\phi_{FM}(n)) \quad (3)$$

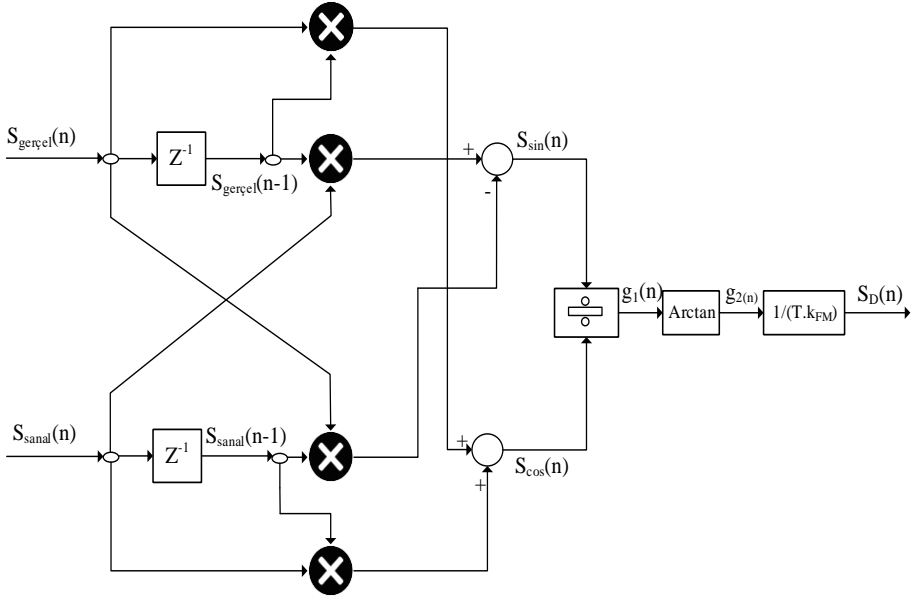
$$S_{sanal}(n) = (-1) \cdot g_{i1}(n) * g_{TP}(n) = \frac{A}{2} \sin(\phi_{FM}(n)) \quad (4)$$



Şekil 1. Dördün Karıştırıcısı Blok Yapısı

### 2.3. Karma Demodülatör

Karma demodülatör yapısı temel bant gecikme demodülatörü ile faz uyarlayıcı demodülatörünün birleşimidir. Karma demodülatör yapısı ile temel bant gecikme ve faz uyarlayıcı demodülatör yapılarının eksikliklerinden kurtulabilir (Eyre ve Bier, 2000). Şekil 2’de bu yapıya ait blok şema, (5),(6),(7),(8) ve (9) da bu mimarinin matematiksel eşitlikleri verilmiştir (Schnyder ve Haller, 2002) .



Şekil 2. Karma Demodülatör Yapısı

$$\begin{aligned}
 s_{\sin}(n) &= S_{\text{sanal}}(n) \cdot S_{\text{gerçel}}(n-1) - S_{\text{gerçel}}(n) \cdot S_{\text{sanal}}(n-1) \\
 &= \sin(\phi_{FM}(n)) \cdot \cos(\phi_{FM}(n-1)) - \cos(\phi_{FM}(n)) \cdot \sin(\phi_{FM}(n-1)) \\
 &= \sin(\phi_{FM}(n) - \phi_{FM}(n-1))
 \end{aligned} \quad (5)$$

$$g_1(n) = \frac{s_{\sin}(n)}{s_{\cos}(n)} = \frac{\sin(\phi_{FM}(n) - \phi_{FM}(n-1))}{\cos(\phi_{FM}(n) - \phi_{FM}(n-1))} = \tan(\phi_{FM}(n) - \phi_{FM}(n-1)) \quad (6)$$

$$\begin{aligned}
 s_{\cos}(n) &= S_{\text{gerçel}}(n) \cdot S_{\text{sanal}}(n-1) + S_{\text{sanal}}(n) \cdot S_{\text{sanal}}(n-1) \\
 &= \cos(\phi_{FM}(n)) \cdot \cos(\phi_{FM}(n-1)) + \sin(\phi_{FM}(n)) \cdot \sin(\phi_{FM}(n-1)) \\
 &= \cos(\phi_{FM}(n) - \phi_{FM}(n-1))
 \end{aligned} \quad (7)$$

$$g_2(n) = \arctan(g_1(n)) = \phi_{FM}(n) - \phi_{FM}(n-1) \quad (8)$$

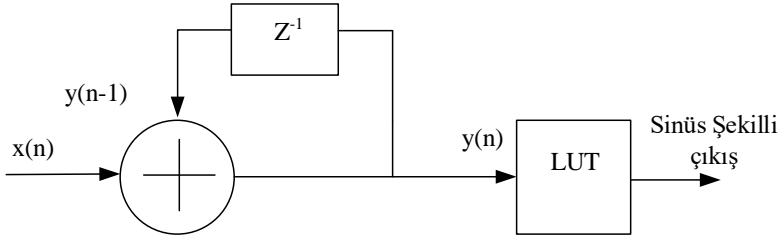
$$S_D(n) = \frac{g_2(n)}{T \cdot k_{FM}} = \frac{\phi_{FM}(n) - \phi_{FM}(n-1)}{T \cdot k_{FM}} = \frac{\phi'_{FM}(n)}{k_{FM}} = S_N(n) \quad (9)$$

Ters tanjant fonksiyonu bloğundan sonraki  $g_2(n)$  işaretinin  $-\pi/2$  ile  $\pi/2$  arasında sınırlandırılması gerekmektedir.  $g_2(n)$  işaretindeki limitten dolayı sıfıra bölünme problemi görülmemektedir. Kaynak kodda özel bir durum tanımlanılarak bu olumsuzluğun önüne geçilmiştir.

### 3. KARMA DEMODÜLATÖRÜN GERÇEKLENMESİ

#### 3.1. Dördün Karıştırıcısı

Dördün Karıştırıcısının blok diyagramı şekil 1 de verilmiştir. Bu mimariyi gerçeklemek için gereken sinüs işaretleri üretmek için Doğrudan Sayısal Sentezi (DDS) metodu tercih edilmiştir. Bu metodun blok diyagramı aşağıda verilmiştir.



**Şekil 3.** Döngü süzgeci yapısı

Çarpımdan sonra, alçak geçiren süzgeç olarak, birinci dereceden bir döngü filtresi kullanılmıştır. Bu süzgecin transfer fonksiyonu (10)'da yapısı ise Şekil 4'te verilmiştir.

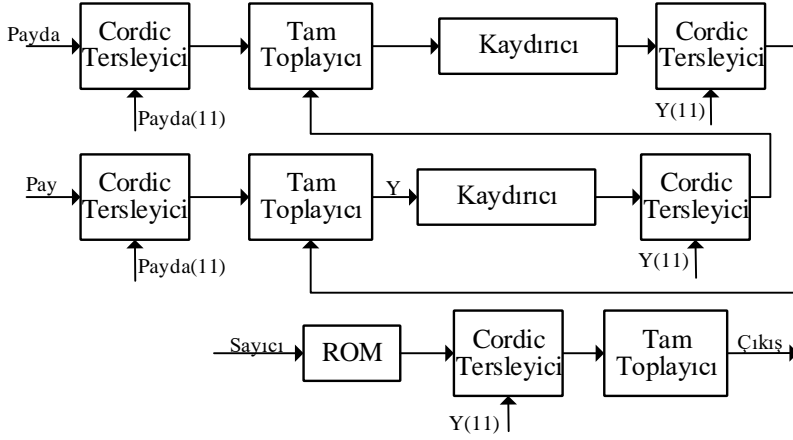
$$H(z) = \frac{Y(z)}{X(z)} = \frac{1}{z - 0.9375} \quad (10)$$

### 3.2. Karma Demodülatör

Bu yapıda; çarpma, toplama, bölme, geciktirme ve ters tanjant fonksiyonlarına ihtiyaç vardır. Ters tanjant fonksiyonunu gerçeklemek için CORDIC yapısını tercih edilmiştir çünkü bu yapı, bölme ve ters tanjant işlemlerini bir arada gerçekleştirme imkanı verir. Çarpma, toplama ve geciktirme işlemlerini FPGA üzerinde gerçeklemek oldukça kolay olduğu için sadece CORDIC algoritmasından bahsedilmiştir.

CORDIC; trigonometrik, ters trigonometrik ve hiperbolik fonksiyonların gerçek zamanlı, yüksek çözünürlüklü aritmetik hesaplamalar için gerçekleştirilen etkin bir algoritmadır (Sertbaş ve Sevgen, 2002). CORDIC Metodu Kullanılarak Trigonometrik Hesap Makinesi Simülasyonu. Ters tanjant fonksiyonunun CORDIC algoritmasının yapısı Şekil 5'te verilmiştir.

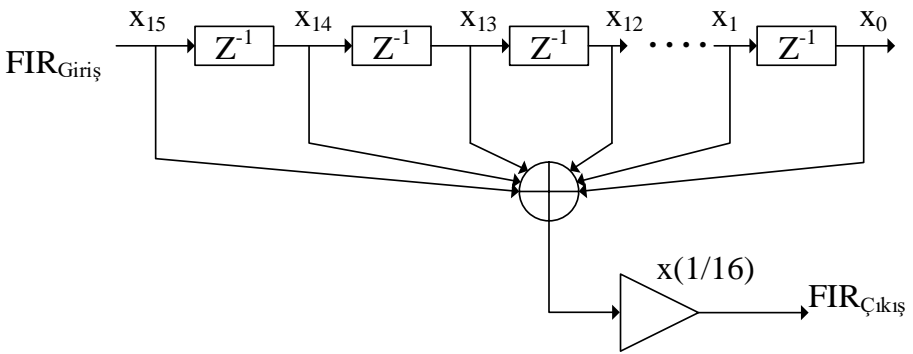




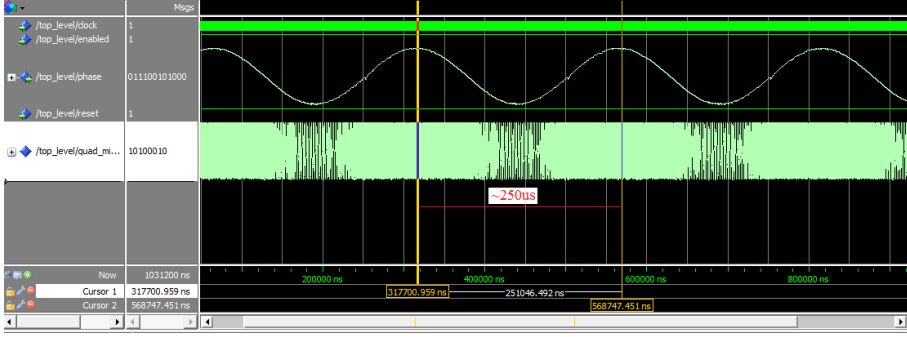
**Şekil 5.** CORDIC ters tanjant yapısı (Daniele Giannotti'nin izniyle)

CORDIC algoritması temelinde tekrarlı (iterative) bir yöntem sunduğu için, bu yapı birçok kez tekrarlanmalıdır. Tasarlanan sistemde sekiz kez tekrarlama tercih edilmiştir.

Ters tanjant aslında karma demodülatörün son aşamasıdır. Ancak çıkışta daha iyi sonuçlar elde etmek için sisteme sonlu darbe yanıtı (SDY) bir alçak geçiren süzgeç eklenmiştir. Bu süzgecin yapısı Şekil 6'da verilmiştir. Sistemin Modelsim üzerindeki benzetim sonucu Şekil 7'de verilmiştir.

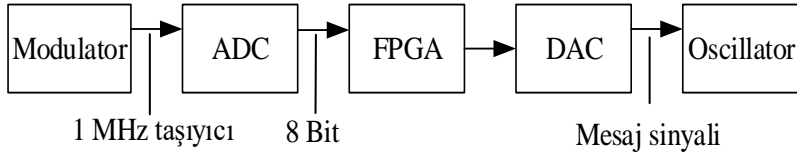


**Şekil 6.** SDY süzgeç yapısı



Şekil 7. Sistem Simülasyonu

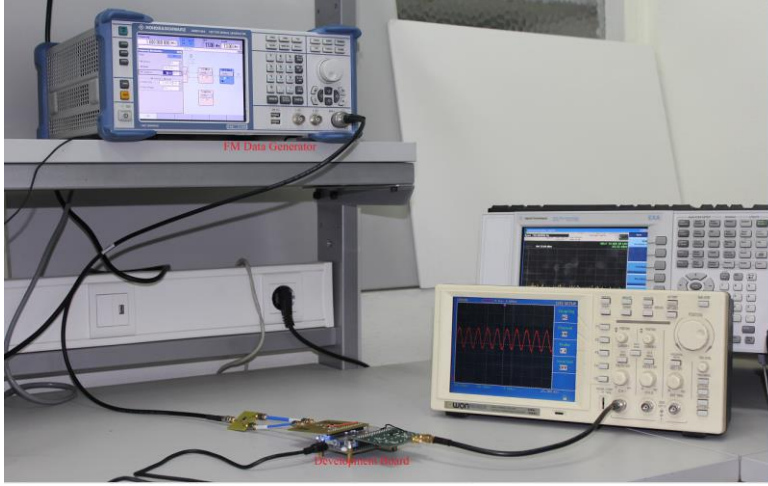
Bu benzetimde giriş işareti olarak MATLAB'dan üretilen 12 bitlik veriler kullanılmıştır. Kullanılan sistemin yapısı ve kurulan test sistemi sırasıyla Şekil 8-9-10'da verilmiştir.



Şekil 8. Ölçüm sistemi yapısı

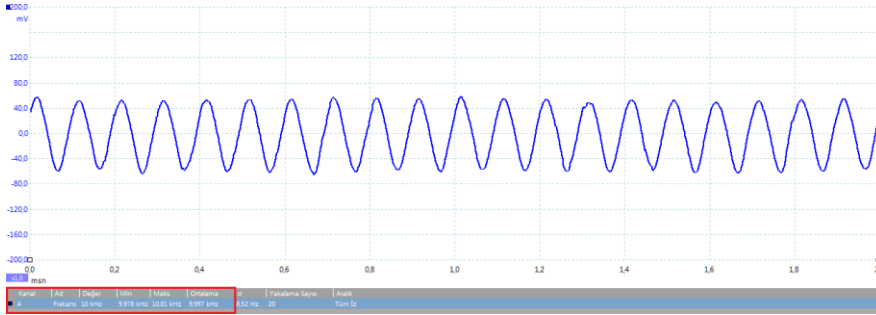


Şekil 9. Altera DE0-Nano, ADC ve DAC

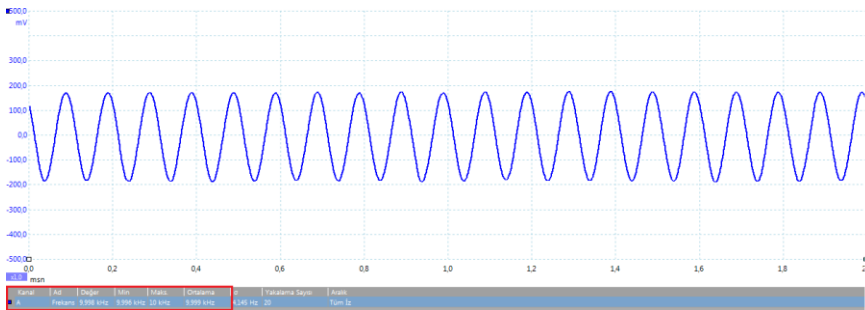


Şekil 10. Test ve ölçüm sistemi

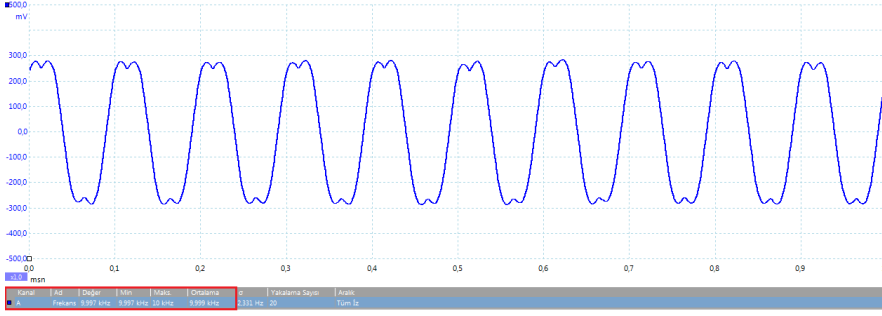
Bu sistem 10 KHz sinüs dalgası şeklindeki mesaj işareti 25, 75 ve 175 KHz deviasyonlu FM işaretleri ile test edilmiştir. Ölçüm sonuçları Şekil 11- 12-13'te verilmiştir.



Şekil 11. Demodüle edilmiş 25 KHz deviasyonlu FM işareti



Şekil 12. Demodüle edilmiş 75 KHz deviasyonlu FM işareti



**Şekil 13.** Demodüle edilmiş 175 KHz deviasyonlu FM işareti

Beklenildiği gibi 175 KHz'de demodüle edilmiş işaret bozulmaya başlamıştır. Karma demodülatör mimarisi düşük ve orta deviasyon değerlerinde daha iyi değerler vermektedir.

Tasarlanan sistem Altera DE0 Nano geliştirme kartında bulunan EP4CE22F17C6 model FPGA üzerinde 1247 mantıksal birim (logic elements) kullanmıştır. Kullanılan alan FPGA'nın toplam alanının %6'lık kısmına karşılık gelmektedir. Sistemin toplam güç tüketimi 113,56 mW, gecikme süresi ise 9.773 ns'dir. Çizelge 1'de konuyla ilgili yayınlanmış çalışmalarda tasarlanmış FM demodülatör mimarilerinin FPGA üzerindeki kaynak kullanımları, güç tüketimleri ve gecikme süreleri verilmiştir. Buna ek olarak, (Hatai ve Chakrabarti, 2011), (Hatai ve Chakrabarti, 2009) ve (Yu, 2004) Xilinx model FPGA'lar üzerinde gerçekleştirilmiş olup, kaynak kullanımları mantıksal dilimler cinsinden ifade edilmiştir. Ancak Altera tarzı FPGA'larda kaynak birimi olarak mantıksal birim kullanılmaktadır. Bu iki ölçü birimi arasında, kesin bir bağıntı olmasa da, mantıksal dilimler 2 başvuru tablosu (LUT) ve 2 flip-flop barındırırken, mantıksal birim 1 LUT ve 1 flip flop barındırmaktadırlar. Bu yüzden yaklaşık olarak 2 mantıksal birimin, 1 mantıksal dilime eşit olduğu söylenebilir.

**Çizelge 1.** Yayınlanmış bazı çalışmalar ile yapılan kaynak ve zamanlama karşılaştırması.

Çalışma	Kaynak kullanımı	Güç harcaması (mW)	Gecikme Süresi (ns)
PLL bazlı demodülatör (Hatai ve Chakrabarti, 2011),	234 Dilim	108,67	12,948
PLL bazlı demodülatör (Hatai ve Chakrabarti, 2009),	349 Dilim	129,27	12,453
Karma demodülatör (Yu, 2004)	2427 Dilim	--	--
<b>Bu çalışma (Karma demodulator)</b>	1247 Mantıksal Birim	113,56	9,773

#### 4. SONUÇ

Bu çalışmada, yazılım tanımlı radyo tabanlı FM demodülatör tasarımı FPGA üzerinde gerçekleştirilmiş ve test edilmiştir. Tasarım sonucunda benzer mevcut çalışmalara göre daha az güç tüketimi ve gecikme süresi elde edilmiştir.

Tasarımda kullanılan tüm modüller, donanım tanımlama dili olan VHDL ile tasarlanmıştır. Tasarım ortamı olarak Altera firmasına ait olan Quartus II derleyicisi kullanılmıştır. Tasarım dördün karıştırıcısı, FM demodülatör ve FIR süzgeç olmak üzere üç ana bloktan oluşmaktadır. Dördün karıştırıcısı bloğunda ADC tarafından örneklenen FM işareti, aynı frekanstaki sinüs ve kosinüs işaretleri ile çarpılır. Elde edilen işaretin yüksek frekans bileşeni alçak geçiren süzgeç yardımıyla süzülerek dikevreli ve eşevreleri işaretler elde edilir. Demodülatör bloğu birim gecikme, çarpma, toplama ve

CORDIC bloklarından oluşur. Demodülatör bloğunun girişine gelen dikevreli ve eşevreli işaretlerin ilgili matematiksel işlemleri sonucu fazı elde edilir. FIR süzgeç yardımıyla işaret biçimlendirilerek bilgi işareti elde edilir. Sistem 16 MHz saat işe çalıştırıldığında 113,56 mW güç harcamaktadır ve FPGA'nın %6'lık bölümünü kullanmaktadır.

## KAYNAKLAR

- [1] Park, J., Joe, E. ve Choe, M. (1999). A 5 MHz IF Digital FM Demodulator, *IEEE Journal of Solid-State Circuits*, 44(6), 3-11.
- [2] Hatai, I. ve Chakrabarti, I. (2009). FPGA Implementantation of a Digital FM Modem, *International Conference on Information and Multimedia Technology*, Jeju Island, South Korea
- [3] Brito, J. P. ve Bampi, S. (2007). Design of a Digital FM Demodulator based on a 2nd Order All-Digital Phase-Locked Loop, *Symposium on Integrated Circuits and Systems Design*, Rio de Janeiro, Brazil.
- [4] Gelsinger, P. (2001). Microprocessors for the New Millennium: Challenges, Opportunities and New Frontiers, *IEEE Solid-State Circuits Conference*, San Francisco, CA, USA 22-25.
- [5] Hatai, I. ve Chakrabarti, I. (2011). "A New High-Performance Digital FM Modulator and Demodulator for Software-Defined Radio and Its FPGA Implementation," *International Journal of Reconfigurable Computing*, Article ID 342532, 10 pages., doi:10.1155/2011/342532
- [6] Yu, F. (2004). FPGA Implementation of A Fully Digital FM Demodulator, *IEEE Communication Systems The Ninth International Conference on*, 446-450.
- [7] Schnyder, F. ve Haller, C. (2002). Implementation of FM Demodulator Algorithms on a High Performance Digital Signal Processor, *Diploma Thesis*, Nanyang Technological University.
- [8] Eyre, J. ve Bier, J. (2000). The Evolution of DSP Processors, *IEEE Signal Processing Magazine*, 17(2), 43-51.
- [9] Sertbaş, A. ve Sevgen, S (2002). CORDIC Metodu Kullanılarak Trigonometrik Hesap Makinesi Simülasyonu, *Bursa Elektrik, Elektronik ve Bilgisayar Mühendisliği Sempozyumu ve Fuarı, Bursa Turkey*.