

EŞİK EVİRMELİ NİCEMLEYİCİ TEKNİĞİ KULLANILARAK YAPILAN 5 BİT YÜKSEK HIZLI PARALEL A / S DÖNÜŞTÜRÜCÜLERDE SAYISAL KODLAMA DEVRELERİ PERFORMANSLARININ İNCELENMESİ

Oktay AYTAR*

Özet

Bu çalışmada 0.18µm TSMC CMOS teknoloji kütüphanesi kullanılarak 5 bit yüksek hızlı paralel analog sayısal dönüştürücü(A / S) tasarımı yapılmıştır. Tasarımı yapılan A / S dönüştürücü temel olarak karşılaştırıcı ve sayısal kodlama bloğu olmak üzere iki önemli blok devresinden oluşmaktadır. Burada karşılaştırıcı bloğu olarak eşik evirmeli nicemleyici tekniği(EEN) kullanılmıştır. Sayısal kodlama bloğunda ise, farklı kodlama devreleri kullanılmıştır. Böylece EEN tekniği kullanılarak yapılan A / S dönüştürücüler için sayısal kodlama blok devrelerinin performansları incelenmiştir. Tasarımı yapılan bütün devrelerde besleme gerilimi 1.8V'tur. Sayısal kodlama blok devreleri olarak programlanabilir rom(pla-rom), lojik tabanlı, seçici(multiplexer) tabanlı, Fat Tree ve Wallace Tree olmak üzere 5 farklı yapı kullanılmıştır. A / S dönüştürücünün güç tüketimi, kodlama devresinde kullanılan transistör sayıları, INL ve DNL performansları incelenmiştir. Yapılan bu çalışmaya göre EEN tekniği ile yapılan A / S dönüştürücü de en yüksek güç tüketimi 291.42mW ile "Wallace Tree", güç tüketimi en düşük 27.378mW ile "pla-rom", 152 adet nmos ve pmos kullanımı ile en düşük transistör sayısına sahip olan kodlayıcı "lojik tabanlı" kodlayıcı olarak görülmüştür. INL-DNL performanslarına göre en kötü performans "Fat Tree", en iyi performans ise "Lojik tabanlı" kod dönüştürücü de gözlenmiştir.

Anahtar Kelimeler: Eşik Evirmeli Nicemleyici, Sayısal Kodlama Bloğu, Yüksek Hızlı A / S Dönüştürücü

INVESTIGATION OF THE PERFORMANCE OF DIGITAL ENCODER CIRCUITS FOR THRESHOLD INVERTER QUANTIZATION BASED 5 BIT FLASH ANALOG TO DIGITAL CONVERTER

Abstract: This paper presents a 5-bit Flash Analog to Digital Converters(ADC) design using 0.18µm TSMC CMOS technology library. The designed system consists of two main blocks as a comparator array and digital encoders. In this paper, as a comparator is to use the so-called Threshold Inverter Quantization (TIQ) technique. As a digital encoder block has been used five different encoding circuits. Thus, the performance of different digital encoder blocks research in the designed system of using TIQ technique. The names of digital encoder block are programmable rom decoder, logic based, multiplexer based, fat tree and wallace tree decoder. Power supply of all designed circuits is 1.8V. The purpose of this work is to compare different digital encoder circuits according to power consumption and INL-DNL errors and counts of transistors. The simulation results show that the average maximum power consumption of systems is 291.42mW for wallace tree deceiver, the average minimum power consumption of systems is 27.378mW for pla-rom, the minimum number of transistor is 152 for logic based decoder. According to INL-DNL analysis, Logic based decoder has been the best INL-DNL performance and fat tree decoder has been the worst INL-DNL performance.

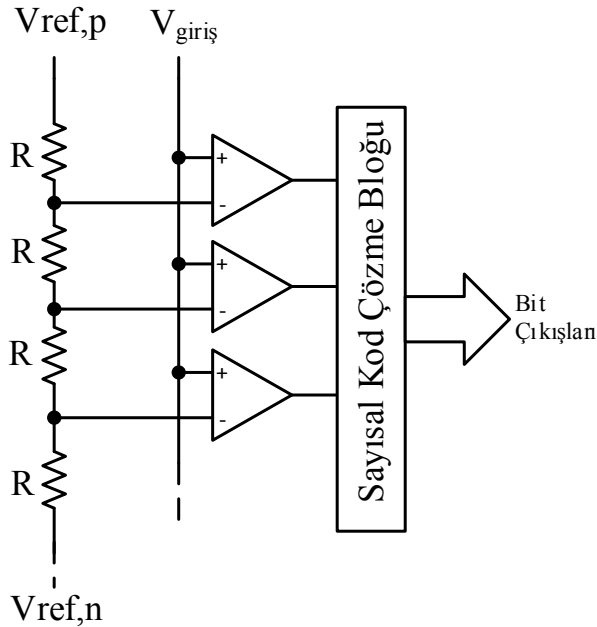
Key words: Threshold Inverter Quantization, Digital Encoder Block, Flash A / D Converter

* Abant İzzet Baysal Üniversitesi Mühendislik Mimarlık Fakültesi Elektrik Elektronik Mühendisliği Bölümü
E-posta: oytar@ibu.edu.tr

1. Giriş

Analog sayısal dönüştürücüler, analog bilginin sayısal bilgiye dönüştürülmesindeki en önemli blok yapılarından biridir. Çünkü gerçek dünya ile sayısal dünya arasında köprü görevi görürler. A / S dönüştürücüler özellikle cep telefonları, kameralar, sayısal televizyonlar, kablosuz haberleşme ağları, alıcı-verici devreleri gibi çok çeşitli uygulamalarda kullanılmaktadır (Aytar, 2009; Chen ve diğ., 2009; Wu ve diğ., 2009; Lin ve diğ., 2010).

Yüksek hızlı paralel a / s dönüştürücüler en hızlı dönüştürücü tipi olarak bilinirler (Sheikhaei ve diğ., 2005; Park ve diğ., 2007; Makigawa ve diğ., 2006). Özellikle basit ve hızlı olmaları nedeniyle manyetik kanal okuma, optik veri kaydedilmesi, sayısal haberleşme sistemlerinin ihtiyacı olan yüksek veri örnekleme ve optik haberleşme sistemlerinde sıkça kullanılmaktadır (Makigawa ve diğ., 2006; Chen ve diğ., 2006; Şahin ve diğ., 2011; Chu ve diğ., 1999; Sail ve Vesterbacka, 2004). Yüksek hızlı paralel a / s dönüştürücü için genel blok devre şeması şekil 1.1’de gösterilmiştir. “n” bitlik bir yüksek hızlı paralel a / s dönüştürücü, $(2^n - 1)$ adet karşılaştırıcı, nicemleme gerilimlerinin olduğu bir direnç dizisi ve sayısal kod çözme devresinden oluşur.



Şekil 1.1 Yüksek Hızlı Paralel Analog Sayısal Dönüştürücü Blok Devresi

Her karşılaştırıcı, referans gerilimlerinin ayarlandığı direnç dizisinden kendine özgü nicemleme adım değerini alır. Bu nicemleme adım değeri ile bu sırada bağlı olduğu analog giriş gerilimi ile karşılaştırılır. Analog giriş gerilimi, referans geriliminden büyük olduğunda karşılaştırıcılar mantıksal olarak “1”, analog giriş gerilimi referans geriliminden küçük olanlar ise mantıksal olarak “0” üretirler. Karşılaştırıcı çıkışında elde edilen bu mantıksal dizi termometre kod olarak isimlendirilir. Elde edilen bu kod çıkışı, daha sonra kodlayıcı ve kod çözücü devrelerden geçirilerek ikili kod elde edilir.

Yüksek hızlı paralel a / s dönüştürücü, literatürde bilinen en hızlı ve en basit dönüştürme sürecine sahiptir. Çünkü paralel a / s dönüştürücü, bir örnekleme periyodu süresinde dönüştürme işlemini tamamlamaktadır. Paralel a / s dönüştürücüler en hızlı dönüştürücü yapısı olarak bilinse de, kullanılan karşılaştırıcı sayısı bit sayısının karesi ile doğru orantılı şekilde artmaktadır. Bu yüzden bit sayısı arttıkça güç tüketiminde ve yonga alanında artma

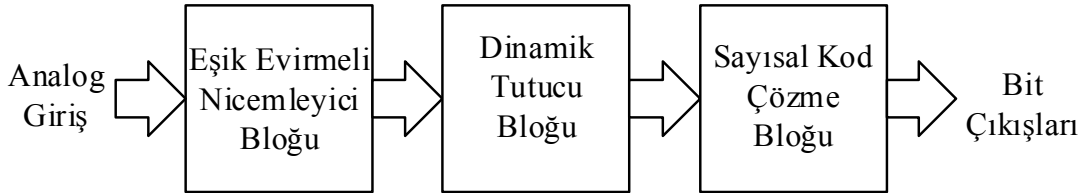
meydana gelmektedir (Gines ve diğ.,2004). Bu yüzden daha çok orta çözünürlükteki yapılarda tercih edilirler.

Literatürde çeşitli paralel a / s dönüştürücü tipleri verilmiştir. Özellikle karşılaştırıcı yapısı olarak farklı devre yapıları kullanılmıştır. Aynı zamanda sayısal kodlayıcı bloğu çalışmaları da son zamanlarda araştırmacıların oldukça ilgisini çekmektedir. Özellikle “pla-rom” ve “fat tree” yapıları sıkça kullanılmaktadır (Sheikhaei ve diğ., 2005).

Yapılan bu çalışmada karşılaştırıcı bloğunda, dirençlerle gerilim bölme tekniğine ihtiyaç duymayan “eşik evirmeli nicemleyici(EEN)” tekniği kullanılmıştır. Sayısal kodlama bloğunda ise farklı kodlama blok devreleri kullanılmıştır. Her bir kodlama bloğu için gerekli devre tasarımları Cadence IC paket programında 0.18µm TSMC CMOS kütüphanesi kullanılarak yapılmıştır. Yapılan bu çalışma ile EEN tekniği kullanılarak yapılması düşünülen a / s dönüştürücüler için kodlama devresi seçiminde kolaylık sağlayacağı düşünülmektedir.

2. 5 BİT PARALEL A / S DÖNÜŞTÜRÜCÜ

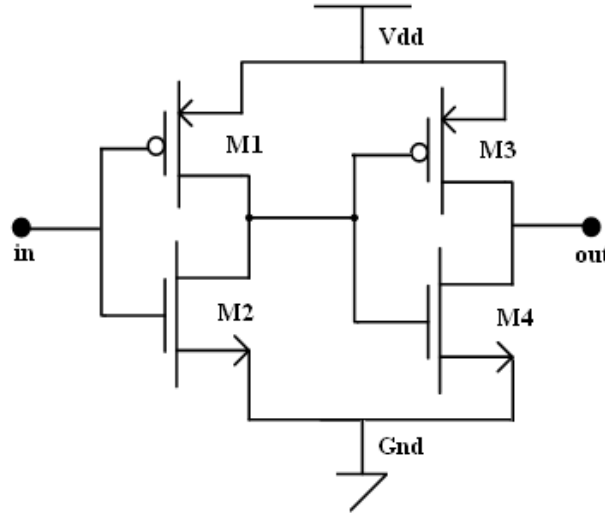
Tasarımı yapılan a / s dönüştürücünün genel blok şeması şekil 2.1’de gösterilmiştir. Buna göre a / s dönüştürücü, eşik evirmeli nicemleyici bloğu, dinamik tutucu bloğu ve sayısal kod çözme bloğundan oluşmaktadır. Buradaki sayısal kod çözme bloğunda ise programlanabilir-rom tabanlı, Fat-tree tabanlı, seçici(mux) tabanlı, Wallace tree tabanlı ve lojik kod tabanlı devreler kullanılmıştır.



Şekil 2.1 5 bit EEN Temelli Yüksek Hızlı Paralel A / S Dönüştürücü Yapısı

2.1.Eşik evirmeli nicemleyici tekniği

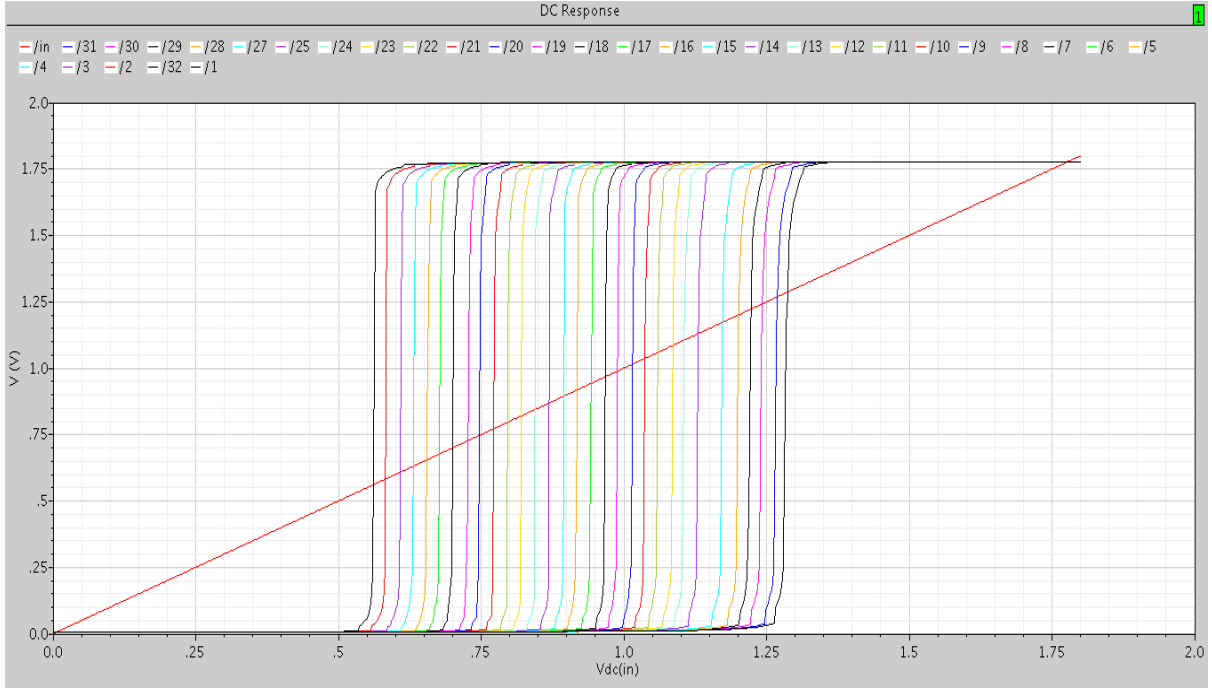
Eşik Evirmeli Nicemleyici (EEN), birbirine seri bağlı iki adet CMOS eviriciden meydana gelmektedir (Tangel, 1999; Tangel ve Choi, 2004). Şekil 2.2’de eşik evirmeli nicemleyici devre şeması gösterilmiştir. EEN tekniğinde kullanılan eviricilerin transistör boyutları hassas bir şekilde değiştirilerek a / s dönüştürücüler için gerekli olan referans gerilimleri üretilir (Yoo ve diğ.,2003). EEN temelli a / s dönüştürücü tasarlanırken, referans gerilimleri içeriden üretildiği için dikkatli olmak gerekmektedir. Çünkü burada üretilen referans gerilimleri CMOS üretim teknolojisine, besleme gerilimine ve sıcaklık değişimlerine bağlı olarak değişmektedir (Yoo ve diğ.,2003; Tangel ve Aytar, 2009).



Şekil 2.2 : Eşik Evirmeli Nicemleyici

Analog giriş işareti nicemleme seviyesi, eşik evirmeli nicemleyicinin birinci katındaki mosfetlerin transistör boyutlarının değişimi ile ayarlanır. Burada kanal boyu (L) değişimi, kanal genişliğine (W) göre daha etkindir. Bu yüzden tasarım süresince eşik gerilimi ayarlanırken “L” sabit tutulur ve “W” değiştirilir. Ayrıca bilindiği üzere mosfetlerin kesim frekansları kanal boyunun karesi ile ters orantılıdır. Bu yüzden karşılaştırıcıların hızlarında kayıp olmaması için “L” değeri mümkün olduğunca küçük seçilmelidir. İkinci evirici katı, kazancı artırmak ve devrenin lojik seviye davranışını tersine dönüştürmek için kullanılır. Burada en önemli nokta, DC gerilim seviyeleri ile yüksek frekanslı giriş işaretleri uygulandığında simetrliliğini korumak ve geçiş özeğrilerinin $y=x$ doğru üzerinde aynı noktada çakışmalarını sağlayabilmek amacı için birinci kat ile ikinci katın transistör boyutlarının tamamen aynı olmasıdır (Tangel, 1999).

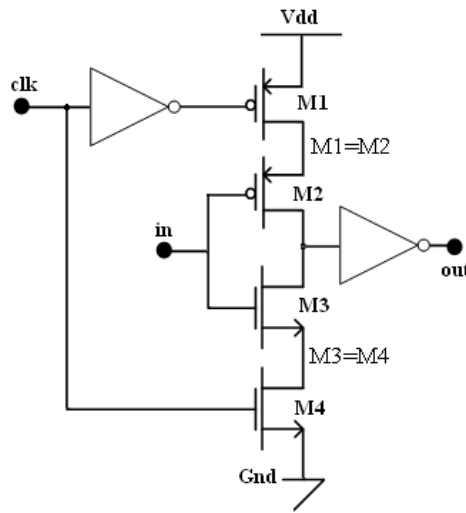
Burada 5 bit paralel a / s dönüştürücü için gerekli olan 31 adet “eşik evirmeli nicemleyici” 0.18µm TSMC CMOS teknoloji kütüphanesi kullanılarak tasarlanmıştır. A / S dönüştürücü için analog giriş gerilim aralığı $\left[V_{dd} - \left(|V_{tp}| + V_m \right) \right]$ ile sınırlıdır. Analog giriş gerilim aralığı 0.55V ile 1.4V arasında uygulanmıştır. Nicemleme gerilimi de yaklaşık 25mV'dur. Eşik evirmeli nicemleyici bloğu çıkışında elde edilen çıkış gerilimleri şekil 2.3'te gösterilmiştir.



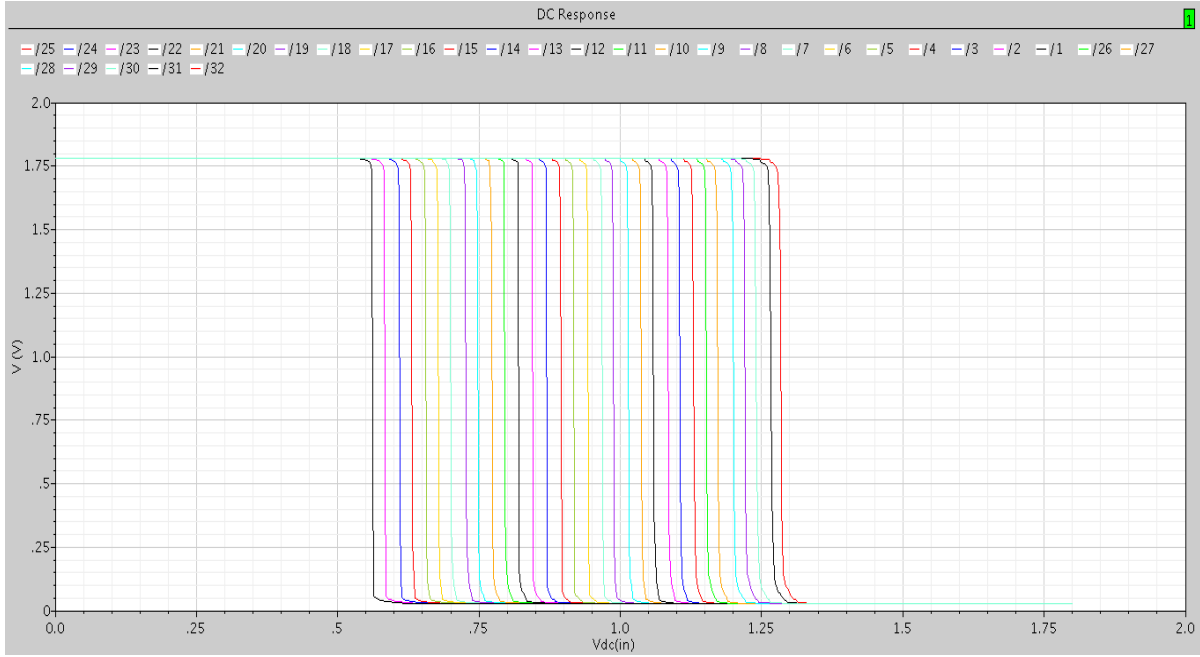
Şekil 2.3 Eşik Evirmeli Nicemleyici Blok Çıkışları

2.2. Dinamik tutucu devresi

Dinamik tutucu devresi, saat işaretinin durumuna bağlı olarak girişindeki işareti çıkışa verir ya da çıkışındaki işareti tutar. Dinamik tutucu devresi Şekil 2.4’de gösterilmiştir. Dinamik tutucu devresi, saat işaretinin değeri mantıksal olarak “1” iken girişindeki değeri çıkışa iletir, saat işaretinin değeri mantıksal olarak “0” iken ise çıkışındaki değeri tutar. Aslında işaretin “0” konumu çıkışındaki devre için dönüşüm anlamına gelmektedir, “1” konumu ise girişten örnek alma işleminin yapılmasını sağlar. Böylece a / s dönüştürücüde sayısal ve analog bloklar arasında kontrol sağlanmış olur. Şekil 2.5’te ise tutucu bloğu çıkışları gösterilmiştir.



Şekil 2.4 Dinamik Tutucu Devresi



Şekil 2.5: Tutucu Bloğu Çıktıları

2.3.Sayısal kod çözme bloğu

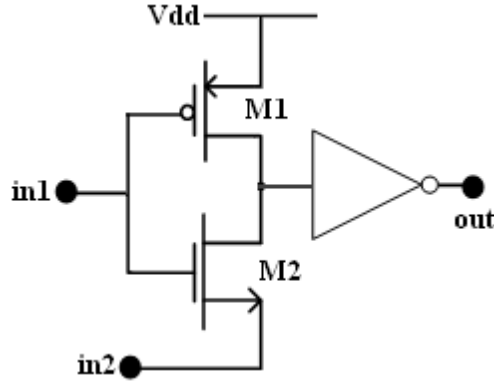
Yapılan bu çalışmada farklı sayısal kod çözme bloklarının performansları incelenmiştir. Burada tasarımı yapılan Programlanabilir-rom tabanlı, seçici(multiplexer) tabanlı, Fat-Tree, Wallace Tree ve lojik tabanlı kod çözme blokları tek tek incelenmiştir.

2.3.1 Programlanabilir mantık dizisi kullanan kodlayıcı devresi(PLA-ROM)

Programlanabilir mantık dizisi, girişine uygulan herhangi bir mantıksal birleşimi, önceden belirlenmiş içeriği ile başka bir birleşime dönüştüren çoklu eleman olarak tanımlanabilir. Pla-rom kodlayıcı devresi paralel hızlı a / s dönüştürücüler için en çok kullanılan yapı olarak tanımlanır (Yoo ve diğ.,2003). Çünkü kod çözme yapısı tamamen paralel yapıdadır.

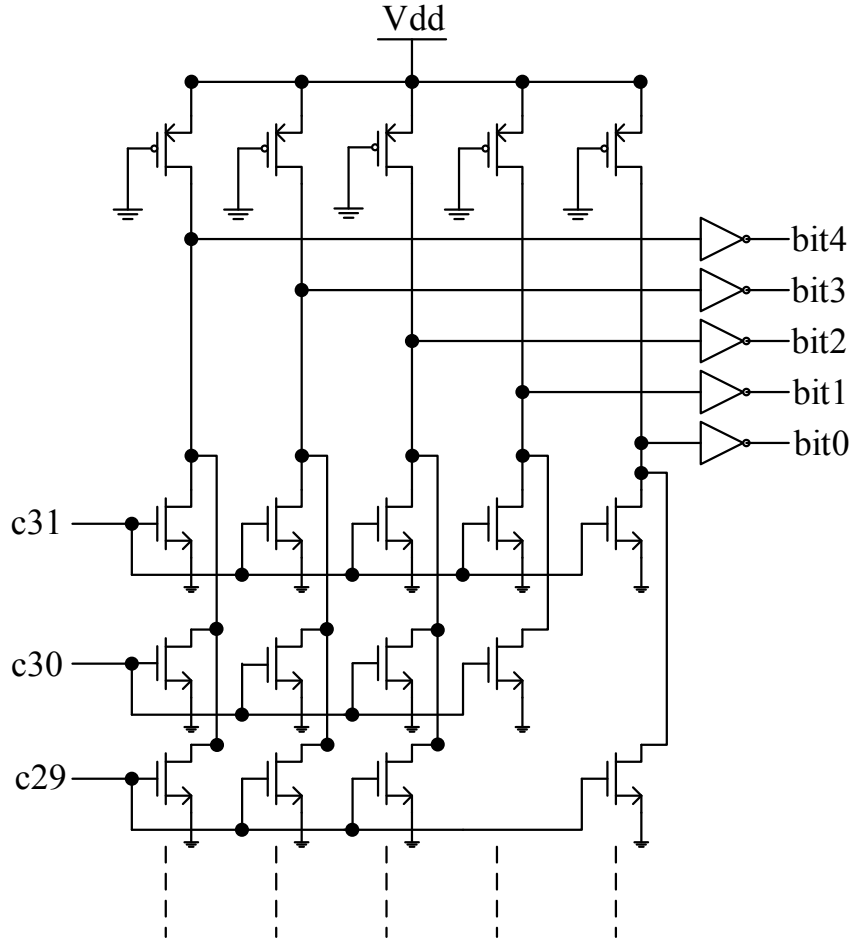
Pla-rom yapısı iki bölümden oluşmaktadır. Bunlar 1-n kod çözücü bloğu ve rom-kodlayıcı bloğudur. Termometre kod çözücü devresi, 1'ler ve 0'lar dizisinin sınırını belirlemek için kullanılır. Bunun için en basit yol $\bar{A}B$ lojik devresinin ardışıl dizilişiyle elde edilen kod çözücüdür (Yoo ve diğ.,2001; Tangel,1999). Bu bloğa giren kod, çıkışta mantıksal 0'ların arasında gezinen tek bir mantıksal "1" bitinden oluşur ve bu bitin her bir konumu farklı bir ikili koda denk gelir. Şekil 2.6'da lojik devre şeması gösterilmiştir.

Pla-Rom yapısının amacı ise sadece tek mantıksal "1" ' den oluşan sayısal bilgiyi n-bitlik ikili koda dönüştürerek bir kodlayıcı görevi yapmasıdır. Bu yapı her bir bit için doğrusal bölgede çalışan bir PMOS ve mantıksal kodun dizilişi ile aynı yapıda NMOS transistörlerin düzenli yerleştirilmesi ile elde edilir. Bu yapının en önemli avantajı paralel yapıda olması, en önemli dezavantajı ise kabarcık(bubble) hatasıdır.



Şekil 2.6 AB lojik devresi

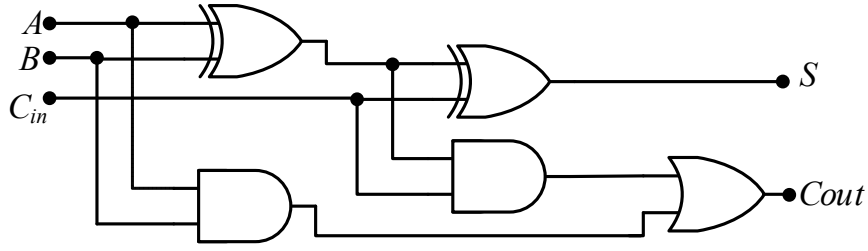
Şekil 2.7’de programlanabilir-rom yapısının sadece bir kısmı gösterilmiştir. Burada c31,c30 olarak gösterilen giriş işaretleri 1-n kod çözücüsünün çıkışlarını göstermektedir. Pla-Rom devresinin çıkışında ise sayısal bit çıkışları elde edilir.



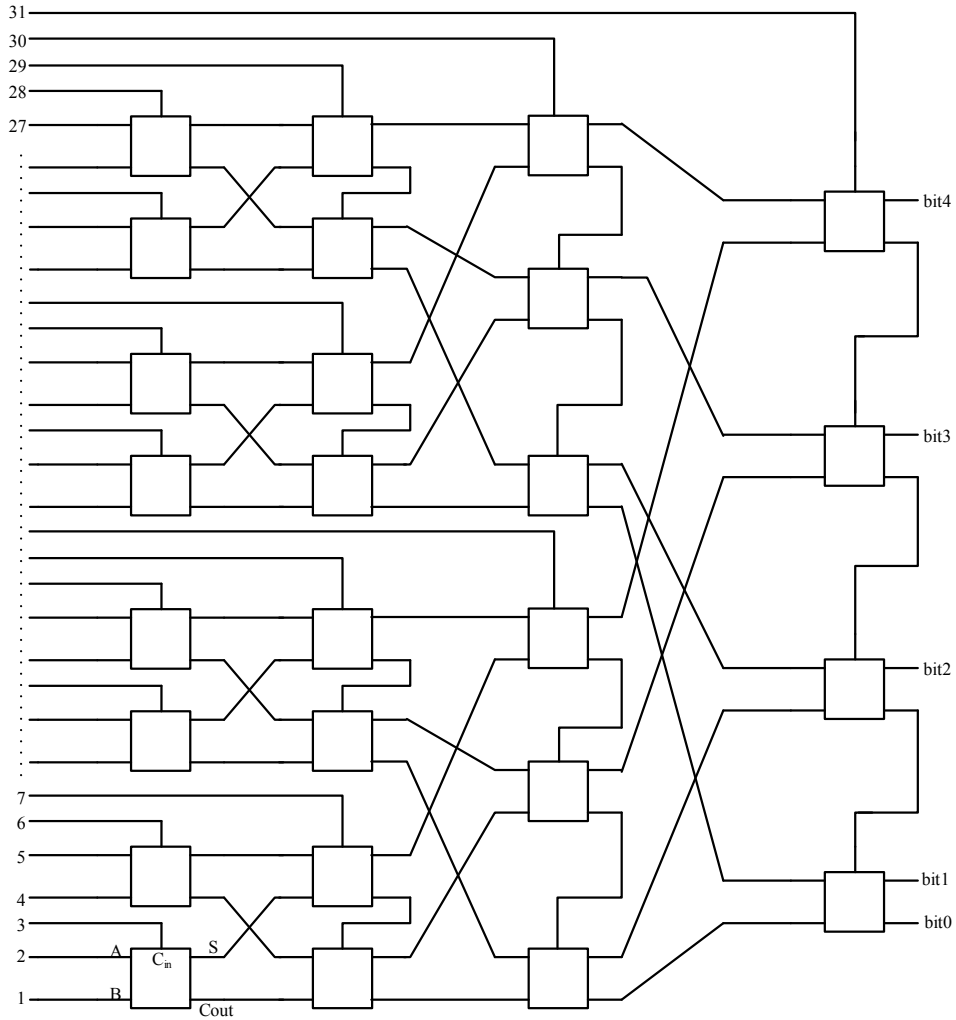
Şekil 2.7: Programlanabilir mantık dizisi devresi

2.3.2 Wallace Tree kodlayıcı bloğu

Geleneksel a / s dönüştürücülerde, karşılaştırmacı çıkışları termometre kodu olduğu için, doğruluğu oldukça iyi bir şekilde kontrol edilir. Bu kodlama biçiminde ise termometre kodu doğrudan sayısal kod çözme bloğuna uygulanır. Bu yapı basit olarak girişe uygulanan işaretin "1"lerini sayarak bunu ikili koda dönüştürür. Toplam 26 adet tam toplayıcı devreden oluşmaktadır. Şekil 2.8'de tam toplayıcı devresi, şekil 2.9'da ise kodlayıcı devresinin şeması verilmiştir. Tam toplayıcı devresi 2 adet XOR, 2 adet AND ve 1 adet OR devresinden oluşmaktadır. Buradaki sayısal devreler statik CMOS teknolojisine göre tasarlanmıştır.



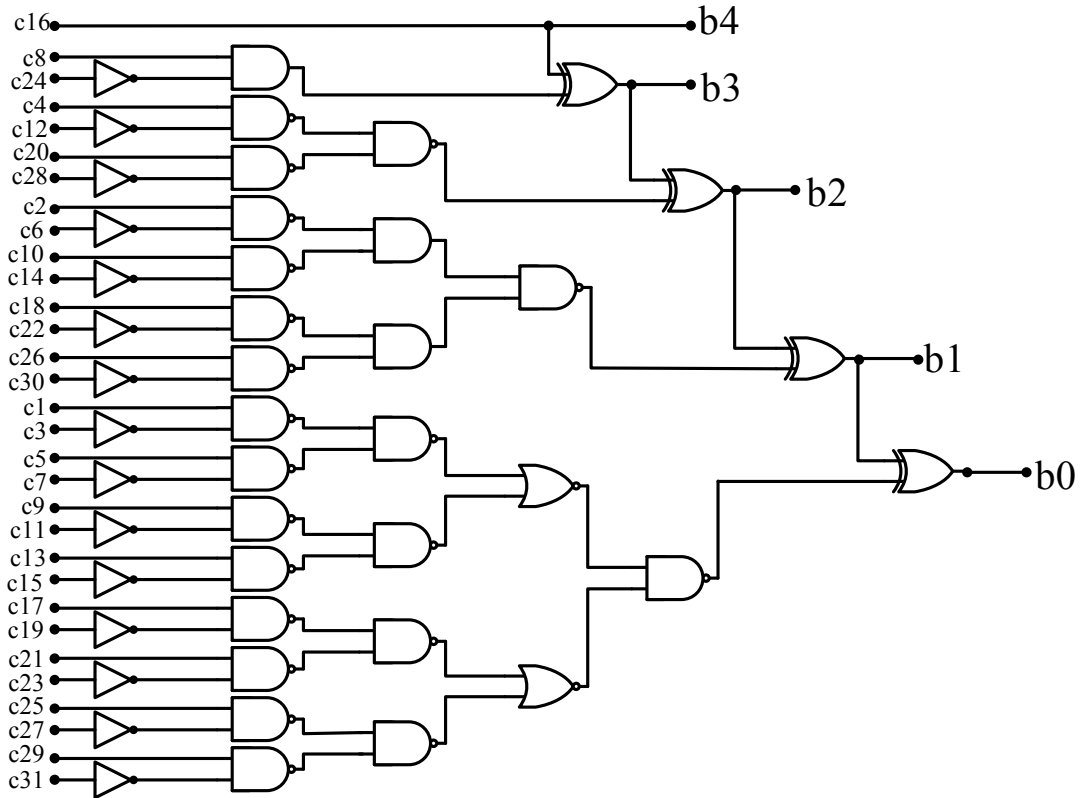
Şekil 2.8 Tam Toplayıcı Devresi



Şekil 2.9 Wallace Tree Kodlayıcı

2.3.3 Lojik tabanlı kodlayıcı bloğu

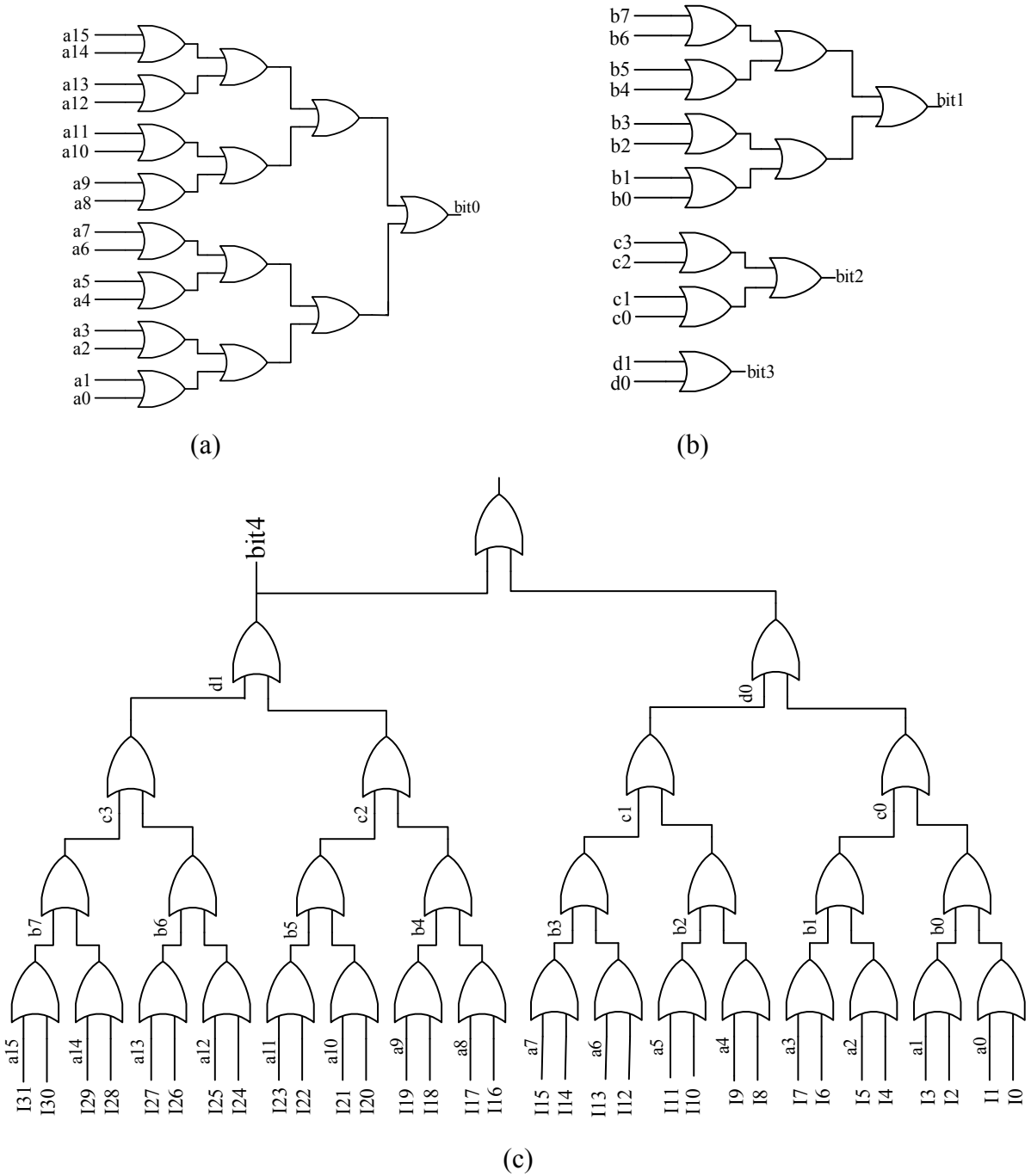
Lojik tabanlı kodlayıcı bloğundaki bütün devreler temel lojik devreleridir. Kodlayıcı bloğunda kullanılan AND, NOR, NAND, NOT ve XOR devreleri “Statik CMOS” teknolojisi kullanılarak tasarlanmıştır. Kodlayıcı bloğu şekil 2.10’da gösterilmiştir. Blok yapıda gösterilen C1-C31 olarak ifade edilen giriş işaretleri dinamik tutucu bloğu çıkışlardır. Ayrıca blok yapıda, “b4” en değerli bit, “b0” ise en değersiz bit olarak gösterilmektedir. Bu kodlayıcı tasarımında temel kriter statik güç harcanımını minimuma indirmektir (Darwish ve diğ.,2012). Buradaki dönüştürme süreci iki aşamalıdır; Öncelikli olarak termometre koddan gray koduna, daha sonra da ikili koda dönüşüm yapılmaktadır. Gray kod, kabarcık(bubble) hatasını minimuma indiren kodlama şeklidir (Darwish ve diğ.,2012).



Şekil 2.10 Lojik tabanlı kodlayıcı bloğu

2.3.4 Fat tree kodlayıcı bloğu

Fat tree kodlayıcı bloğunun diğer kodlama bloklarına karşı temel üstünlüğünün yüksek hız ve düşük güç tüketimi olduğu belirtilmiştir (Sheikhaei ve diğ.,2005; Lee ve diğ.,2002). Buradaki kodlayıcı bloğu iki aşamalı olarak çalışmaktadır. Öncelikli olarak termometre kodu 1-n koda dönüştürülür. Elde edilen 1-n kod, “OR” kapılarının yardımı ile sayısal bit çıkışlarına dönüştürülür. Burada 1-n kod, şekil 2.6’da verilen $\bar{A}B$ lojik devresi ile elde edilmiştir. Kodlayıcıda kullanılan “OR” devresi “Statik Cmos” teknolojisi ile tasarlanmıştır. Kullanılan kodlayıcı bloğu şekil 2.11(a,b,c)’de gösterilmiştir.

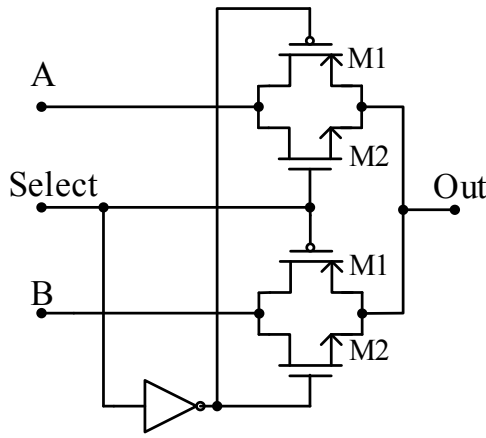


Şekil 2.11(a,b,c) : 5 Bit Fat Tree kodlama devresi

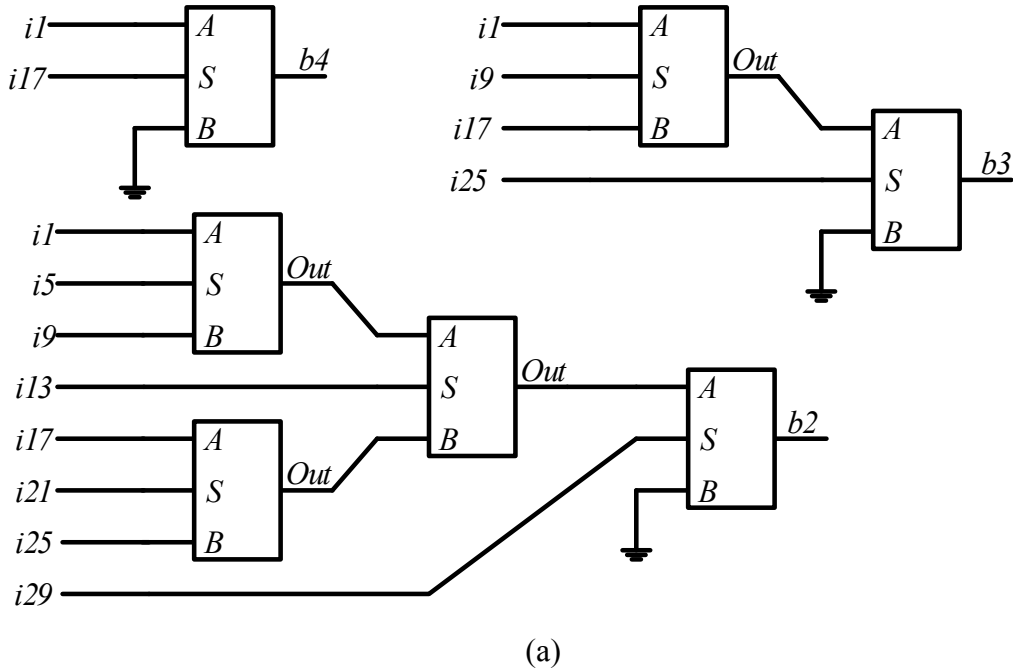
Burada I31 ile I0 arasında gösterilen giriş uçları, 1-n kod çıkışı elde edilen çıkışlardır. Şekil 2.11(c)'de gösterildiği üzere bu yapı ile "bit4", a15 ile a0 girişleri kullanılarak Şekil 2.11(a)'da gösterilen devre ile "bit0", b7 ve b0 girişleri ile Şekil 2.11(b)'de gösterilen "bit1", c0-c4 girişleri ile "bit2" ve d0-d1 girişleri ile "bit3" elde edilir. Böylece sayısal bit çıkışları elde edilmiş olur.

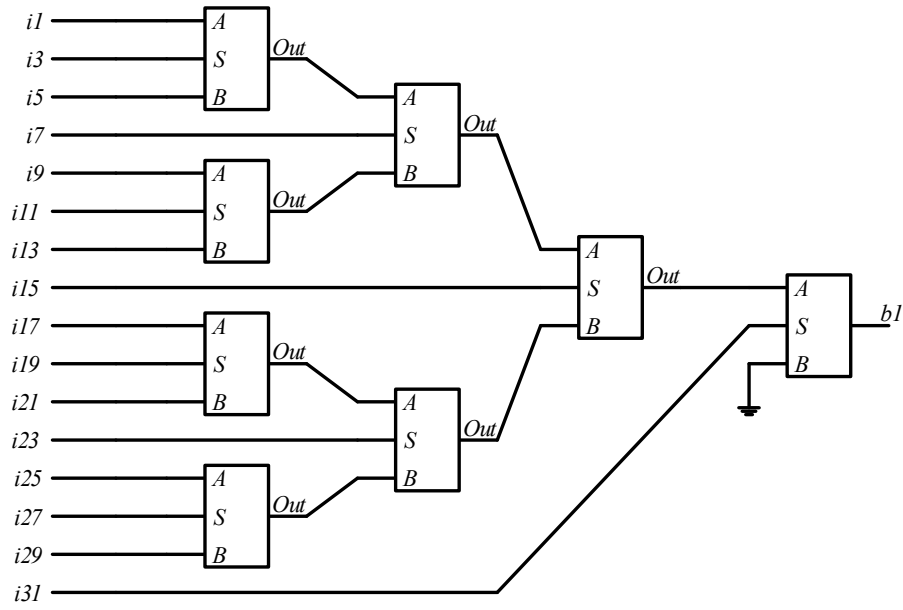
2.3.5 Seçici(Mux) tabanlı kodlayıcı bloğu

Karşılaştırıcı bloğu çıkışında, eğer giriş gerilimi referans geriliminden büyük ise karşılaştırıcı çıkışı sayısal olarak lojik "1", diğer durumlar da lojik "0" dır. Burada elde edilen kod dizilimi termometre kod olarak isimlendirilir. Seçici tabanlı kodlayıcı bloğunda termometre kod dizilimine ihtiyaç vardır. Bu yüzden karşılaştırıcı bloğu çıkışları sayısal kod çözme bloğuna doğrudan uygulanır. Seçici devresi girişleri ve kontrol sinyali, gerekli sayısal bit çıkışlarını elde edecek şekilde seçilmelidir. Burada toplam 2^n-1 adet seçici devresi kullanılır. Bu yapıda sayısal kod çözme bloğunun kapsadığı alanın ve kritik yol sayısının diğer kodlama bloklarına göre az olduğu belirtilmiştir (Sail ve Vesterbacka,2004). Burada kullanılan $2*1$ seçici devre şeması şekil 2.12'de verilmiştir. Buradaki i1-i31 olarak gösterilen girişler,dinamik tutucu bloğu çıkışlarıdır. Bu devreyi kullanarak tasarlanan ve sayısal bit çıkışlarının elde edildiği blok devre şeması ise şekil 2.13(a,b,c)'de verilmiştir.

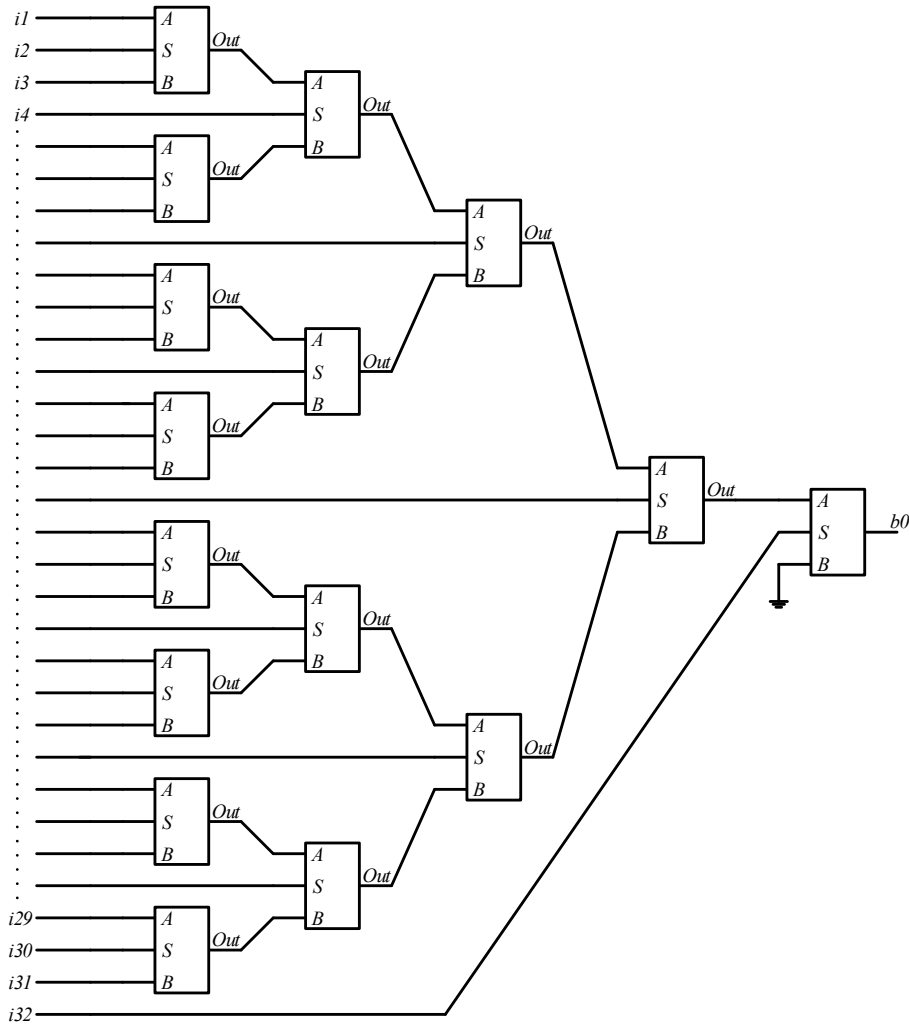


Şekil 2.12: 2*1 Seçici Devresi





(b)

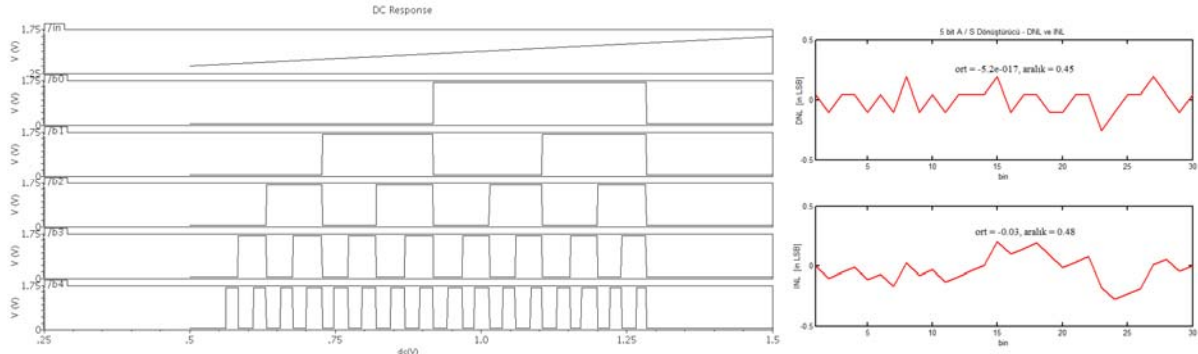


(c)

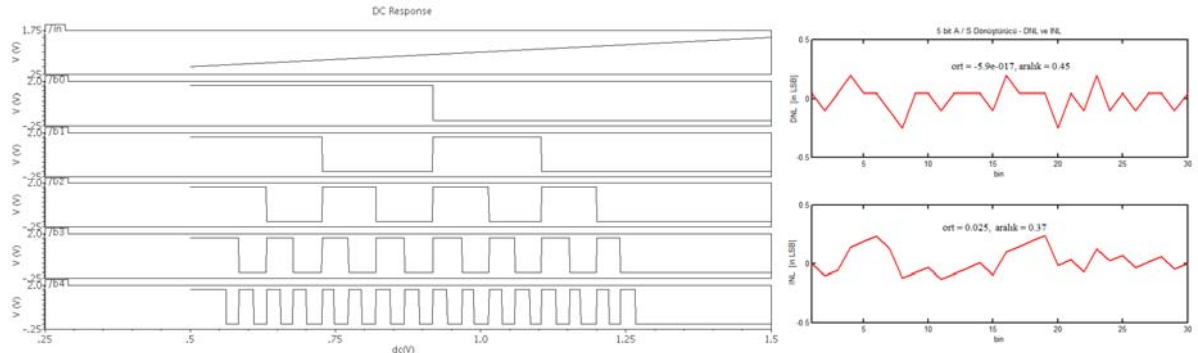
Şekil 2.13(a,b,c) Seçici tabanlı sayısal kodlama bloğu

3. SİMÜLASYON SONUÇLARI

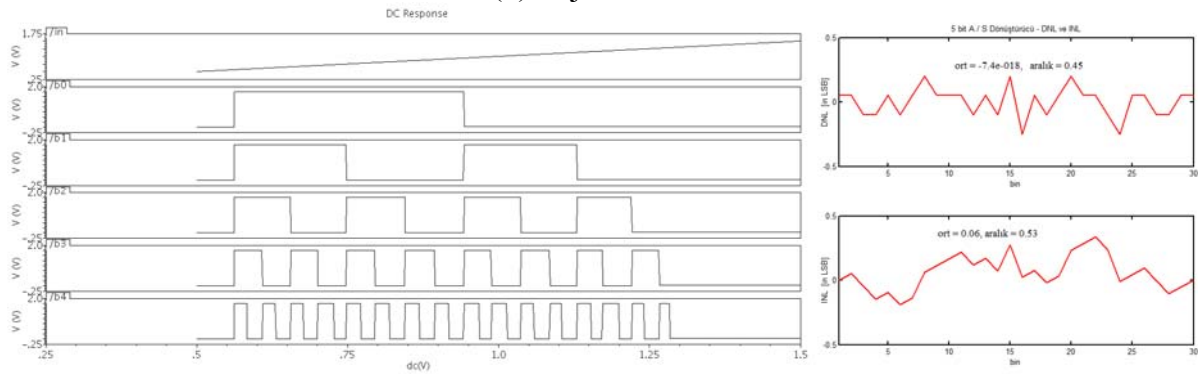
0.18 μ m TSMC CMOS teknoloji kütüphanesi kullanılarak Cadence ortamında şematik düzeyde tasarımı yapılan karşılaştırıcı bloğu, dinamik tutucu bloğu ve farklı sayısal kodlama blokları için simülasyonlar yapılmıştır. Tasarımı yapılan tüm devrelerde besleme gerilimi 1.8V olup, analog giriş gerilim aralığı 0.55V ile 1.4V arasındadır. Şekil 2.3'te eşik evirmeli nicemleyici bloğunun çıkışları gösterilmiştir. Farklı sayısal kodlama blokları için, analog giriş gerilimi 0.5V ile 1.4V arasında yükselen bir rampa işareti uygulanarak elde edilen DC analiz sonuçları Şekil 3.1'de gösterilmiştir. Elde edilen bu sayısal bit çıkışlarına göre, a / s dönüştürücülerin INL ve DNL performansları incelenerek şekil 3.1'de gösterilmiştir. Ayrıca her sayısal kodlama bloğunun çekmiş olduğu akım, blok devrenin harcamış olduğu güç tüketimi ve bu bloklarda kullanılan transistör sayıları Tablo 1'de gösterilmiştir.



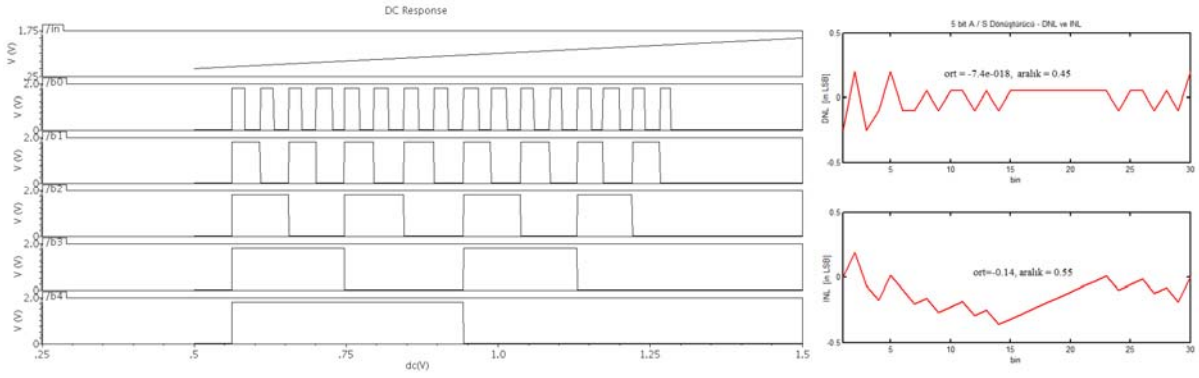
(a) Pla-rom



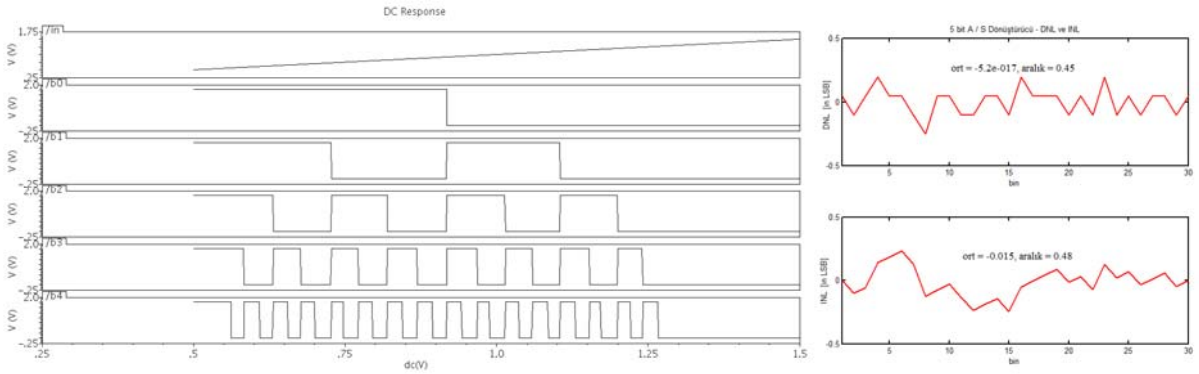
(b) Lojik Tabanlı



(c) Seçici Tabanlı



(d) Fat Tree



(e) Wallace Tree

Şekil 3.1 Farklı sayısal kodlama blokları için 5 bit DC simülasyonu sonuçları

Tablo 1: A / S dönüştürücülerin karşılaştırılması

Sayısal Kodlama Bloğu	INL (LSB)	DNL(LSB)	Çekilen maksimum akım (mA)	Güç Tüketimi (mW)	Kullanılan Transistör Sayısı
Pla-ROM	0.48	0.45	15.21	27.378	223
Lojik Tabanlı	0.37	0.45	15.5	27.9	152
Seçici Tabanlı	0.53	0.45	42.4	76.32	250
Fat Tree	0.55	0.45	43.1	77.58	470
Wallace Tree	0.48	0.45	161.9	291.42	676

Ayrıca farklı giriş işaretleri frekanslarına göre elde edilen sayısal bit çıkışlarına göre a / s dönüştürücünün INL-DNL performansları tablo 2'de gösterilmiştir. Burada sayısal bloğun saat işaret frekansı 1GHz olarak alınmıştır.

Tablo 2: A / S dönüştürücülerin farklı giriş işareti frekanslarına göre INL-DNL karşılaştırılması

<i>Sayısal Kodlama Bloğu</i>	<i>fin=1MHz</i>		<i>fin=10MHz</i>		<i>fin=20MHz</i>	
	<i>INL (LSB)</i>	<i>DNL(LSB)</i>	<i>INL (LSB)</i>	<i>DNL(LSB)</i>	<i>INL (LSB)</i>	<i>DNL(LSB)</i>
Pla-ROM	0.41	0.32	0.81	0.61	1.5	1.5
Lojik Tabanlı	0.84	0.58	3.2	1.4	3.7	3.7
Seçici Tabanlı	0.97	0.62	3.8	1.6	6.2	2.3
Fat Tree	0.36	0.45	0.7	0.67	2.1	1.5
Wallace Tree	0.81	0.61	1.8	1.4	3.3	3.5

4. SONUÇLAR VE ÖNERİLER

0.18µm TSMC CMOS teknoloji kütüphanesi kullanılarak Cadence ortamında tasarlanan 5 bit yüksek hızlı paralel a / s dönüştürücü yapılarında farklı sayısal kodlama blokları kullanılmıştır. Simülasyon sonuçlarına göre giriş işareti frekansı arttıkça en az kod kaybı PLA-Rom sayısal kodlama bloğunda görülmektedir. Giriş işaret frekansı 20MHz için Pla-rom sayısal kodlama bloğuna sahip a / s dönüştürücünün en yüksek DNL hatası 1.5LSB, INL hatası ise 1.5LSB olarak gözlemlenmiştir. Ayrıca harcanan 27.378mW güç ile en az güç tüketimine sahip sayısal kodlama bloğu PLA-ROM yapısıdır. Pla-rom sayısal kodlama bloğu 1-n kodlayıcı ve pla-rom devresinden oluşmaktadır. Eğer blok yapısının geliştirilmesi istenirse, 1-n kodlayıcı bloğu yerine farklı yapılarıdaki tasarımlar yerleştirilerek sistem tasarımında iyileştirmeye gidilebilir. Ayrıca 20MHz giriş işareti frekansı için, sayısal kodlama bloğunun saat işaret frekansı 1GHz seçilmiştir. Saat işaret frekansı artırılarak yapılan simülasyon sonuçlarında INL ve DNL hatalarının azaldığı gözlemlenmiştir. Yapılan bu çalışmaya göre, eşik evirmeli nicemleyici tekniği ile yüksek hızlı paralel a / s dönüştürücü tasarımı yapacak olan araştırmacılar için en verimli sayısal kodlama bloğu yapısının pla-rom yapısı olduğu gözlemlenmiştir.

5. REFERANSLAR

Aytar, O. (2009), “Katlamalı ve Aradeğerlemeli Analog - Sayısal Dönüştürücülerin VLSI Tasarımında Eşik Evirmeli Nicemleyici Tekniği'nin Kullanımı ve Performansı”, Doktora Tezi, Kocaeli Üniversitesi Fen Bilimleri Enstitüsü.

Baker, R.J., Harry, W.L., Boyce, D. E. (1998) , “CMOS Circuit Design Layout Simulation”, IEEE Press Series on Microelectronic Systems.

Chen, C. C., Chung Y. L., Chiu, C. I. (2009), “6-b 1.6GS/s Flash ADC with Distributed Track-and-Hold Pre-Comparators in a 0.18µm CMOS”, International Symposium on Signals, Circuits and Systems (ISSCS), pp. 1-4, Iasi, Romanya.

Chen, C., Ren, J. (2006), “An 8 - bit 200MSamples/s Folding and Interpolation ADC in 0.25mm²”, Analog Integrated Circuits and Signal Processing, Vol. 47(2), pp. 203-206.

Chu, W.S., Current, K.W. (1999), "A CMOS Voltage Comparator with Rail-to-Rail Input-Range", *Analog Integrated Circuits and Signal Processing*, Vol. 19(2), pp.145-149.

Darwish, H., Léger, G., Rueda, A. (2012), "A 0.2 pJ/conversion-step 6-bit 200MHz flash ADC with redundancy", *The Conference on Design of Circuits and Integrated Systems (DCIS)*, Avignon, Fransa.

Gines, J.A., Peralias, E.J., Rueda, A. (2004), "Digital Background Gain Error Correction in Pipeline ADCs", *Proceeding of the Design, Automation and Test in Europe Conference and Exhibition (DATE'04)*, 82-88, Paris, Fransa.

Goll, B., Zimmermann, H. (2007), "A Clocked Regenerative Comparator in 0.12 μ m CMOS with Tunable Sensitivity", *33rd European Solid State Circuits Conference (ESSCIRC)*, 408 – 411, Münih, Almanya.

Lee, D., Yoo, J., Choi, K., Ghaznavi, J. (2002), "Fat tree encoder design for ultra high speed flash A/D converter", *45th Midwest Symposium on Circuits and Systems (MWSCAS-2002.)*, Vol.2, pp.87-90, Tulsa, Oklahoma.

Lin, Y. Z., Lin, C. W., Chang, S. J. (2010), "5 - bit 3.2GS/s Flash ADC with a Digital Offset Calibration Scheme", *IEEE Transactions on Very Large Scale Integration Systems*, Vol.18(3), pp. 509-513.

Makigawa, K., Ono, K., Ohkawa, T., Matsuura, K., Segami, M. (2006), "A 7 bit 800MSPs 120mW Folding and Interpolation ADC Using a Mixed - Averaging Scheme", *Symposium on VLSI Circuits Digest of Technical Papers*, pp.138-139, Honolulu, Hawaii.

Mikkola, E., Vermeire, B., Barnaby, H.J., Parks, H.G., Borhani, K. (2004), "SET Tolerant CMOS Comparator", *IEEE Transaction on Nuclear Science*, Vol.51, No.6, pp. 3609-3614

Park, S., Palaskas, Y., Flynn, M. P. (2007), "A 4GS/s 4 - bit Flash ADC in 0.18 μ m CMOS", *IEEE Journal of Solid State Circuits*, Vol. 42(9), pp. 1865-1872.

Sail, E., Vesterbacka, M. (2004), "A Multiplexer Based Decoder For Flash Analog-to-Digital Converters", *IEEE Region 10 Conference TENCN*, pp. 250 - 253, Fukuoka, Japonya

Sheikhaei, S., Mirabbasi, S., Ivanov, A. (2005), "A 4 - Bit 5GS/s Flash A/D Converter in 0.18 μ m CMOS", *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 6138-6141, Kobe, Japonya.

Şahin, K., Aytar, O., Tangel, A. (2011), "5 Bit 2.5 Gs/s Paralel(Flash) Analog Sayısal Dönüştürücü Tasarımı", *Elektrik-Elektronik Bilgisayar Sempozyumu (FEEB)*, pp. 125-130, Elazığ, Türkiye

Tangel, A. (1999), "VLSI Implementation of The Threshold Inverter Quantization (TIQ) Technique for CMOS A/D Converter Applications", *Doktora Tezi*, Penstate University, 1-128.

Tangel, A., Choi, K. (2004), "The CMOS Inverter as a Comparator in ADC Design", *Analog Integrated Circuits and Signal Processing*, Vol.39, 147–155.

Tangel, A., Aytar, O. (2009), “MOS Mismatch Effects on TIQ comparators”, International Journal of Electronics, 96(6), pp. 561-570.

Van De Plassche, R. (2003), “CMOS Integrated Analog-to-Digital And Digital-to-Analog Converters”, Kluwer Academic Publishers, 2nd Edition.

Yoo, J., Choi, K., Tangel, A. (2001) , “A 1-GSPS CMOS Flash A/D Converter for System-on-Chip Applications”, Proceeding of IEEE Computer Society Workshop on VLSI, 135-139.

Yoo, J., Choi, K., Lee, D. (2003), “Comparator Generation Selection for Highly Linear CMOS Flash Analog to Digital Converter”, Analog Integrated Circuits and Signal Processing, 35, 179-187.

Wu, L., Huang, F., Gao, Y., Wang, Y., Cheng, J. (2009), “42 mW 2 GS/s 4 - bit flash ADC in 0.18µm CMOS”, International Conference on Wireless Communications & Signal Processing (WCSP), pp. 1-5.