

Display Area and Character Organization and Control for BZK.SAU.FPGA Micro Computer Architecture

Halit Öztekin¹, Ali Gülbağ², Feyzullah Temurtaş³

¹Bozok Üniversitesi, Bilgisayar Mühendisliği, Yozgat

²Sakarya Üniversitesi, Bilgisayar Mühendisliği, Adapazarı

³Bozok Üniversitesi, Elektrik Elektronik Mühendisliği, Yozgat

Abstract: In order to obtain images in the display area, the color and synchronizing signals control signals of the VGA display hardware display hardware should be managed. Desired image is obtained with controlling these signals for lightening or deflating of pixels the display hardware. In this study, display controller that allows the formation of the image on the screen by controlling these signals was designed at logic gate level. BZK.SAU.FPGA mikro computer architecture was used and an VGA display with 640×480 pixel resolution was preferred for this purpose.

Keywords: BZK.SAU.FPGA, VGA display

BZK.SAU.FPGA Mikro Bilgisayar Mimarisi için Ekran Alanı ve Karakter Organizasyonu ve Kontrolü

Özet: Ekran alanında görüntü elde edebilmek için VGA ekran donanımına ait kontrol sinyalleri olan renk ve senkronize sinyallerinin yönetilmesi gerekmektedir. Bu sinyaller kontrol edilerek ekran donanımındaki piksellerin yakılması veya söndürülmesi neticesinde istenilen görüntü elde edilir. Bu çalışmada, bu sinyalleri kontrol ederek ekrandaki görüntünün oluşmasını sağlayan ekran kontrolörü lojik kapı seviyesinde donanımsal olarak inşa edilmiştir. Bu amaçla, BZK.SAU.FPGA Mikro bilgisayar mimarisi kullanılmıştır ve 640×480 piksel çözünürlüğüne sahip VGA tipinde bir ekran tercih edilmiştir.

Anahtar Kelimeler: BZK.SAU.FPGA, VGA monitör

1 Giriş

Bilgisayar Mühendisliği ve buna benzer bilim dallarında önemli bir yer teşkil eden Bilgisayar Mimarisi ve Organizasyonu ile İşletim Sistemi derslerinde teorik olarak işlenen kavramların pratiğe dönüştürülmesi günümüz eğitim sisteminin problemleri arasında yer almaktadır [1–5]. Gelişen teknoloji ile beraber bu problemlerin çözümüne yönelik yazılımsal ve donanımsal yönde adımlar atılmıştır. Bu adımlar, ya bütünüyle yazılımsal olarak simüle etme yöntemini ya da temeli yazılıma dayanan emülatör programlarında donanımsal yapılar kullanılarak simüle edilmek suretiyle sorunlar giderilmeye çalışılmıştır. Bu çözüm adımlarına son yıllarda, alanda programlanabilir kapı dizileri (FPGA- Field Programmable Gate Arrays) geliştirme kartları kullanılarak teorik bilginin uygulamaya geçirilmesine dair yeni bir yaklaşım getirilmiştir. Bu geliştirme kartları, simülasyon ortamındaki ideal şartların yerine gerçek dünya şartları altında gözlenebilen, çalıştırılabilen, elle tutulabilen eğitimsel amaçlı tasarımları ortaya çıkarmıştır [6, 7].

Teorik bilginin uygulamaya dönüştürebileceği yer olan laboratuvar ortamları öğrencilerin çeşitli bilgisayar sistemleri tasarımları konusunda yardımcı olmaktadır. Teorik bilgi ile pratik bilgi

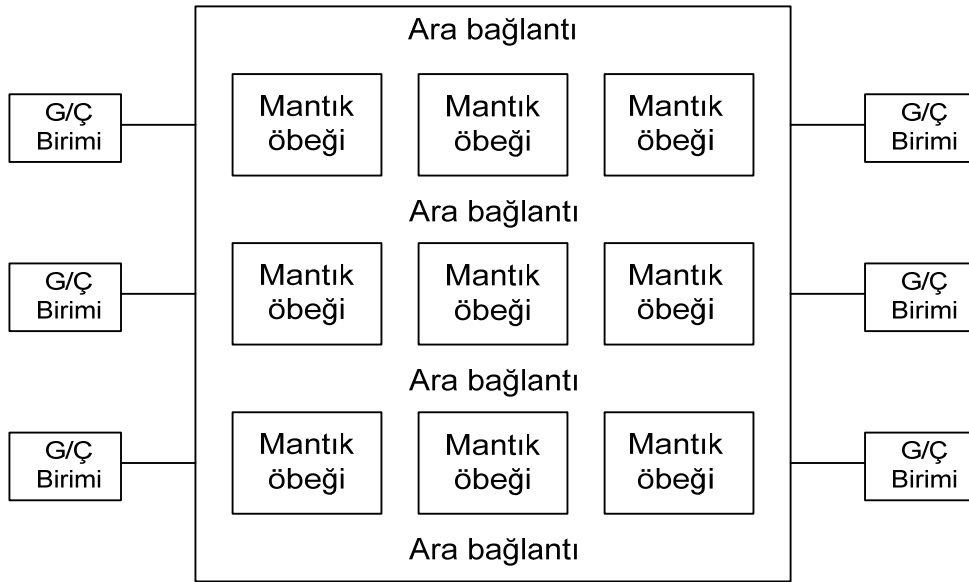
* Corresponding author; Tel.: +(90) 533 5470618 , E-mail:halit.oztekin@bozok.edu.tr

arasındaki boşluğu azaltmaya yönelik eğitimsel çalışmalar yazılımsal tabanlı ve yeniden yapılandırılabilir donanım tabanlı olmak üzere 2 ana grupta toplanabilir [6,7].

Bu çalışmada BZK.SAU.FPGA Mikro bilgisayar mimarisi kullanılmıştır. Mikro bilgisayar mimarisinde 640×480 piksel çözünürlüğüne sahip VGA tipinde bir ekran tercih edilmiştir. Mimarinin sahip olduğu bellek boyutu kısıtlı olduğundan ve ABC80 [8], Apple I ve Apple II [9] gibi sistemlerde kullanılan ekran boyutunun 40 sütun×24 satır olması nedeniyle mikro bilgisayar sisteminde de 40×24 boyutunda bir ekran kullanımına gidilmiştir. Dolayısıyla ekranda bir anda gösterilebilen karakter sayısı 960 karakter olup her bir karakterin boyutu 8 piksel genişliğinde ve 16 piksel uzunluğundadır. Bunda dolayı ekrandaki verinin gösterilebilmesi için ana bellekte 7.5KB'lık bir alan tahsis edilmiştir. Sistemde giriş birimi olarak diğer iletişim metotlarına nazaran daha basit olan PS/2 klavye tercih edilmiştir. 102 tuşlu geleneksel bir PS/2 klavyede bulunan fonksiyon tuşları hariç bütün tuşların kullanımına imkan tanınmıştır. Tuşlara kod atanması işleminde literatürde yer alan ASCII kod tablosundan faydalanılmıştır.

2 FPGA Mimarisi

FPGA, programlanabilir mantık blokları ve bu bloklar arasındaki ara bağlantılardan oluşan ve geniş uygulama alanlarına sahip olan sayısal tümeleşik devrelerdir (Şekil-1). Tasarımcının ihtiyaç duyduğu mantık fonksiyonlarını gerçekleştirme amacına yönelik olarak üretilmiştir. Dolayısıyla her bir mantık bloğunun fonksiyonu kullanıcı tarafından düzenlenebilmektedir. FPGA ile temel mantık kapılarının ve yapısı daha karmaşık olan devre elemanlarının işlevselliği artırılmaktadır. Alanda programlanabilir ismi verilmesinin nedeni, mantık bloklarının ve ara bağlantıların imalat sürecinden sonra programlanabilmesidir [6]. FPGA geliştirme ortamı ve mimarisi ile ilgili daha geniş bilgiye referans [7] da ulaşılabilir. Bu çalışmada Altera DE2 geliştirme ortamı kullanılmıştır.



Şekil-1 FPGA yongasının genel görünümü

3 BZK.SAU.FPGA Mikro Bilgisayar Mimarisi

Bu çalışmada BZK.SAU.FPGA Mikro bilgisayar mimarisi kullanılmıştır. Bu mimarinin detayları için 6 ve 7 nolu referanslara bakılabilir. BZK.SAU.FPGA Mikro bilgisayar sisteminin tasarım istekleri ve metrikleri Tablo-1'de verilmiştir.

Tablo-1 Mikro bilgisayar mimarisine ait tasarım isterleri ve metrikleri

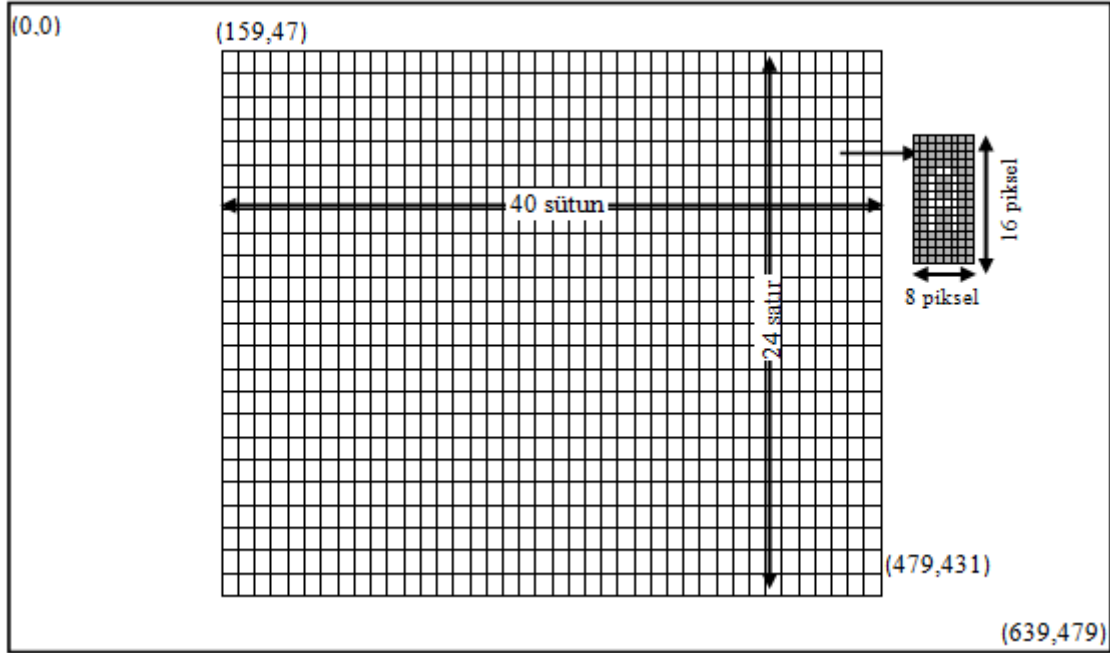
Özellik	Açıklama
Sistem Adı	BZK.SAU.FPGA
Sistemin İnşa Edildiği Donanım	FPGA (Altera DE2-70)
Çıkış Birimi	VGA Monitör (640×480)
Ekran Alanı	40 sütun×24 satır(320×384)
Giriş Birimi	PS/2 klavye
Sistem Tanımlama Dili	Şematik(Donanımsal)
İşlemci Mimarisi	Von-Neumann(SISD mimarisi)
İşlemci Tipi	16-bit
Adres Yolu	16-bit
Veri Yolu	16-bit
Sistem Kaydedicileri	10 adet(Giriş ve çıkış kaydedicileri 8-bit diğerleri 16-bit genişliğinde)
Ana Bellek	64 KB – 16 bit
İkincil Bellek	Flash Bellek(4 MB) – 8 bit
Bellek Kelime Yerleşim Düzeni	Big-Endian
Komut Mimarisi	CISC
Komut Seti	Fonksiyonel, Kontrol, Transfer, Giriş-Çıkış ve Yığın Komutları(59 komut)
Komut Yapısı	16 bit(15-12. bitler adresleme modu, 11-0. bitler opcode alanı)
Komut İşleme Metodu	None Pipeline
Adresleme Mod Çeşidi	6(İvedi, direkt, dolaylı, indeks, göreceli ve doğal)
Kontrol Birim Yapısı	Donanımsal
ALU Birimi	16-bit(Sadece tamsayılar)
Sayı Sistemi	2'ye Tümleme
İşletim Sistemi	Tek Kullanıcı-Tek Görev (BZK.SAU.OS)
Dosya Sistemi	FAT-16
Assembly Dili	BZK.SAU.ASM Assembly dili

4 Ekran Alanı Organizasyonu ve Kontrolü

Kullanılacak olan karakterler, bu karakterlere atanacak olan kodlar ve karakterlerin bit haritaları gibi işler ekran alanı organizasyonunda yapılması gereken başlıca işlemlerdir. Bu işlemler ekran alanını kontrol edecek donanımın inşasında etkin bir rol oynayacağı gibi bellek organizasyonunda da etkili olacaktır.

Bu çalışmada standart 640×480 çözünürlüğünde VGA tipinde bir ekran kullanılmıştır. Yapılan çalışmalar sonucunda bu çözünürlüğe sahip bir ekranda her bir karakterin boyutunun 8×16 piksel ebatlarında ve temel RGB renklerinden kırmızın rengin kullanılmasına karar verilmiştir. Ayrıca ekran alanı mimarinin tasarım isterleri ve metrikleri bölümünde açıklandığı üzere 40 sütun ve 24

satırdan oluşmaktadır. Her bir karakterin 8×16 piksel ebatlarında olduğu göz önünde bulundurulursa 40 sütun ve 24 satırdan oluşan bir ekran alanı, tüm ekran alanının 320×384 piksellik kısmını kullanması anlamı taşımaktadır. Bu durum Şekil-2’de özetlenmektedir.



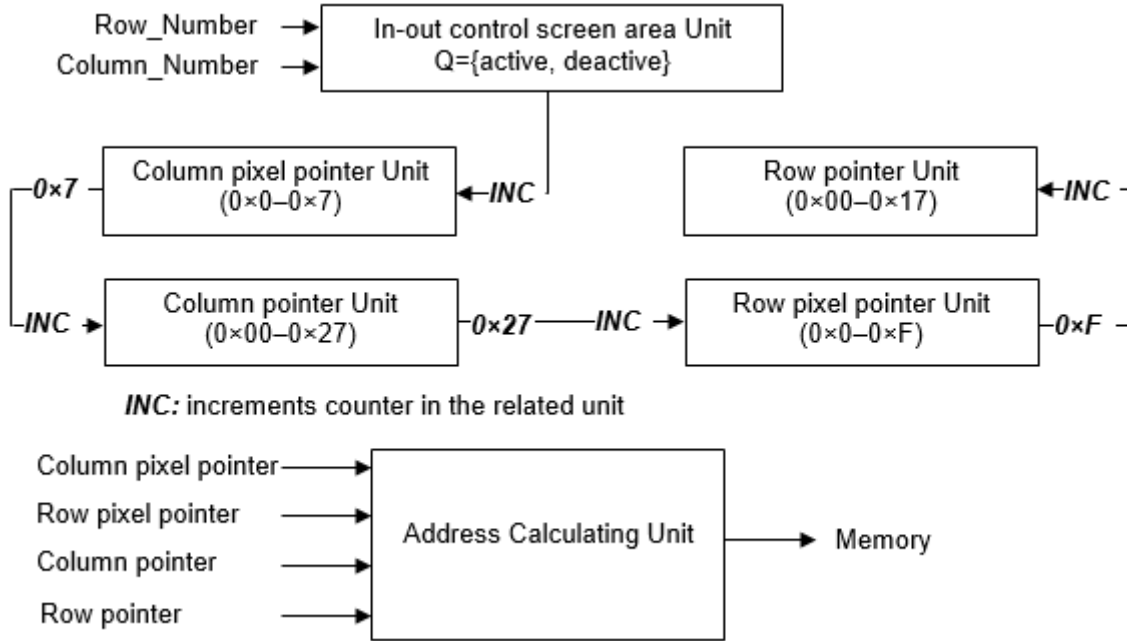
Şekil-2 Mimaride kullanılan 640x480 çözünürlüğündeki ekranın organizasyonu

Ekran alanında görüntü elde edebilmek için VGA ekran donanımına ait kontrol sinyalleri olan renk ve senkronize sinyallerinin yönetilmesi gerekmektedir. Bu sinyaller kontrol edilerek ekran donanımındaki piksellerin yakılması veya söndürülmesi neticesinde istenilen görüntü elde edilir. Ekranda iyi bir görüntü elde edebilmek için ekrandaki ilgili piksellerin sürekli olarak tazelenmesi gerekir. Bu sinyalleri kontrol ederek ekrandaki görüntünün oluşmasını sağlayan ekran kontrolörü lojik kapı seviyesinde donanımsal olarak inşa edilmiştir.

Ekran kontrolörü 6 kısımdan oluşmaktadır. Ekran alanının 40 sütun ve 24 satırdan meydana gelmesinden dolayı imlecin sütun ve satır konumlarını gösteren sırasıyla Mod-40(Column Pixel Unit) ve Mod-24(Row Pixel Unit) sayıcıları, ekran alanındaki bir karakterin sütun genişliğinin 8 ve satır uzunluğunun 16 piksel olmasından dolayı ilgili karakterin ekrana basılan kısmın satır ve sütun numaralarını gösteren Mod-8(Column Pixel Pointer Unit) ve Mod-16(Row Pixel Pointer Unit) sayıcıları, bu dört sayıcının çıkışlarını kullanarak ekrana basılacak bilginin bulunduğu bellek adresini hesaplayan adres hesaplama birimi ve ekranın 320×384 çözünürlük bölgesinde olup olmadığını denetleyen kontrol biriminden oluşur. Ekran kontrolörün detaylı blok diyagramı Şekil-3’de verilmiştir.

VGA tipindeki monitör donanımının ürettiği senkronize sinyaller(yatay ve dikey) ile ekran alanında işaret edilen ilgili pikselin satır(0-479) ve sütun(0-639) bilgisinin elde edilmesinde kullanılır. Elde edilen satır ve sütun bilgisi bu çalışmanın ekran alanı olan 320×384 çözünürlüğündeki bölgede ise Şekil-3’deki “In-out control screen area Unit” isimli birimin çıkışı lojik 1 olur. Bu birim dört adet 10 bitlik çıkarıcı devreden oluşmakta olup bu devreler çalışma ekran alanının başlangıç(159,47) ve bitiş(479,431) noktaları ile ekran donanımından gelen aktif piksel satır ve sütun bilgilerini karşılaştırma işlemi yapmaktadırlar. Bu birimden gelen “ekran alanı bölgesindedir(lojik 1)” sinyali ile ekran kontrolöründeki ekrana basılacak karakterin aktif

sütun piksel bilgisini veren sayıcıyı aktif hale getirecektir. Bu sayıcının çalışması birimdeki diğer sayıcılarında aktif olmasına neden olacaktır.



Şekil-3 VGA monitör kontrolörü blok diyagramı [10]

Ekran alanında görüntülenecek bilgi 0xA000-0xBFFF adres aralığında yer almaktadır. Kullanılan ekranın text ekran, bir karakterin boyutlarının 8x16 piksel ebatlarında ve bir bellek hücresinin 16 bit genişliğinde olduğu göz önünde bulundurulursa yukarıdaki adres aralığının her 16 hücrelik bellek alanında iki adet karakterin piksel haritası yer almaktadır. Ekran alanındaki karakterlerin ilgili bellek alanında yerleşimi Şekil-4’de görülmektedir.

	←8 bit→	←8 bit→
0xA000	(0,0)	(0,1)
0xA00F		
0xA010	(0,2)	(0,3)
0xA01F		
.....
.....
.....
0xBFF0	(23,38)	(23,39)
0xBFFF		

(0,0): Ekran alanının 0. satır, 0. sütunundaki karakterin piksel haritası

Şekil-4 Ekran alanının bellek yerleşim düzeni

Ekran kontrolörü, kendi içindeki sayıcı birimlerden gelen bilgilere göre adres hesaplaması yapmakta ve bu adresteki bilginin ekranda görüntülenmesini sağlamaktadır. Ekranda görüntülenecek bilginin bellekteki başlangıç adresini hesaplarken şu formülü kullanmaktadır:

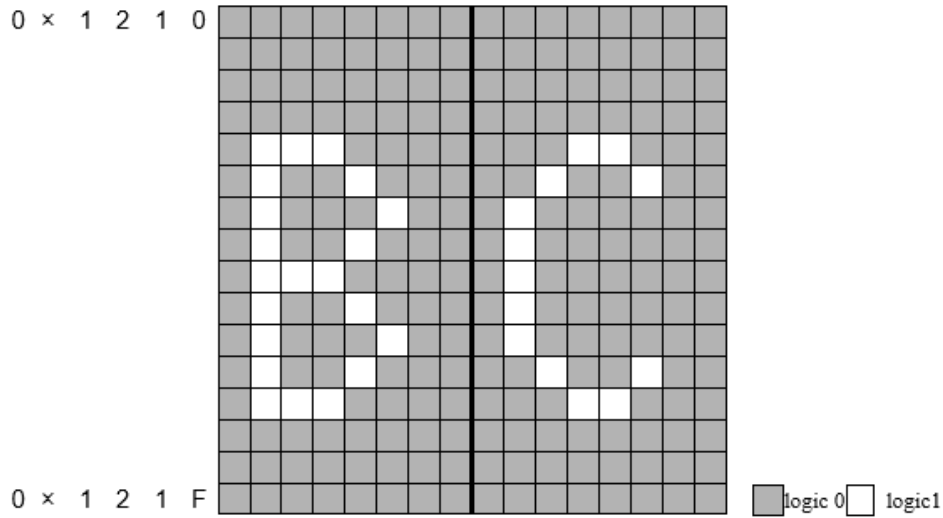
Başlangıç adresi= $0 \times A000 + (\text{Row Pointer Unit} * 0 \times 14 + (\text{Column Pointer Unit}) / 2) * 0 \times 10$

Adresin işaret ettiği yerdeki 16 piksel uzunluğundaki karakterin ilk satır bilgisi, seçim uçları “Column Pixel Pointer Unit” sayıcısının çıkışları olan 2 adet 8×1 MUX yardımıyla monitör donanımının ilgili pikseli aktif veya pasif yapılmaktadır. Daha sonra hesaplanan adrese “Row Pixel Pointer Unit” sayıcısının çıkışları eklenerek karakterin diğer satır piksel bilgileri de ilk satırda olduğu gibi ekrana basılmaktadır.

4 Karakter Tablosu ve Organizasyonu

Mikro bilgisayar mimarisinin ekran alanında kullandığı karakterler standart ASCII tablosunda yer alan karakterlerden meydana gelmektedir. ASCII tablosunun ilk 32 kontrol karakterinden sadece Backspace(0×08) ve Esc(0×27) karakterleri sağ, sol, yukarı ve aşağı ok tuşları için ise sırasıyla ASCII tablosunun 0×10 , 0×11 , 0×12 ve 0×13 kodları kullanılmıştır. ASCII tablosunun $0 \times 32 - 0 \times FF$ arasındaki karakterlerin tamamı mikro bilgisayar mimarisi tarafından kullanılmaktadır. Karakterlerin bit haritaları ana belleğe ($0 \times 1000 - 0 \times 1FFF$) ASCII tablosundaki kod değerlerine göre yerleştirilmiştir. Ancak çalışmada kullanılan ana belleğin bir hücrenin 16 bit ve her bir karakterin bit haritasının genişliği 8 piksel olduğundan tek ve çift değerli kodlu ASCII karakterler aynı bellek hücrelerini paylaşmaktadır. Çift değerli ASCII koda sahip olan karakter belleğin yüksek anlamlı 8 bitini kullanırken, tek değerli ASCII koda sahip karakter ise belleğin düşük anlamlı 8 bitini kullanmaktadır. Örneğin B(ASCII kodu 0×42) ve C(ASCII kodu 0×43) karakterlerinin bellek yerleşimi Şekil-5’de görülmektedir. Her bir karakterin bellekteki bit haritasının başlangıç adresi şu şekilde hesaplanmaktadır.

Başlangıç adresi: $0 \times 1000 + (\text{ASCII kod} / 0 \times 2) * 0 \times 10$

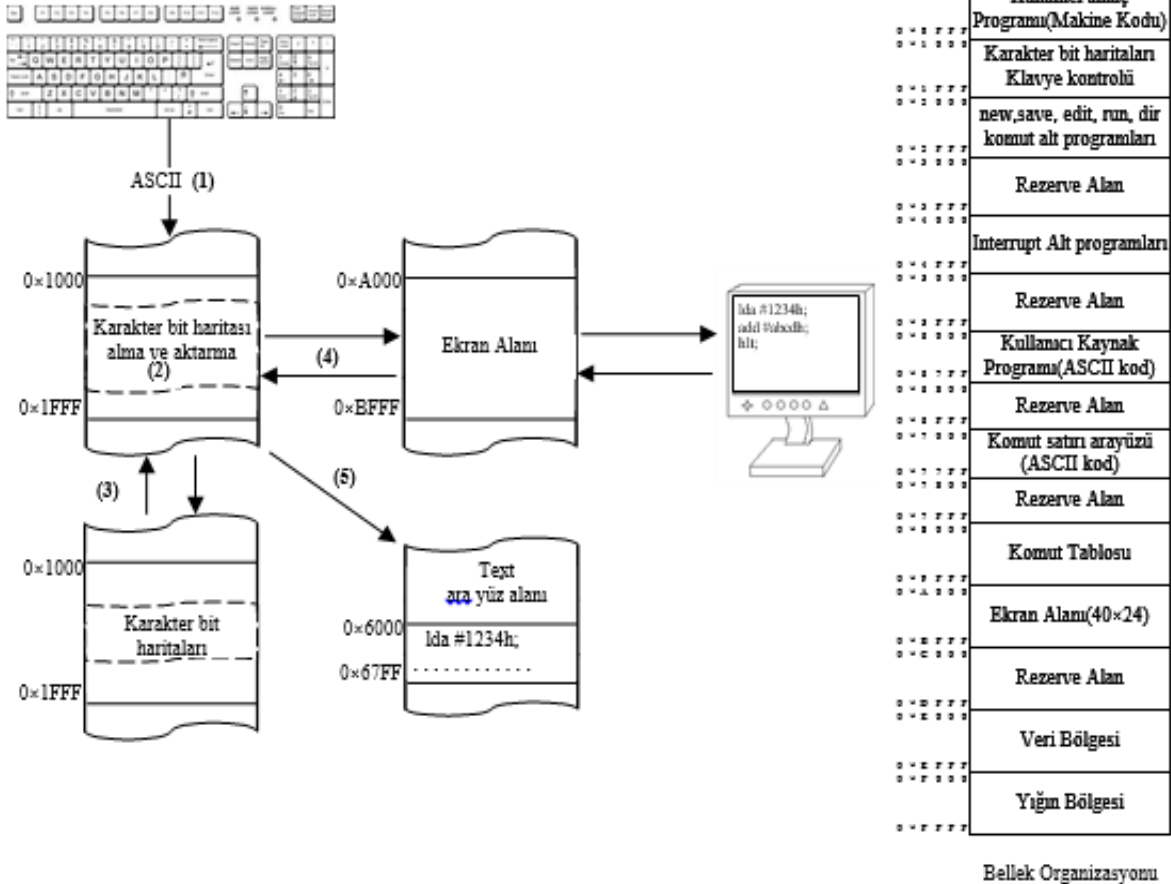


Şekil-5 “B” ve “C” karakterlerinin bellek haritasının bellekte yerleşimi

Mikro bilgisayar mimarisinde giriş birimi olarak standart PS/2 tipinde bir klavye donanımı kullanılmaktadır. Projede klavye kontrolü yazılımsal olarak sağlanmaktadır. Vhdl dilinde yazılan klavye kontrolü alt programı[11], “Alt” ve “Shift” kontrolleri eklenerek yeniden düzenlenmiştir. Bu alt program, klavyeden bir tuşa basıldığında ilgili tuşun ASCII kodunu mimarinin giriş kaydedicisine(INPR) aktarmakta ve bir kesme üreterek klavye alt programına dallanmasını sağlamaktadır. Bu alt programda yapılan işlem adımlarına ait alt programın assembly komut içeriği [6] nolu referansda yer alan tezin EK-B’inde yer almaktadır.

Alt program çalışmasını bitirdikten sonra ekranda imleci belirli aralıklarla aktif/pasif yapan alt programa dallanır. Bu alt programın da assembly komutları ise [6] nolu referansın EK-C'sinde bulunmaktadır. Bu alt programda başlıca yapılan işlem adımları süreci Şekil-6'da görülmekte olup şu şekilde özetlenebilir:

- Adım-1:** Mimarinin giriş kaydedicisindeki veriyi alarak klavyeden basılan tuşun kontrol karakteri mi olup olmadığını denetle.
- Adım-2:** Eğer kontrol karakteri ise bununla ilgili işlemlere dalkan ve işlemler bittiğinde Adım-6'ya dalkan, değilse bir sonraki adıma atla.
- Adım-3:** Klavyeden basılan karakterin bit haritasının başlangıç adresini yukarıda bahsedilen formülü kullanarak hesapla.
- Adım-4:** Adım-3'de bulunan başlangıç adresini kullanarak karakter bit haritasını imlecin satır ve sütun konum bilgilerine göre ekran alanı bölgesine(0xA000-0xBFFF) aktar.
- Adım-5:** İmlecin satır ve sütun konum bilgilerini güncelle.
- Adım-6:** İmleç aktif/pasif alt programına dalkan.



Şekil-6 Klavyeden basılan karakterin ekrana yansımaya süreci

3 Tartışma ve Öneriler

Ekran alanında görüntü elde edebilmek için VGA ekran donanımına ait kontrol sinyalleri olan renk ve senkronize sinyallerinin yönetilmesi gerekmektedir. Bu sinyaller kontrol edilerek ekran donanımındaki piksellerin yakılması veya söndürülmesi neticesinde istenilen görüntü elde edilir. Bu çalışmada, bu sinyalleri kontrol ederek ekrandaki görüntünün oluşmasını sağlayan ekran kontrolörü lojik kapı seviyesinde donanımsal olarak inşa edilmiştir.

FPGA geliştirme kartları Elektronik Mühendisliği ve Bilgisayar Bilimleri gibi bölümlerde dijital lojik devre tasarımının öğrenilmesinde kolaylık sağladığı ve ilgili derslerde motivasyonu artırdığı görülmüştür. Ayrıca FPGA geliştirme kartlarının yeniden yapılandırılabilir özelliğe sahip olması nedeniyle öğrencilerin farklı farklı tasarımlarını ek bir maliyet getirmeden mevcut geliştirme kartları üzerinde gerçekleştirmelerine imkan vermektedir.

BZK.SAU.FPGA ortamında yapılan tasarım ve modülerlik sayesinde mevcut bilgisayar mimarisinin işleyişini aksatmadan kullanıcının kendine özgü tasarladığı birimi entegre edebilme olanağına kavuşturulmuştur. Bu sayede komple sistemin karmaşıklığı içinde kaybolmadan kendine özgü tasarımlarının çalışmasını izleme olanağı öğrenciler ve kullanıcılar için sağlanmıştır. Ayrıca mevcut sistemin bileşenleri modüler yapıda tasarlandığından sistemin geliştirilmesi üzerine çalışmalara ve mikro bilgisayar mimarisinin gelişiminin sürdürülebilirliğine olanak sağlanmıştır.

Teşekkür

Bu çalışma, 110E069 numaralı TÜBİTAK 1001 projesi kapsamında desteklenmiştir.

References (Referanslar)

1. GARCIA, M.I., Rodriguez, S., Perez, A., Garcia, A., p88110: A Graphical Simulator for Computer Architecture and Organization Courses, IEEE Transactions on Education, 52, 2, 248–256, (2009).
2. NIKOLIC, Z., Radivojevic, J., Djordjevic, J., Milutinovic, V., A Survey and Evaluation of Simulators Suitable for Teaching Courses in Computer Architecture and Organization, IEEE Transactions on Education, 52, 4, 449–458, (2009).
3. STOJKOVIC, A., Djordjevic, J., Nikolic, B., WASP: A Web Based Educational System for Teaching Computer Architecture and Organization, International Journal Electrical Engineering Education, 44, 3, 197–215, (2007).
4. DJORDJEVIC, J., Nikolic, B., Milenkovic, A., Flexible Web-based Educational System for Teaching Computer Architecture and Organization, IEEE Transactions on Education, 48, 2, 264–273, (2005).
5. QINGQIANG, W., Langcai, C., Teaching Mode of Operating System Course for Undergraduates Majoring in Computer Sciences, 4th International Conference on Computer Science & Education, Xiamen- China, (2009) pp: 1412-1415.
6. ÖZTEKİN, H., Eğitim Amaçlı Yapılandırılabilir Modüler Donanım Üzerine Gömülü İşletim Sistemi Tasarımı, (Doktora Tezi), Sakarya Üniversitesi Fen Bilimleri Enstitüsü, (2012).

7. Proje Raporu: Proje No: 110E069 Proje Adı: Uzaktan Erişilebilir Yapılandırılabilir Donanım Üzerine Eğitim Amaçlı Mikro Bilgisayar Mimarisi ve Gömülü İşletim Sistemi Tasarımı (2012).

8. http://en.wikipedia.org/wiki/ABC_80 (Erişim Tarihi: 20/02/2012)

9. en.wikipedia.org/wiki/List_of_home_computers_by_video_hardware (Erişim Tarihi: 20/02/2012)

10. ÖZTEKİN, H., TEMURTAŞ, F., GÜLBAĞ, A., A Modular Approach to VGA Monitor Controller for BZK.SAU.FPGA10.1 Microcomputer Architecture Design, 2012 International Conference on Information and Computer Applications (ICICA 2012)

11. www.opencores.org (Erişim Tarihi: 05/06/2011)