

Sticky Note Design using E-ink screen with Nios II soft processor

Nijat ASFARAM^{1*}, Halit ÖZTEKİN^{2*}

¹Department of Computer Engineering, Sakarya University of Applied Sciences, Sakarya, Türkiye

²Department of Computer Engineering, Sakarya University of Applied Sciences, Sakarya, Türkiye

Abstract: Low power consumption and customizable interfaces are critically important for modern portable electronic devices and IoT applications. E-Ink (Electronic Ink) screens offer energy efficiency in this domain, while FPGAs (Field Programmable Gate Arrays) provide high flexibility and parallel processing capabilities at the hardware level. This study aims to design a sticky note system using FPGA-based E-Ink screen hardware by combining the advantages of these two technologies. Control of the Good Display GDEY042T81 model 4.2-inch E-Ink screen was achieved using a Nios II embedded processor core integrated via the Qsys tool and a specially configured SPI (Serial Peripheral Interface) peripheral on an Altera DE2-70 development board. It has been experimentally verified that the developed system can successfully display texts of different sizes and basic geometric shapes on the E-Ink screen. This work demonstrates that FPGA platforms can be effectively used for E-Ink screen control and offers the potential for a flexible infrastructure for applications requiring energy-efficient, highly customizable display solutions (e.g., electronic shelf labels, wearable technologies).

Keywords: FPGA, E-Ink, SPI, NIOS II, Embedded System

Nios II soft işlemcili E-mürekkep ekran kullanan Yapışkan Not Tasarımı

Özet: Düşük güç tüketimi ve özelleştirilebilir arayüzler, modern taşınabilir elektronik cihazlar ve IoT uygulamaları için kritik öneme sahiptir. E-Ink (Elektronik Mürekkep) ekranlar bu alanda enerji verimliliği sunarken, FPGA'ler (Alan Programlanabilir Kapı Dizileri) donanım seviyesinde yüksek esneklik ve paralel işleme yetenekleri sağlamaktadır. Bu çalışma, bu iki teknolojinin avantajlarını birleştirerek FPGA tabanlı bir E-Ink ekran donanımını kullanarak yapışkan not sistemi tasarımını amaçlamaktadır. Altera DE2-70 geliştirme kartı üzerinde, Qsys aracı ile entegre edilen bir Nios II gömülü işlemci çekirdeği ve özel olarak yapılandırılmış SPI (Serial Peripheral Interface) çevre birimi kullanılarak, Good Display GDEY042T81 model 4.2 inç E-Ink ekranın kontrolü sağlanmıştır. Geliştirilen sistemin, E-Ink ekran üzerinde farklı boyutlarda metinleri ve temel geometrik şekilleri başarıyla görüntüleyebildiği deneysel olarak doğrulanmıştır. Bu çalışma, FPGA platformlarının E-Ink ekran kontrolünde etkin bir şekilde kullanılabileceğini göstermekte ve enerji verimli, yüksek oranda özelleştirilebilir ekran çözümleri gerektiren uygulamalar (örneğin, elektronik raf etiketleri, giyilebilir teknolojiler) için esnek bir altyapı potansiyeli sunmaktadır.

Anahtar Kelimeler: FPGA, E-Ink, SPI, NIOS II, Gömülü Sistem

Reference to this paper should be made as follows (bu makaleye aşağıdaki şekilde atıfta bulunulmalı):

N. Asfaram, H. Öztekin, 'Sticky Note Design using E-ink screen with Nios II soft processor', Elec Lett Sci Eng, vol. 21(1), (2025), 14-24

1. Giriş

Günümüzde taşınabilir elektronik cihazların ve Nesnelerin İnterneti (IoT) uygulamalarının yaygınlaşmasıyla, enerji verimliliği yüksek ve farklı ortam koşullarında okunabilir kullanıcı arayüzlerine olan talep artmaktadır. Bu bağlamda, E-Ink (elektronik mürekkep) teknolojisi, bistabil özelliği sayesinde statik görüntüleri güç harcamadan koruyabilmesi, geniş görüş açısı ve doğrudan güneş ışığı altında dahi yüksek okunabilirlik sunması gibi avantajlarıyla öne çıkmaktadır [1]. Bu özellikler E-Ink ekranlarını e-kitap okuyucular, elektronik raf etiketleri (ESL), akıllı saatler ve çeşitli giyilebilir teknolojiler için cazip kılmaktadır [1].

* Corresponding author; nicat.asfaram@gmail.com

Diğer yandan, alanda programlanabilir kapı dizileri (FPGA'ler), donanım yapısının uygulama sonrasında programlanabilmesi sayesinde yüksek esneklik sunan yarı iletken entegre devrelerdir [2]. Paralel işleme yetenekleri ve özelleştirilebilir giriş/çıkış arayüzleri, FPGA'leri özellikle gerçek zamanlı kontrol, yüksek hızlı veri işleme, görüntü işleme ve özel arayüz protokollerinin uygulanması gibi alanlarda güçlü bir platform haline getirmektedir [2]. FPGA üzerinde soft-core işlemcilerin (örneğin Nios II) kullanılması, donanım hızlandırma yetenekleri ile yazılım tabanlı kontrol esnekliğini birleştiren sistemlerin tasarlanmasına olanak tanır.

E-Ink ekranların kontrolü, genellikle belirli komut dizileri ve zamanlamalar gerektiren SPI gibi seri arayüzler üzerinden gerçekleştirilir. Standart mikrodenetleyiciler bu görev için yaygın olarak kullanılsa da, FPGA'ler özel kontrol mantığı, paralel veri hazırlama veya arayüz hızlandırma gibi konularda potansiyel avantajlar sunar. Özellikle sık güncellenmeyen ancak düşük güç tüketiminin kritik olduğu (örneğin pil ile çalışan IoT cihazları, sensör ağları) veya özel görüntü işleme algoritmalarının ekrana gönderilmeden önce uygulanması gereken durumlarda FPGA tabanlı bir çözüm, performans ve esneklik açısından faydalı olabilir. Bu çalışmanın motivasyonu, FPGA'lerin bu potansiyelini E-Ink ekran kontrolü bağlamında araştırmak ve uygulamaktır.

Literatürde FPGA kullanılarak E-Ink ekran sürme üzerine çalışmalar vardır. Ancak bu çalışmalar donanım tanımlama dilleri (HDL) ile programlanmıştır. Bu dillerin yüksek seviyeli programlama dillerine göre farklılıkları (ardışıl yerine paralel çalışması v.b) olması nedeniyle öğrenilmesi kolay değildir. Bunun yerine tasarımcının aşına olduğu yüksek seviyeli programlama dillerini FPGA donanımı üzerinde kullanacağı platformlar gerekmektedir. Bu ihtiyacı Nios II soft işlemcileri kullanarak yapılan tasarımlar gidermektedir. Bu sebeplerden dolayı Altera FPGA donanımı üzerinde Qsys aracı ile entegre edilmiş bir Nios II soft-core işlemci kullanarak modüler ve esnek bir E-Ink kontrol sistemi mimarisi sunmaya odaklanmaktadır. Nios II işlemcisinin programlanabilirliği ve FPGA'in donanım kaynaklarının özel çevre birimleri (bu çalışmada SPI) için yapılandırılması yoluyla, E-Ink ekran kontrolü için uyarlanabilir bir platform oluşturulmuştur. Bu projenin temel amacı, Altera DE2-70 kartı üzerindeki Nios II işlemcisi ile Good Display GDEY042T81 E-Ink ekranını SPI arayüzü üzerinden kontrol ederek metin ve temel grafiklerin görüntülenmesini sağlayan bir gömülü sistemi başarıyla gerçekleştirmek ve FPGA platformunun bu tür uygulamalar için uygunluğunu göstermektir. Çalışma, aynı zamanda bu alandaki uygulamalar için bir temel oluşturmayı ve E-Ink ekranların kullanım alanını genişletmeye katkıda bulunmayı hedeflemektedir.

2. Literatür Taraması

Bu bölümde E-Ink ekran teknolojisi, FPGA tabanlı gömülü sistemler ve bu iki teknolojinin bir arada kullanıldığı çalışmalara odaklanarak literatürde yer alan ilgili çalışmaları incelenecektir.

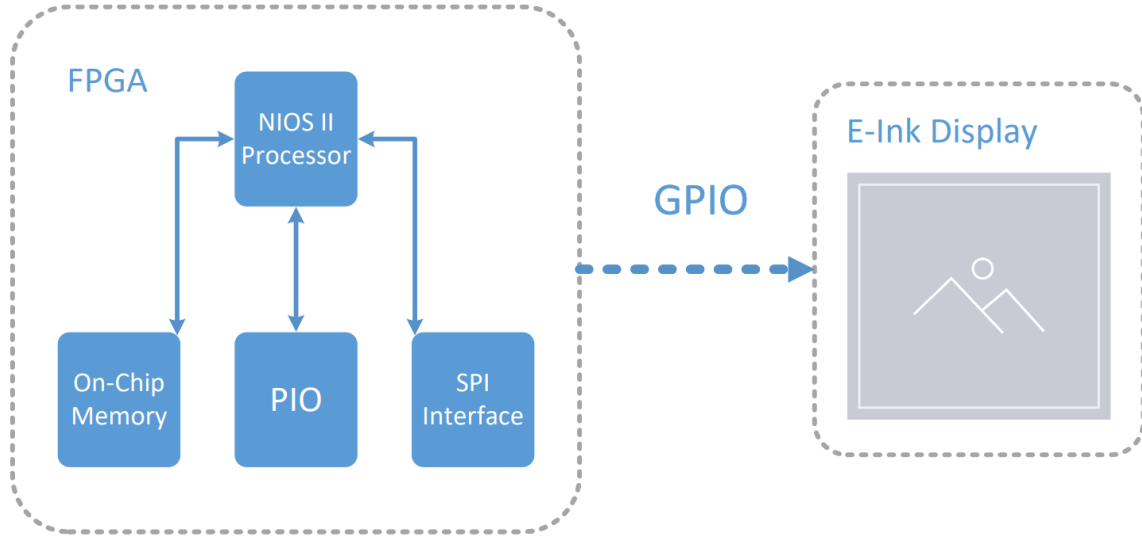
E-Ink ekranlar, bistabil mikrokapsül teknolojisi sayesinde statik görüntüler için sifıra yakın güç tüketimi, geniş görüş açısı ve güneş ışığı altında yüksek okunabilirlik sunar [1]. Bu özellikler, düşük güç tüketiminin kritik olduğu elektronik etiketler ve giyilebilir cihazlar gibi uygulamalar için idealdir [1]. Kontrolleri genellikle SPI gibi seri arayüzler üzerinden, belirli komut ve zamanlama dizileriyle yapılır. FPGA'ler, programlanabilir lojik blokları ve ara bağlantılar sayesinde donanım düzeyinde yüksek esneklik ve paralellik sunar [2]. Bu yapı, özel arayüz protokollerinin gerçekleştirilmesi, donanımsal hızlandırma ve gerçek zamanlı kontrol sistemleri için avantaj sağlar [2]. Nios II gibi soft-core işlemcilerin FPGA içine gömülmesi, yazılım esnekliği ile donanım performansını birleştiren sistem tasarımlarına olanak tanır.

E-Ink ekranlar, düşük güç tüketimi avantajları nedeniyle çeşitli gömülü sistemlerde kullanılmaktadır. Literatürdeki birçok uygulama, enerji verimliliği ve maliyet etkinliği sağlamak amacıyla mikrodenetleyiciler kullanarak E-Ink kontrolünü gerçekleştirmiştir. Sánchez de Rivera ve arkadaşları[6], kişisel bilgi ekranı olarak düşük güç tüketimli, Bluetooth LE ile kablosuz haberleşen otonom bir cihaz geliştirmek için ATmega328p mikrodenetleyicisini kullanmışlardır. Çalışmalarında özel bir PCB tasarımı ile güç tasarrufu stratejilerine odaklanmışlar ve ticari bir platform (LightBlue Bean) kullanarak prototiplemeyi kolaylaştırmışlardır. Szabó ve arkadaşları[7], toplantı odaları için enerji verimli bir zaman çizelgesi ekranı tasarlarlarken Raspberry Pi Pico W gibi düşük güçlü mikrodenetleyicileri tercih etmişlerdir. Bu çalışmada, maliyet, enerji verimliliği ve programlama kolaylığı arasındaki dengeyi bulmak amacıyla farklı mikrodenetleyici (Pico W, ESP32) ve mikrobilgisayar (Raspberry Pi 4B) tabanlı prototipler karşılaştırılmıştır. Özellikle Pico W gibi kaynakları kısıtlı mikrodenetleyicilerde MicroPython ile programlama yaparken karşılaşılan bellek yönetimi zorlukları ve kütüphane eksiklikleri detaylı olarak tartışılmıştır. Ayrıca, güvenlik ve özelleştirme avantajları nedeniyle harici servisler yerine kurum içi bir sunucu mimarisi önermişlerdir. Kamran[8] ise, hastaların ilaç takibini kolaylaştırmak amacıyla tasarladığı akıllı ilaç kutusunda, E-Ink ekranın düşük güç tüketimi avantajından yararlanmıştır. Bu çalışmada alarmlar (ses, titreşim, ses kaydı/oyunatma), 100 günlük veri kaydı ve Bluetooth ile kablosuz raporlama gibi fonksiyonlar, STM32 ARM mikrodenetleyicisi ve harici SPI flash bellek kullanılarak gerçekleştirilmiştir. Kamran, E-Ink ekranın yavaş yenileme hızı (~700 ms) ve olası gölgelenme (ghosting) etkilerine de değinmiştir. Mikrodenetleyici tabanlı çözümlerin yanı sıra, FPGA platformlarının sunduğu esneklik ve paralel işleme yetenekleri de gömülü sistem uygulamalarında dikkat çekmektedir. Myint ve arkadaşları tarafından 2017 yılında yapılan bir çalışmada[4], IoT ortamında yeniden yapılandırılabilir bir su kalitesi izleme sistemi için FPGA (Altera DE1-SoC) tabanlı bir yaklaşım sunulmuştur. Bu sistemde, Nios II soft-core işlemcisi Qsys aracı ve VHDL/C++ kullanılarak programlanmış ve çeşitli su parametreleri gerçek zamanlı ve paralel olarak izlenmiştir. Myint et al. bu FPGA tabanlı sistemin yüksek yürütme hızı ve düşük güç tüketimi sayesinde geleneksel mikrodenetleyici tabanlı WSN tasarımlarından daha iyi performans gösterdiğini belirtmiştir. Sistemin FPGA kaynak kullanım raporunda %5 mantık elemanı ve %2 bellek kullanımı olduğu görülmektedir. FPGA üzerindeki soft-core işlemcilerin güç ve enerji tüketimi de bilimsel literatürde incelenmiştir. Senn ve arkadaşları 2012 yılında yayımladıkları çalışmalarında[5], Nios II işlemcilerinin farklı Altera FPGA'lerindeki (Cyclone III LS ve Arria II GX) güç ve enerji tüketimini modellemişlerdir. Çalışma, Nios II'nin güç tüketiminin kullanılan mantık elemanı sayısı ile doğru orantılı olduğunu ve işlemci frekansının güç tüketimi üzerinde doğrusal bir etkisi olduğunu göstermiştir. Ayrıca, bellek (on-chip RAM ve harici SDRAM) kullanımı ve önbellek miss rate'inin enerji tüketimini önemli ölçüde etkilediği belirtilmiştir.

Literatürdeki bu çalışmalar E-Ink ekranların mikrodenetleyici tabanlı sistemlerdeki yaygınlığını ve bu tür tasarımlarda karşılaşılan ortak zorlukları (güç yönetimi optimizasyonu, sınırlı kaynaklarla programlama, arayüz kontrolü) göstermektedir. Mikrodenetleyiciler birçok uygulama için yeterli ve maliyet etkin çözümler sunsa da, FPGA platformları, donanımsal özelleştirme, paralel veri işleme (örneğin, görüntü verisini hazırlarken veya karmaşık arayüz protokollerini yönetirken) veya özel görüntü işleme algoritmalarının doğrudan donanımda uygulanması gibi potansiyel ek avantajlar sunabilir.

3. Yöntem

Bu bölümde, FPGA tabanlı E-Ink ekran kontrol sisteminin tasarımı, gerçekleştirimi ve testi için izlenen yöntemler ve kullanılan araçlar açıklanmaktadır. Sistem, donanım ve yazılım bileşenlerinden oluşmaktadır ve Altera DE2-70 geliştirme kartı üzerinde gerçekleştirilmiştir. Sistemin blok diyagramı Şekil 1’de verilmiştir.



Şekil 1: FPGA tabanlı E-Ink ekran kontrol sistemini

3.1. Sistem Mimarisi (Donanım)

Donanım mimarisi, E-Ink ekran kontrol sisteminin fiziksel katmanını oluşturmakta olup, temel olarak FPGA geliştirme kartı ve E-Ink ekran bileşenlerinden meydana gelmektedir.

3.1.1. FPGA Platformu

Bu çalışmada ana platform olarak Terasic DE2-70 geliştirme kartı kullanılmıştır. Kart, Altera Cyclone II EP2C70F896C6N FPGA entegresini barındırmaktadır. Kullanılan FPGA, projenin gerektirdiği Nios II işlemci sistemini ve özel SPI/GPIO arayüzlerini gerçeklemek için yeterli mantık elemanı ve yönlendirme kaynağı sunmaktadır. Nios II işlemcisinin program kodunu ve verilerini saklamak için kart üzerindeki mevcut bellek kaynaklarından (on-chip RAM) yararlanılmıştır. Altera DE2-70 geliştirme kartı üzerinde aynı zamanda 512MB DDR2 SDRAM gibi harici bellek birimleri bulunsa da, bu çalışmanın kapsamı temel E-Ink kontrolünü doğrulamak ve sistemin kaynak kullanımını minimumda tutmak olduğundan, öncelikli olarak dahili on-chip RAM tercih edilmiştir. E-Ink ekran modülü ile fiziksel bağlantı, kart üzerinde bulunan 40-pin GPIO genişletme başlıkları aracılığıyla gerçekleştirilmiştir.

3.1.2. E-Ink Ekran

Projede, Good Display firmasının GDEY042T81 model E-Ink ekran modülü kullanılmıştır. Bu modül, 400x300 piksel çözünürlüğe sahip 4.2 inç boyutunda, 1-bit (siyah-beyaz) aktif matris

elektroforetik bir ekrandır (AM EPD) [1]. Düşük statik güç tüketimi ve yüksek okunabilirlik özellikleri nedeniyle tercih edilen bu ekran, entegre bir kontrolcü içermekte ve FPGA platformu ile SPI (Serial Peripheral Interface) seri haberleşme protokolü üzerinden arayüzlenmiştir.

3.1.3. Qsys Tabanlı Gömülü Sistem Tasarımı

FPGA üzerindeki gömülü sistemin kalbi, Altera'nın Quartus II (sürüm 11.1) yazılımı içinde yer alan Qsys sistemi entegrasyon aracı kullanılarak tasarlanmıştır [9]. Qsys, Nios II işlemci çekirdeğini, çevre birimlerini ve belleği grafiksel bir arayüzde birleştirmeyi ve bunlar arasındaki bağlantıları (Avalon arayüzü üzerinden) otomatik olarak oluşturmayı sağlar. Bu projede Qsys kullanılarak aşağıdaki temel bileşenler içeren bir sistem oluşturulmuştur:

- **Nios II İşlemci:** Sistem kontrolü, E-Ink komutlarının oluşturulması ve veri yönetimi görevleri için Nios II/e (economy) soft-core işlemci çekirdeği kullanılmıştır. Nios II/e, düşük FPGA kaynak kullanımı ve temel kontrol görevleri için yeterli performansı sağlaması nedeniyle tercih edilmiştir. İşlemci saat frekansı 50 MHz olarak ayarlanmıştır.
- **SPI Çevre Birimi (Master):** E-Ink ekran ile komut ve veri iletişimini sağlamak amacıyla Altera'nın hazır SPI Master çevre birimi IP (Intellectual Property) çekirdeği sisteme eklenmiştir. Bu arayüz, E-Ink ekranının gereksinimlerine uygun olarak 4 MHz, Mod 0 (CPOL=0, CPHA=0) parametreleri ile yapılandırılmıştır.
- **GPIO Çevre Birimi (PIO - Parallel Input/Output):** E-Ink ekranının SPI dışındaki kontrol pinlerini (Reset, Data/Command (D/C), Busy) sürmek ve okumak için PIO çevre birimi kullanılmıştır. Bu pinler, FPGA'nın GPIO başlıkları üzerinden E-Ink modülüne bağlanmıştır.
- **On-Chip Bellek (RAM):** Nios II işlemcisinin program kodunu (.text bölümü), veri (.data, .rodata, .bss bölümleri) ve yığın (stack/heap) alanını saklamak amacıyla FPGA içindeki on-chip RAM kaynakları kullanılmıştır. Toplam 64 KB boyutunda bellek sisteme eklenmiştir.

Oluşturulan Qsys sisteminin blok diyagramı Şekil 2'de gösterilmektedir.



Şekil 2: Önerilen FPGA tabanlı E-Ink ekran kontrol sisteminin Qsys ile oluşturulan donanım mimarisi. (Nios II, SPI, PIO, On-Chip Memory ve aralarındaki bağlantıları gösterir.)

3.2. Sistem Mimarisi (Yazılım)

Qsys ile donanım sistemi tanımlandıktan sonra, NIOS II işlemcisi üzerinde çalışacak kontrol yazılımı, C programlama dili kullanılarak Altera NIOS II Software Build Tools (SBT) for Eclipse IDE ortamında geliştirilmiştir. Yazılım geliştirme süreci, donanım ile etkileşim, E-Ink ekran sürücüsünün oluşturulması ve temel grafiksel işlemlerin gerçekleştirilmesi adımlarını içermiştir.

3.2.1 Donanım Soyutlama Katmanı (HAL) ve Çevre Birimi Erişimi

Yazılımın donanım ile etkileşimi, NIOS II SBT tarafından sağlanan Donanım Soyutlama Katmanı (HAL) aracılığıyla kolaylaştırılmıştır. Özellikle SPI ve PIO (GPIO) çevre birimlerine erişim için HAL tarafından sunulan makrolardan faydalanılmıştır. SPI iletişimde, veri gönderme işlemi `IOWR_ALTERA_AVALON_SPI_TXDATA` makrosu ile yapılırken, gönderim için çevre biriminin hazır olup olmadığı (TRDY biti) ve gönderimin tamamlanıp tamamlanmadığı (TMT biti) `IORD_ALTERA_AVALON_SPI_STATUS` makrosu ile durum yazmacı okunarak kontrol edilmiştir. Bu kontrol mekanizması, SPI çevre biriminin veri göndermeye hazır olmasını ve gönderimi tamamlamasını bekleyerek güvenilir bir iletim sağlamaktadır. Benzer şekilde, E-Ink ekranının Reset (RST) ve Veri/Komut (D/C) gibi SPI dışı kontrol pinleri, `IOWR_HAL` makrosunu temel alan ve kod içinde `EPD_W21_RST_0/1` ile `EPD_W21_DC_0/1` olarak tanımlanan özel makrolar aracılığıyla yönetilmiştir. Ekranın işlem yaparken meşgul olduğunu belirten Busy sinyali ise, `Epaper_READBUSY` fonksiyonu içerisinde `IORD` makrosu ile okunmuş ve ekran bir sonraki komuta hazır olana kadar program akışı bekletilmiştir.

3.2.2 E-Ink Ekran Sürücüsü Geliştirme

GDEY042T81 E-Ink ekranının kontrolü için, üreticinin veri sayfası (datasheet)[10] referans alınarak özel sürücü fonksiyonları geliştirilmiştir. Bu fonksiyonlar, ekranın başlatılması (`EPD_HW_Init`, `EPD_HW_Init_GUI`), görüntü verisinin ekrana yazılması (`EPD_Display`, `EPD_WhiteScreen_White`), yazılan verinin görünür hale getirilmesi (`EPD_Update`) ve ekranın düşük güç moduna alınması (`EPD_DeepSleep`) gibi temel işlemleri kapsar. Başlatma sırasında yazılımsal sıfırlama (`0x12`), sürücü çıkış kontrolü (`0x01`), veri giriş modu (`0x11`) ve RAM adreslemeyle ilgili (`0x44`, `0x45`, `0x4E`, `0x4F`) çeşitli komutlar kullanılırken, görüntü güncelleme işlemi `0x22` ve `0x20` komutları ile tetiklenmektedir[10]. Komut ve verinin ayırt edilmesi, SPI gönderimi öncesinde D/C pininin `EPD_W21_WriteCMD` ve `EPD_W21_WriteDATA` fonksiyonları içinde uygun seviyeye çekilmesiyle sağlanmıştır.

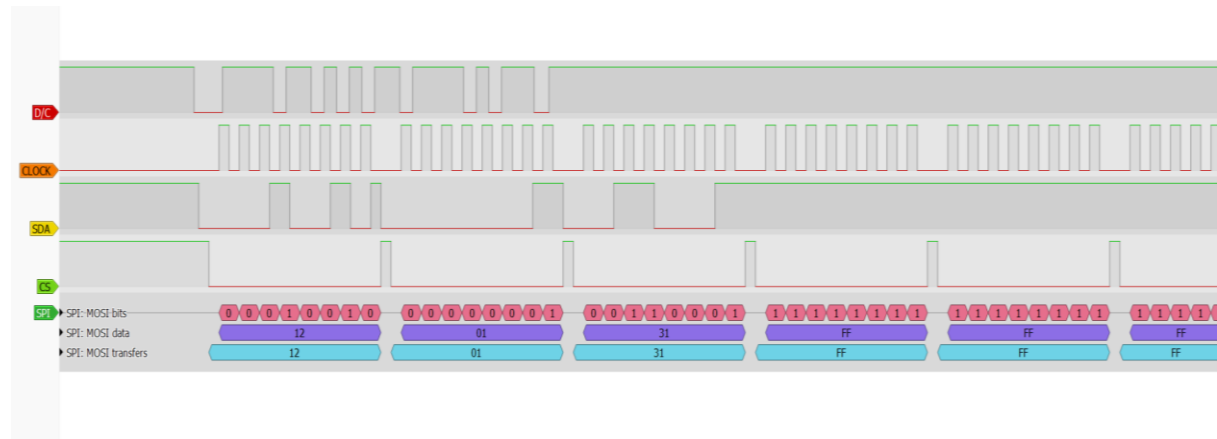
3.2.3 Grafik Kütüphanesi ve Framebuffer

Grafiksel içeriğin oluşturulması ve yönetimi için, NIOS II işlemcisinin on-chip RAM belleği üzerinde bir framebuffer (görüntü tamponu) tekniği kullanılmıştır. Bu framebuffer, `unsigned char BlackImage[EPD_WIDTH*EPD_HEIGHT/8]`; tanımıyla, 400x300 piksel çözünürlük ve 1 bit renk derinliği (siyah/beyaz) için gereken 15000 baytlık bir bellek alanı olarak ayrılmıştır. Bu yapıda her bit tek bir piksele karşılık gelmekte ve 8 piksel bilgisi bir bayt içerisinde saklanmaktadır. Metin, nokta, çizgi, dikdörtgen ve daire gibi temel grafik öğelerinin çizimi, projeye `GUI/GUI_Paint.h` başlık dosyası aracılığıyla dahil edilen harici bir grafik kütüphanesi tarafından gerçekleştirilmiştir. Bu kütüphane, Good Display firmasının E-Ink ekranları için sağladığı bir örnek kütüphanenin tarafımızca NIOS II ortamına adapte edilmiş ve basitleştirilmiş bir versiyonudur. Kütüphane, kısmi yenileme (partial update) ve hızlı yenileme (fast refresh) modları için destek sunmakta ve farklı font boyutlarında metin görüntüleme yeteneğine sahiptir.

Ancak, bu çalışmanın temel amacı basit ve kolay bir şekilde işlevsel bir E-Ink kontrol sistemi oluşturmak olduğundan, bu gelişmiş yenileme modlarına ve font boyutlarına bu çalışmada detaylı olarak odaklanılmamıştır. Kütüphane gri tonlama desteğine sahip değildir. Tüm çizimler tamamlandıktan sonra, EPD_Display fonksiyonu framebuffer içeriğini SPI üzerinden E-Ink ekranın dahili belleğine aktarır ve ardından EPD_Update fonksiyonu ile görüntü ekranda belirginleşir.

3.2.4 Ön Doğrulama ve SPI Analizi

Yazılım geliştirme sürecinin başlarında, FPGA üzerinde kodlamaya geçmeden önce SPI komut dizilerini ve zamanlamalarını doğrulamak amacıyla bir ESP32 mikrodenetleyici ve mantık analizörü kullanılarak ön doğrulama yapılmıştır. Bu adım, özellikle `main.c` dosyasında geliştirilen sürücü fonksiyonlarındaki komut sıralamalarının ve Busy sinyali yönetiminin doğruluğunu teyit etmede önemli bir referans noktası sağlamıştır. Genel olarak yazılım, temel E-Ink kontrol mantığını içeren `main.c` dosyası ve grafiksel işlemleri soyutlayan harici GUI kütüphanesi arasında modüler bir yaklaşımla yapılandırılmıştır.

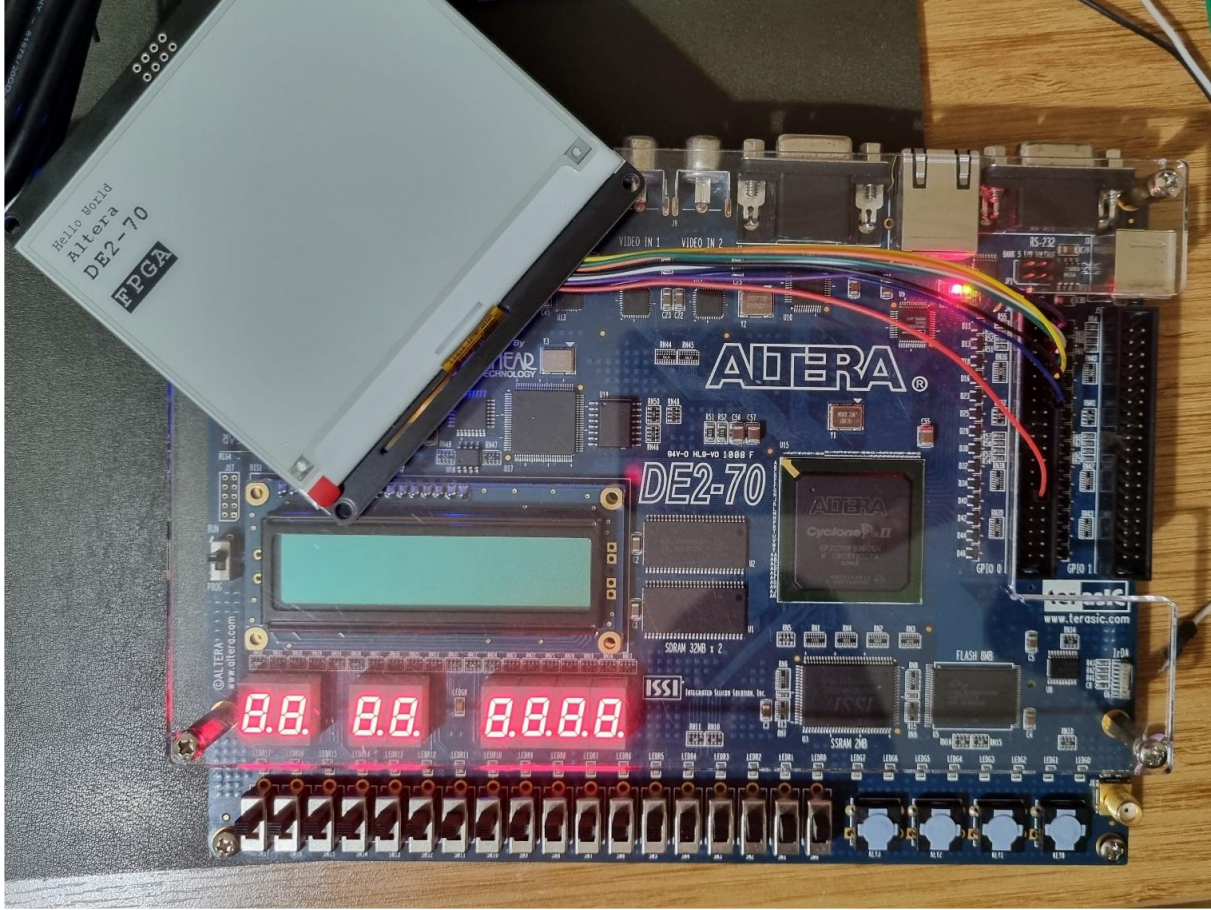


Şekil 3: Geliştirilen sistemde E-Ink ekranına komut gönderimi sırasındaki SPI iletişiminin mantık analizörü ile yakalanan dalga formları (CS, SCLK, MOSI).

3.3. Sistem Entegrasyonu ve Test

Qsys'te tasarlanan donanım sistemi, Quartus II yazılımı ile sentezlenmiş, yerleştirme ve yönlendirme (place and route) işlemlerinden geçirilerek FPGA üzerinde konfigürasyon için bir `.sof` (SRAM Object File) dosyası oluşturulmuştur. Nios II için geliştirilen C kodu derlenerek bir `.elf` (Executable and Linkable Format) dosyası elde edilmiştir. Sistem entegrasyonu, `.sof` dosyasının JTAG arayüzü üzerinden DE2-70 kartındaki FPGA'e yüklenmesi ve ardından `.elf` dosyasının Nios II işlemcisine indirilerek çalıştırılmasıyla gerçekleştirilmiştir. Sistemin işlevselliğini doğrulamak için aşağıdaki testler yapılmıştır:

- **Fonksiyonel Testler:** Farklı boyutlarda ve konumlarda metinlerin ekrana yazdırılması, temel geometrik şekillerin (çizgi, dikdörtgen) çizdirilmesi test edilmiştir. Ekranın başarıyla temizlenip yenilediği gözlemlenmiştir.
- **Görsel Doğrulama:** Ekrana yazdırılan içeriğin netliği ve doğruluğu görsel olarak kontrol edilmiştir.
- **Performans Gözlemi:** Ekran yenileme hızının pratik kullanım için kabul edilebilir düzeyde olup olmadığı nitel olarak değerlendirilmiştir.



Şekil 4: Altera DE2-70 kartı üzerinde çalışan, GDEY042T81 E-Ink ekranını kontrol eden FPGA tabanlı sistemin test düzeneği.

3.4. Sistem Mimarisi(Değerlendirme)

Bu çalışmada, FPGA tabanlı bir E-Ink ekran kontrol sistemi geliştirilmesi hedeflenmiştir. Geliştirilen sistemin temel amacı, E-Ink ekran üzerinde metin ve basit grafikleri görüntülemektir. Bu bölümde, geliştirilen sistemin elde ettiği sonuçlar detaylı bir şekilde tartışılmıştır.

Altera DE2-70 kartı üzerinde Nios II işlemcisi, SPI ve GPIO çevre birimleri Qsys kullanılarak başarıyla entegre edilmiş ve GDEY042T81 E-Ink ekranının kontrolü sağlanmıştır. Quartus II derleme raporlarına göre, sentezlenen tasarım FPGA üzerinde toplam **1,706** Mantık Elemanı (LE) ve **534,528** bellek biti kullanmıştır. Kullanılan I/O pin sayısı **8**'dir. Bu değerler, Cyclone II EP2C70F896C6N FPGA'sının toplam kaynaklarının (sırasıyla 68,416 LE, 1,152,000 bellek biti ve 622 kullanıcı I/O pini) yaklaşık olarak **%2.5** (LE), **%46.4** (Bellek) ve **%1.3** (I/O) 'üne karşılık gelmektedir. Bu sonuçlar, tasarımın mevcut FPGA kaynaklarını verimli bir şekilde kullandığını, özellikle bellek kullanımının (Nios II programı, veri ve E-Ink framebuffer için) önemli bir yer tuttuğunu göstermektedir.

Geliştirilen sistemin temel fonksiyonları deneysel olarak doğrulanmıştır:

- **Metin Görüntüleme:** Sistem, 8x16 piksel boyutundaki ASCII karakterleri kullanarak farklı metinleri E-Ink ekrana başarıyla yazdırmıştır. Metinlerin konumu ve içeriği yazılım aracılığıyla kontrol edilebilmektedir. Şekil 4 örnek bir metin çıktısı görülmektedir.
- **Grafik Görüntüleme:** Sistem, çizgi ve içi boş/dolu dikdörtgen gibi temel geometrik şekilleri belirlenen koordinatlarda ve boyutlarda ekrana çizebilmektedir.

- **Ekran Kontrolü:** Ekranı tamamen siyaha veya beyaza boyayarak temizleme ve görüntülenen içeriği yenileme komutları başarıyla uygulanmıştır.

Sistemin performansı, özellikle ekran güncelleme süresi açısından değerlendirilmiştir. Yapılan ölçümlerde, 400x300 piksellik ekranın tamamen temizlenip yeni bir görüntü ile güncellenmesi işlemi (standart/tam yenileme modunda) ortalama **1.5 ila 2 saniye** arasında sürmektedir. Bu süreler, E-Ink teknolojisinin doğal tepki süresinden kaynaklanmakla birlikte, elektronik etiketler veya seyrek güncellenen bilgi panoları gibi hedef uygulamalar için yeterli bir performans olarak değerlendirilmiştir. Görüntü kalitesi, E-Ink ekranın doğası gereği yüksek kontrast ve geniş görüş açısı sunmaktadır.

4. Tartışma

Bu çalışmada, Altera DE2-70 FPGA kartı üzerinde çalışan bir Nios II işlemci kullanılarak 4.2 inçlik bir E-Ink ekranın kontrolü başarıyla gerçekleştirilmiştir. Elde edilen sonuçlar, FPGA platformlarının bu tür düşük güç tüketimli ekran arayüzleri için esnek ve yetenekli bir çözüm sunabileceğini göstermektedir. Sonuçlar bölümünde belirtildiği gibi, tasarım Cyclone II FPGA'sının mantık elemanlarının yaklaşık %2.5'ini kullanırken, bellek kaynaklarının yaklaşık %46.4'ünü kullanmıştır. Mantık elemanı kullanımının düşüklüğü, Nios II'e çekirdeği ve standart çevre birimlerinin (SPI, PIO) bu ölçekteki bir FPGA için mütevazı bir yük oluşturduğunu göstermektedir. Ancak bellek kullanımının yüksekliği, muhtemelen Nios II yazılım kodunun, çalışma zamanı verilerinin ve potansiyel olarak E-Ink ekran için bir framebuffer'ın (görüntü tamponu) on-chip RAM üzerinde saklanmasıyla kaynaklanmaktadır. Bu durum, daha karmaşık yazılımlar veya daha büyük framebuffer gerektiren uygulamalar için harici bellek arayüzlerinin (kart üzerindeki SDRAM gibi) kullanılmasının veya bellek optimizasyon tekniklerinin araştırılmasının gerekebileceğine işaret etmektedir.

Performans açısından, tam ekran yenileme süresinin 1.5-2 saniye arasında ölçülmesi, E-Ink teknolojisinin bilinen bir karakteristiğidir ve literatürdeki mikrodenetleyici tabanlı sistemlerde (Kamran [8] tarafından belirtilen ~700ms'den biraz daha yavaş olsa da) görülen sürelerle genel olarak uyumludur. Bu süre, elektronik etiketler gibi statik veya seyrek güncellenen içerikler için kabul edilebilir düzeydedir. FPGA kullanmanın temel avantajı, bu çalışmada tam olarak optimize edilmemiş olsa da, gelecekte SPI iletişimini hızlandırmak, görüntü verisini paralel olarak işlemek veya özel görüntü işleme algoritmalarını (örneğin, dithering veya gri tonlama simülasyonu) donanımsal olarak uygulamak için potansiyel sunmasıdır. Bu, standart mikrodenetleyicilerin sıralı işlem yapısı ile zor veya yavaş olabilecek bir yetenektir. Qsys tabanlı modüler tasarım, bu tür donanım hızlandırıcılarının sisteme kolayca entegre edilmesine olanak tanır.

Literatürdeki çalışmaların [1,2] genellikle maliyet ve basitlik odaklı mikrodenetleyici çözümlerine yöneldiği görülmüştür. Bu çalışma, FPGA kullanarak daha yüksek bir esneklik ve özelleştirme potansiyeli sunmaktadır. Örneğin, SPI veya diğer arayüz protokollerinin donanım seviyesinde tam kontrolü, belirli zamanlama gereksinimlerine uyumu kolaylaştırabilir. Nios II soft-core işlemci kullanımı, standart C dili ve geliştirme araçlarıyla yazılım geliştirmeyi mümkün kılarak, tamamen donanım tanımlama dilleri (HDL) ile tasarım yapmaya göre daha erişilebilir bir yol sunmuştur. Bu yaklaşım, Szabó et al.[7] gibi kısıtlı kaynaklara sahip mikrodenetleyicilerde (örn. Raspberry Pi Pico W) MicroPython ile karşılaşılan bellek yönetimi zorlukları ve kütüphane eksikliklerine kıyasla daha esnek ve kapsamlı bir geliştirme ortamı sağlamaktadır. Bu durum, daha hızlı prototipleme ve hata ayıklama kolaylığı gibi faydalar sunar.

Bununla birlikte, çalışmanın bazı kısıtlılıkları bulunmaktadır. Öncelikle, sistemin güç tüketimi deneysel olarak ölçülmemiştir. Ancak, Altera Quartus II yazılımı tarafından sağlanan güç tahmini raporuna göre, sistemin toplam termal güç tüketimi yaklaşık 195.57 mW olarak tahmin edilmiştir. Bu tahmini değer, 0.63 mW dinamik ve 154.96 mW statik çekirdek güç tüketimi ile 39.99 mW I/O güç tüketimini içermektedir. FPGA'ler genellikle eşdeğer mikrodenetleyicilere göre daha fazla statik ve dinamik güç tüketebilir, ancak E-Ink ekranın bistabil doğası sayesinde toplam sistem gücü yine de düşük olabilir. İkinci olarak, geliştirilen grafik kütüphanesi sadece temel fonksiyonlara odaklanmıştır; kütüphane her ne kadar kısmi yenileme, hızlı yenileme ve farklı font boyutları gibi yetenekleri desteklese de, bu çalışmanın kapsamı dışında bırakılmıştır.. Ayrıca, E-Ink ekranın "hızlı mod" veya "kısmi güncelleme" yetenekleri bu çalışmada detaylı olarak incelenmemiş ve performans ölçümleri tam yenileme moduna odaklanmıştır.

Ayrıca, sistemin mevcut sürümünde kullanılan grafik fonksiyonları ve test örnekleri nispeten basit tutulmuştur. Bu durum, projenin temel amacının FPGA tabanlı E-Ink ekran kontrolünün başarılı bir şekilde gerçekleştirilmesi ve temel metin ile grafik görüntüleme yeteneklerinin doğrulanması olmasıyla açıklanabilir. Daha karmaşık grafik arayüzleri, daha fazla kullanıcı girdisi veya dinamik veri aktarımı gibi özellikler bu çalışmanın ilk kapsamının dışında bırakılmıştır.

Gelecekteki çalışmalar için önerilerde bulunmak gerekirse, sistemin güç tüketimi detaylı olarak ölçülebilir ve FPGA'nın düşük güç modları veya saat kapama (clock gating) gibi tekniklerle optimizasyon potansiyeli araştırılabilir. Ayrıca grafik kütüphanesi daha karmaşık şekilleri (örn. daire, poligon) ve farklı fontları destekleyecek şekilde genişletilebilir; hatta bazı grafik çizim fonksiyonları için donanım hızlandırıcılar geliştirilebilir. Son olarak, E-Ink ekranın kısmi güncelleme modları incelenerek, sadece değişen piksellerin güncellenmesiyle yenileme hızının artırılması ve görsel artefaktların (ghosting) etkisinin değerlendirilmesi hedeflenebilir. Son olarak, sisteme kablosuz iletişim modülleri (örn. Bluetooth LE, Wi-Fi) eklenerek IoT uygulamaları veya uzaktan kontrol senaryoları için entegrasyon sağlanabilir. Özetle, bu çalışma FPGA ve Nios II kullanarak E-Ink ekran kontrolünün başarılı bir prototipini sunmuş, bu yaklaşımın esnekliğini ve potansiyelini ortaya koymuştur. Belirlenen kısıtlılıklar ve önerilen gelecek çalışmalar, bu alandaki araştırmaların ilerlemesi için bir yol haritası sunmaktadır. Son olarak, bu çalışma bitmiş bir ürün sunmak yerine, E-Ink ekran kontrolü için FPGA tabanlı bir sistemin temel işlevselliğini ve potansiyelini göstermeyi amaçlayan bir prototip olduğundan, kablosuz haberleşme ile çalışan veya belirli bir gerçek dünya uygulamasını simüle eden kapsamlı bir senaryo sunulmamıştır.

5. Sonuç

Bu çalışmada, Altera DE2-70 kartı üzerinde Qsys ile entegre edilmiş bir Nios II soft-core işlemci kullanılarak 4.2 inçlik bir GDEY042T81 E-Ink ekranın kontrolü başarıyla gerçekleştirilmiştir. Geliştirilen sistem, FPGA üzerinde %2.5 mantık elemanı ve %46.4 bellek kaynağı kullanarak, E-Ink ekranda metin ve temel geometrik şekilleri 1.5-2 saniyelik tam yenileme süresi ile görüntüleyebilmiştir. Bu çalışma, FPGA platformlarının, özellikle Nios II gibi soft-core işlemciler ve Qsys gibi entegrasyon araçları ile birlikte kullanıldığında, E-Ink ekran kontrolü için esnek, modüler ve yetenekli bir çözüm sunduğunu göstermiştir. Elde edilen sonuçlar, enerji verimli ve özelleştirilebilir arayüzler gerektiren uygulamalar için FPGA tabanlı kontrolcülerin potansiyelini ortaya koymaktadır.

Referanslar

- [1] Y. Chen, J. Au, P. Kazlas, A. Ritenour, H. Gates, and M. McCreary, "Electronic paper: Flexible active-matrix electronic ink display," *Nature*, vol. 423, no. 6936, p. 136, May 2003.
- [2] J. Rose, I. Kuon, and R. Tessier, "FPGA architecture: Survey and challenges," *Foundations and Trends® in Electronic Design Automation*, vol. 2, no. 2, pp. 135–253, 2008.
- [3] O. Postolache, P. S. Girão, and J. M. Pereira, "Real-time sensing channel modelling based on an FPGA and real-time controller," in *Proc. IEEE Instrum. Meas. Technol. Conf. (IMTC)*, 2006, pp. 557–562.
- [4] C. Z. Myint, L. Gopal, and Y. L. Aung, "WSN-based Reconfigurable Water Quality Monitoring System in IoT Environment," in 2017 14th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), 2017, pp. 741–744.
- [5] L. Senn, E. Senn, and C. Samoyeau, "Modelling the power and energy consumption of NIOS II softcores on FPGA," in 2012 IEEE International Conference on Cluster Computing Workshops, 2012, pp. 179–183.
- [6] D. Sánchez de Rivera, R. Alcarria, D. Martín de Andres, B. Bordel, and T. Robles, "An autonomous information device with e-paper display for personal environments," in *Proc. 2016 IEEE Int. Conf. Consumer Electron. (ICCE)*, Jan. 2016, pp. 139–140.
- [7] C. Szabó, K. T. Antal, L. Z. Bartus, and K. Simon, "Energy-efficient timetable display for meeting rooms using e-paper technology and low-powered microcontrollers," in *Proc. SISY 2023 IEEE 21st Int. Symp. Intell. Syst. Informatics*, Sep. 2023, pp. 409–414.
- [8] A. Kamran, "Embedded System Design for Pill Boxes with The Low Power Electronic Paper Display," Master's thesis, School Inf. Commun. Technol., KTH Royal Inst. Technol., Stockholm, Sweden, 2017.
- [9] Terasic Technologies, *DE2-70 User Manual*, 2008.
- [10] Good Display, GDEY042T81, Datasheet, 2023.