

ALÇAK GEÇİREN AKTİF FİLTRELER İÇİN ELEMAN DEĞERLERİNİN SEÇİMİNDE YENİ BİR YAKLAŞIM: TABU ARAŞTIRMA ALGORİTMASI

Adem KALINLI

*Erciyes Üniversitesi, Kayseri M.Y.O., Elektronik Bölümü, 38039 Kayseri, TÜRKİYE,
kalinlia@erciyes.edu.tr*

ÖZET

Analog elektronik devrelerin tasarımı için geleneksel yaklaşımla belirlenen eleman değerleri, çoğunlukla standart olarak üretilen eleman değerleri ile tam olarak örtüşmemektedir ve tasarımcı en yakın standart değeri seçmektedir. Bu durum bir tasarım sapmasına neden olmaktadır. Genelde, dikkate alınan standart serinin tüm eleman değerlerinin oluşturduğu ayrık uzayda daha iyi bir değerler seti var olacaktır. Bununla beraber mümkün olan tüm eleman değerlerinden en uygun setin seçilmesi oldukça kompleks bir ayrık araştırma problemidir. Bu çalışmada, Tabu araştırma algoritmasına dayalı yeni bir yaklaşımın bu uzayı araştırmada başarıyla kullanılabileceği gösterilmiştir. Uygulama tümüyle ayrık ve yarı tümdevre formunda seçilen iki durum değişkenli aktif filtre üzerinde yapılarak, geleneksel tasarım yöntemlerine göre çok daha az hata içeren ideale yakın tasarımların gerçekleştirilmesi sağlanmıştır.

Anahtar Kelimeler : Analog devre tasarımı, tabu araştırma algoritması, aktif filtre

A NEW APPROACH TO COMPONENT VALUE SELECTION FOR LOW PASS ACTIVE FILTERS: TABU SEARCH ALGORITHM

ABSTRACT

The determined component values by means of conventional approach to the design of analogue electronic circuits, typically do not all coincide with manufactured standard values and the designer selects the nearest standard value, thus causing a design deviation. In general a better set of standard values will exist in the discrete domain of standard component values. However this set will be in a solution space of all possible component-value combinations that is a highly complex combinatorial search problem. This paper shows that a new approach based on tabu search algorithm can be successfully used to search this space. The application chosen is a second order state variable active filter which fully discrete and semi-integrated forms are considered. The designs produced are much superior to those achieved using the conventional method.

Key Words: Analog circuit design, tabu search algorithm, active filter

1. GİRİŞ

Elektronik devreler kablo, direnç, kapasitör, indüktör, diyod, transistör gibi çok sayıdaki elemandan oluşmaktadır. Bir analog devrenin tam olarak tanımlanması, topoloji, elemanlarının boyutu ve eleman değerlerinin belirlenmesini içerir (1). Belirli çalışma karakteristiklerine sahip bir elektronik devrenin tasarımı oldukça kompleks bir işlemdir. Tamamen dijital devrelerin belirli sınıflarının tasarım otomasyonunda önemli ilerlemeler olmasına rağmen, analog veya analog-dijital karışımı devrelerin tasarımında kolaylıkla uygulanabilecek tekniklerin geliştirilmesinde henüz önemli ilerlemeler sağlanamamıştır (2).

Analog devrelerin tasarımı için geleneksel yaklaşımlarda, elemanlar ideal ve sınırsız değerlerde kabul edilir. Oysa, ayrıık elemanlar belirli sayıdaki sabit değerlerin yaklaşık logaritmik katları şeklinde standart seriler halinde üretilmektedir. Örneğin, "oniki serisi" (E12) olarak bilinen standart seri değerleri 1,0; 1,2; 1,5; 1,8; 2,2; 2,7; 3,3; 3,9; 4,7; 5,6; 6,8; 8,2; 10; ... dur. Tasarımda maliyetlerin azaltılabilmesi için, ayrıık elemanlar bu seriden veya mümkün olan diğer standart serilerden seçilmektedir. Geleneksel yaklaşımlar sonucunda ortaya çıkan eleman değerleri ise standart seri değerleri ile tam olarak örtüşmemektedir. Devrelerin gerçekleştirilmesinde ideale en yakın standart seri değerlerine sahip elemanların kullanılmasıyla, idealden sapmalar meydana gelmektedir. Bu sapmalar sonucu ortaya çıkan hataların, E24, E48 veya E96 gibi serilerden daha yakın değerlerde elemanların seçilmesiyle yada eleman çiftlerinin seri veya paralel bağlanmasıyla elde edilecek özel değerlerde elemanların kullanılması ile azaltılması mümkündür. Bununla beraber, bu yaklaşımların hepsi de hatalar içermektedir. Ayrıca seri veya paralel bağlantılarla özel eleman değerlerinin elde edilmesi yaklaşımı hem devre boyutlarını büyütecek hem de maliyetleri artıracaktır.

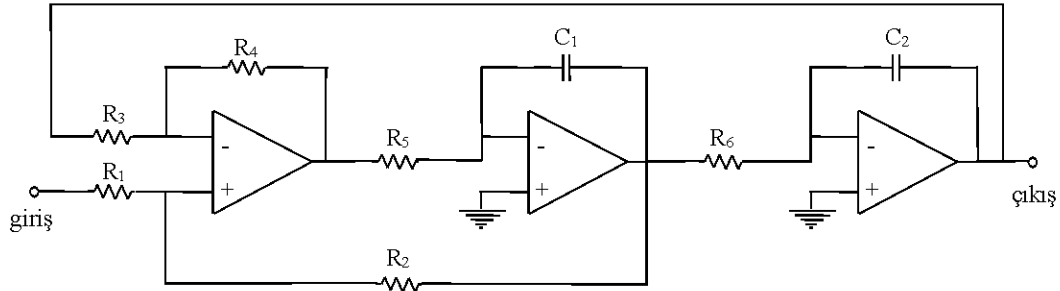
Analog devrelerde çoğunlukla, frekans, kazanç, kalite faktörü gibi önemli tepki parametrelerinden daha fazla sayıda eleman bulunmaktadır. Genelde, geleneksel tasarım yöntemlerinde belirli elemanlar birbirine eşit veya birbirinin katları şeklinde seçilmektedir. Tasarım yöntemlerindeki bu basitleştirmenin amacı, hangi standart seri değerleri kullanılırsa kullanılsın, seri değerlerinin tüm kombinasyonlarını dikkate almadan en düşük hata ile tasarımlar yapabilmektir. Bununla beraber, genelde daha az tasarım hatası içeren standart seri değerlerinin bir seti var olacaktır. Ayrıca, tasarımı basitleştirmeye yönelik bu tür kabuller eleman seçimindeki serbestlik derecesini de azaltmaktadır. Tüm elemanların oluşturduğu çözüm uzayında tasarım yapmak oldukça kompleks bir ayrıık araştırma problemidir. Örnek olarak bu çalışmada dikkate alınan 8 elemanlı tümüyle ayrıık devrede, elemanlar E12 serisinden kırktan fazla seçenek olacak şekilde seçilirse, araştırma uzayı yaklaşık 3×10^{13} nokta içerecektir. Optimum tasarım için, mümkün olan tüm kombinasyonlar üzerinde bilgisayar tabanlı araştırma yapmak makul bir zamanın ötesinde bir süre gerektirir. Bu nedenle ayrıık eleman değerlerinin belirlenmesinde alternatif bir metodun uygulanması kaçınılmaz görünmektedir.

Analog devrelerin tasarımı için son yıllarda dikkatler yapay zeka ve tabii bilimlerden türetilmiş sezgisel (heuristic) algoritmalar üzerine kaymaya başlamıştır. Tabu araştırma algoritması (Glover, 1986), Benzetilmiş tavlama (Kirckpatrick ve arkadaşları, 1983), Genetik algoritmalar (Holland, 1975) ve Karınca koloni algoritması (Dorigo ve arkadaşları, 1991), özellikle ayrıık optimizasyon problemleri için geliştirilmiş sezgisel algoritmalarından bazılarıdır. Analog devrelerde otomatik tasarım yapmak için bu algoritmalara dayalı çeşitli çalışmalar yapılmıştır. Benzetilmiş tavlama (BT) algoritması, devre boyutlarının optimizasyonu, hücre yerleşim (cell-placement) ve kat planlama (floor-planning) gibi ayrıık problemler için ve güç amplifikatörü tasarımı gibi ayrıık olmayan problemler için de kullanılmıştır (3-6). Genetik algoritma (GA), opamp devrelerinin tasarımı, konveks olmayan devre problemleri yada simülasyon tabanlı optimizasyon yaklaşımları için kullanılmıştır (7-9). Horrocks ve arkadaşları, standart seri eleman değerlerini kullanarak aktif ve pasif filtre devrelerinin tasarımında GA kullanarak başarılı sonuçlar elde etmiştir (10-13). Bu algoritmaların en yenilerinden biri olan karınca koloni algoritması (KKA) ise, VLSI devrelerde yerleşim optimizasyonu problemine uygulanmıştır (14). Literatürde, Tabu araştırma algoritması (TAA) kullanarak analog devre tasarımına yönelik, VLSI devrelerde optimum yerleşim ve devre boyutunun minimize edilmesi amacıyla yapılmış sadece birkaç çalışmaya rastlanmıştır (15-20). Yapılan geniş boyutlu literatür taramasında, TAA'nın analog devrelerde, devre elemanı değerlerinin seçiminde kullanılmasına ilişkin bir çalışmaya rastlanmamıştır.

Bu çalışmada, geleneksel yaklaşıma göre çok daha az hata içeren tasarımlar gerçekleştirmek amacıyla, eleman değerlerinin seçiminde yeni bir yaklaşım olarak TAA'nın kullanılabilmesi gösterilmiştir. Önerilen yaklaşım ve geleneksel yöntemlerle sağlanan tasarımların karşılaştırılması amacıyla ikinci derece durum değişkenli alçak geçiren aktif filtrenin iki formu dikkate alınmıştır. Birincisi, direnç, kapasitör ve işlemsel kuvvetlendiricili tümüyle ayrı devredir. İkincisi ise, National Semiconductor'dan seçilen AF100 ile örneklenebilecek kısmi tümdevre formundaki devredir (21). Örneklerde direnç ve kapasitörler için E12 serisindeki standart değerler göz önüne alınmıştır.

2. DURUM DEĞİŞKENLİ ALÇAK GEÇİREN AKTİF FİLTRE

Kerwin-Huelsman-Newcomb (KHN) filtresi olarak da bilinen durum değişkenli aktif filtre devresi Şekil 1'de gösterilmiştir (22). Verilen bu devre ikinci derece alçak geçiren filtre (AGF) devresidir. Bu devrenin cevabı, geçiş bandı kazancı H , kesim frekansı $\omega_0 = 2\pi f_0$ ve kalite faktörü Q ile gösterilir. Bu değerler devredeki pasif elemanların değerlerine bağlı olarak Eşitlik [1] deki gibi tanımlanır.



Şekil 1. Durum değişkenli alçak geçiren aktif filtre devresi

$$H = \frac{R_2(R_3 + R_4)}{R_3(R_1 + R_2)}, \quad \omega_0 = \sqrt{\left(\frac{R_4}{R_3}\right) \left(\frac{1}{C_1 C_2 R_5 R_6}\right)}, \quad Q = \frac{R_3(R_1 + R_2)}{R_1(R_3 + R_4)} \sqrt{\frac{C_1 R_4 R_5}{C_2 R_3 R_6}} \quad [1]$$

Bu çalışmada gerçekleştirilen tasarım simülasyonlarında, $\omega_0 = 10000/2\pi = 1591,55$ rad/sn ve $Q = \sqrt{2} = 1,41421$ olarak seçilmiştir. Geleneksel tasarım yaklaşımlarında, geçiş bandı kazancı bazı değerlerde sabit kabul edilmektedir. Kazanç değeri, diğer analog devrelerle istenen düzeyde tutulabileceği için bir çok uygulamada kritik değildir. Bu nedenle, TAA kullanılarak gerçekleştirilen tasarımlarda kazanç değeri için bir sınırlama getirilmemiştir.

Elemanların standart seri değerlerinden seçilmesi sonucunda, kesim frekansı ve kalite faktörü değerlerinde sapmalar ortaya çıkacaktır ($\Delta\omega$ ve ΔQ). İdeale yakın tasarımlar yapabilmek için, bu sapmaların mümkün olduğu kadar küçük olması önemlidir. Bu sapmalara bağlı olarak, çalışmada kullanılan hata kriteri Eşitlik [2]'de verilmiştir (10).

$$\text{hata} = a_1 \frac{|\Delta\omega|}{\omega_0} + a_2 \frac{|\Delta Q|}{Q} \quad [2]$$

Burada, a_1 ve a_2 birer sabit olup, değerleri 0,5 olarak alınmıştır. Bu katsayılar eşit seçilmek suretiyle kesim frekansı ve kalite faktörünün, tasarım toleransı üzerindeki ağırlığı aynı oranda tutulmuştur. Eğer bu parametrelerin tasarım toleransı üzerinde farklı oranlarda etkili olması istenirse, bu katsayılar farklı değerlerde seçilebilir. Örneğin, tasarımda kesim frekansının daha ön planda tutulması istendiğinde, a_1 katsayısının değeri artırılıp, a_2 katsayısının değeri azaltılmalıdır.

3. GELENEKSEL TASARIM YÖNTEMİ

Şekil 1' de verilen tümüyle ayrık devrede, 6 direnç ve 2 kapasitör olmak üzere toplam 8 pasif eleman vardır. Bu elemanların değerleri verilen belirli bir ω_0 ve Q değeri için belirlenir ve bu yaklaşımda H değeri de önemlidir. Geleneksel tasarım yaklaşımında, iki kapasitör birbirine eşit ve R_2 hariç diğer dirençler de R' ye eşit seçilmek suretiyle eleman değerlerinin seçimi basitleştirilir. Bu kabullere göre, Eşitlik [1]' den hareketle aşağıdaki eşitlikler elde edilir:

$$\omega_0 = \frac{1}{RC} \quad [3]$$

$$R_1 = R_3 = R_4 = R_5 = R_6 = R ; \quad C_1 = C_2 = C ; \quad R_2 = (2Q - 1)R \quad [4]$$

Bu yaklaşımda, önce Eşitlik [3] kullanılarak istenilen kesim frekansını sağlayan R ve C çiftinin seçimi gerçekleştirilir. Sonra Eşitlik [4] kullanılarak diğer devre elemanlarının değeri belirlenir. Geçiş bandı kazancı ise $H=1$ olarak alınır.

Doğru bir tasarım için, R' ye standart değerler dizisinin ortasından bir değer seçilmelidir. Seçilen bu değer beş direncin de değeri olacaktır. Geri kalan C_1 , C_2 ve R_2 elemanlarının değeri, yine [3] ve [4] eşitlikleri kullanılarak belirlenir. Elde edilen bu değerler, standart olarak üretilmeyen değerlerde olacaktır. Bu nedenle, devrenin gerçekleştirilmesinde, hesaplama neticesi bulunan eleman değerleri en yakın değerli standart seri değerlerine yuvarlanır. En yakın değerli standart seri elemanlarının kullanılması ise, bir tasarım sapmasına yol açar. Bu yöntemde basit bir iyileşme, standart seride yer alan tüm eleman değerleri için çözümün tekrarlanarak, mümkün olan en düşük hatayı verecek tasarımın seçilmesi ile sağlanabilir. Bu örnek için geleneksel tasarım yöntemi kullanılarak bulunan en yakın değerlerdeki standart seri eleman değerlerine ait sonuçlar Çizelge 1'de ikinci sütunda verilmiştir (10). Bu yaklaşımla gerçekleştirilen tasarım %7,1824 hata içermektedir.

Yarı tümdevre formundaki AF100 devresinde, R_1 , R_3 ve R_6 elemanları harici olarak bağlanmaktadır ve diğer beş pasif eleman tümdevre içerisinde sabit değerli olarak üretilmiştir. Geleneksel tasarımda, kullanıcı belirli bir H , ω_0 ve Q performans parametresi için Eşitlik [1]' i kullanarak harici üç direncin değerini belirlemektedir. Geleneksel yaklaşımla bu devre için elde edilen sonuçlar Çizelge 2' de verilmiştir (10). Bu devre için, geleneksel yaklaşımla gerçekleştirilen tasarım ise %3,9055 hata içermektedir.

4. TABU ARAŞTIRMA ALGORİTMASI

Tabu araştırma algoritması, insanoğlunun zeki problem çözme özelliklerini temel alan ve başlangıçta özellikle ayrık optimizasyon problemlerinin çözümleri için geliştirilmiş sezgisel bir araştırma algoritmasıdır (23-24). Daha sonra yazarında içerisinde bulunduğu grup tarafından değişik modelleri geliştirilmiş ve çeşitli sürekli optimizasyon problemlerine uygulanarak, değişik mühendislik problemleri için başarılı çözümler üretilmiştir (25-27). Basit bir tabu araştırma algoritmasının temel adımları Şekil 2' de verilmektedir.

- Adım 1.** Bir başlangıç çözümü al (Sb)
Adım 2. Sb' den komşu çözümler üret ve kabul edilebilir en iyi komşuyu seç (Se)
 (Se, $S \in N(S)$ lerin en iyisi ve tabu listesinde değildir)
Adım 3. Se' yi yeni çözüm olarak ata ve tabu listesini güncelle
Adım 4. Durma kriteri sağlanıncaya kadar 2. ve 3. adımları tekrarla

Şekil 2. Basit bir Tabu araştırma algoritmasının temel adımları

TAA sayıların vektörü formundaki tek bir çözümü sürekli olarak geliştirme şeklinde çalışır. Şekil 2' den görüldüğü gibi başlangıçta önceden belirlenmiş veya rasgele üretilmiş bir başlangıç çözümü alınır ve bu çözümden komşular üretilir. Her bir komşu, problem için olası bir çözümü temsil eder. Komşu çözümlerin problem için performansı hesaplandıktan sonra bu performansa ve araştırmanın geçmiş adımlarından elde edilen bilginin depolandığı tabu listesine göre komşulardan birisi bir sonraki çözüm olarak tayin edilir. Tabu listesi, araştırma uzayındaki bulunulan noktadan hangi yöne doğru gidilip araştırmaya devam edileceğini belirler. En basit tabu listesi iki türlü bilgiyi ihtiva eder: a) Çözüm vektöründeki elemanların ne kadar sıklıkla değiştiğini gösteren bilgi (*sıklık*); b) çözüm vektöründeki elemanların en son ne zaman değiştiği konusunda tutulan bilgi (*yakınlık*). Bu şekilde tutulan bilgiler aynı çözümlerin tekrar tekrar değerlendirilmesini ve araştırılan bölgeye tekrar dönülmesini engelleyerek; bölgesel minimadan kurtulma imkanı sağlar. Herhangi bir çözümün tabu olup olmadığına karar vermek için en basit şekliyle, yukarıda tanımlanan hafızalara bağlı olan iki şart kullanılır:

$$\begin{aligned} \text{yakınlık}(n) &> (\text{yakınlık_faktörü} * \text{dizi_uzunluğu}) \\ \text{sıklık}(n) &< (\text{sıklık_faktörü} * \text{ortalama_sıklık}) \end{aligned} \quad [5]$$

Yukarıdaki şartlardan herhangi birinin sağlanmaması halinde n. eleman tabu sayılır ve çözüm üretiminde tabu listesinden çıkıncaya kadar kullanılmaz.

5. TABU ARAŞTIRMA ALGORİTMASININ PROBLEME UYGULANMASI

Bölüm 4' de bahsedilen çözüm vektöründe tümüyle ayrık devre problemi için, her bir pasif devre elemanı için bir yerleşim olmak üzere toplam 8 yerleşim kullanılmış ve bu yerleşimlerden her biri (bit' lerden oluşan gurup) elemanlar için standart seri değerlerini tanımlamada kullanılmıştır. Komşu üretme işlemi, bit değerlerinin birden sıfıra veya sıfırdan bire değiştirilmesiyle yapılmıştır. Çözüm vektöründe her bir devre elemanı değerini temsil etmek amacıyla kullanılan bitlerin sayısında farklı yaklaşımlar kullanılarak, araştırma uzayını genişletmenin çözüm üzerindeki etkisi de incelenmiştir. Bir bit yaklaşımı için (1 bit TA), bir bit yukarıda tanımlanan geleneksel tasarım yönteminden çıkan standart seri değeri ve en yakın bir üst değer arasında seçim yapmakta kullanılmıştır. Örneğin bu yaklaşımda, geleneksel tasarımda 4700 olarak alınan direnç değeri ile standart serinin bir üst değeri olan 5600 arasında seçim yapılmıştır. Bitlerin sayısı sırasıyla "iki bit" ve "üç bit" olarak artırılmıştır. Bu yaklaşımlar, geleneksel yöntemi ile elde edilen eleman değerine en yakın 4 ve 8 adet tercih edilen değerden TAA ile seçim yapılmakta kullanılmıştır.

Tam değerlendirme amacıyla kullanılan yaklaşımda ise, 6 bitlik 8 gurup, 40'ın üzerinde standart seri değerinden seçim yapmakta kullanılmıştır. Bu bitlerden ikisi dirençler için 10^3 - 10^6 arasında, kapasitörler için 10^{-9} - 10^{-6} arasında çarpanı belirlemede kullanılmıştır. Bunların dışındaki oranlar, büyük sinyal akımları yada olmaması gereken kapasite değerleri gibi istenmeyen etkileri engellemek amacıyla kullanılmamıştır. Yarı tümdevre için tam değerlendirme yaklaşımı ile üç harici devre elemanının değerini belirlemede benzer yapı kullanılmıştır.

Çözümlerin değerlendirilmesi aşamasında muhtemel bir devre çözümü tasarlandıktan sonra, bu

devreye ilişkin kalite değeri Eşitlik [2] de verilen hata fonksiyonu kullanılarak hesaplanmıştır. Devre için daha küçük hataya sahip durumlarda kalite değeri daha da büyümektedir. Tümüyle ayırık devre probleminde TAA her bir yaklaşım için sırasıyla 2000, 6000, 12000 ve 24000 değerlendirme süresince koşulmuştur. Yarı tümdevre probleminde ise bu değer 18000'dir.

6. SİMÜLASYON SONUÇLARI

TAA kullanılarak tümüyle ayırık devre için gerçekleştirilen tasarımlara ait sonuçlar Çizelge 1' de verilmiştir. TAA kullanılması ile tasarım hatasında büyük bir azalma olduğu açıkça görülmektedir. Çok sınırlı bir bit TA yaklaşımı bile, geleneksel tasarım yöntemine göre yaklaşık 10 kat daha düşük hata içermektedir. Her bir eleman değerinin 6 bit ile temsil edildiği tam değerlendirme yaklaşımı için elde edilen %0,0332' lik tasarım hatası ise, geleneksel yöntemle sağlanana göre %99,54 daha düşüktür.

Çizelge 1. Tümüyle ayırık devre için değişik yöntemlerle elde edilen sonuçlar

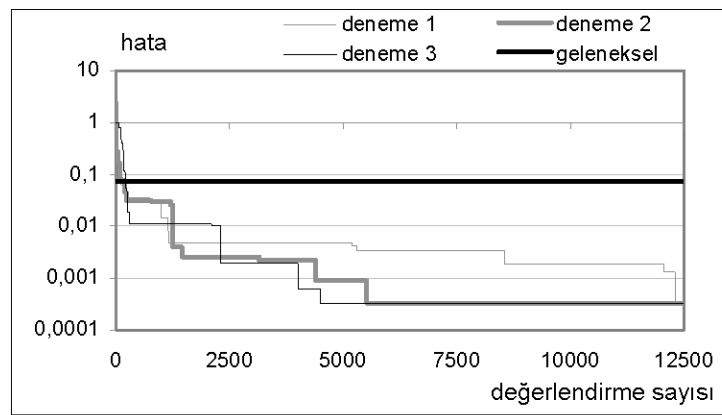
	Geleneksel	1 Bit TA	2 Bit TA	3 Bit TA	6 Bit TA
Q	1,37234	1,39873	1,40897	1,41718	1,41512
ω_0	1773,05	1585,86	1594,91	1589,24	1591,51
R_1	4700	4700	5600	8200	68000
R_2	8200	10000	5600	8200	4700
R_3	4700	5600	5600	4700	1000
R_4	4700	5600	3300	2700	100000
R_5	4700	4700	3900	3900	150000
R_6	4700	4700	3300	2700	1000
C_1	$1,2 \times 10^{-7}$	$1,2 \times 10^{-7}$	$1,8 \times 10^{-7}$	$1,8 \times 10^{-7}$	$5,6 \times 10^{-7}$
C_2	$1,2 \times 10^{-7}$	$1,5 \times 10^{-7}$	$1,0 \times 10^{-7}$	$1,2 \times 10^{-7}$	$4,7 \times 10^{-7}$
hata (%)	7,1824	0,7259	0,2909	0,1771	0,0332

Çizelge 2' de yarı tümdevre AF100 devresi için sonuçlar verilmiştir. Çizelgede parantez içerisinde verilen 5 dahili elemanın değeri sabittir. Geri kalan 3 devre elemanının değeri ise TAA ile belirlenmiştir. Devre elemanlarından 5'inin sabit olması, tümüyle ayırık devreye göre daha sınırlayıcı bir durumdur. Bu nedenle tasarımlar, tümüyle ayırık devreye göre daha büyük hata değerleri ile sağlanabilmiştir. Bu sınırlamaya rağmen 2 bit ile gerçekleştirilen araştırmada dahi hata değerinde %41,88 iyileşme sağlamıştır. Tam tasarım yaklaşımında ise, geleneksel tasarım yöntemine göre %81,68 daha düşük hata değeri sağlanmıştır.

Yarı tümdevre için geleneksel tasarım yöntemi uygulanırken $H=1$ olarak alınmış, verilen ω_0 ve Q değerleri kullanılarak Eşitlik [1] yardımıyla eleman değerleri belirlenmiştir. TAA kullanılarak gerçekleştirilen tasarımlarda ise H değeri için herhangi bir sınırlama getirilmemekle beraber, bu yaklaşımla yapılan tasarım araştırmalarında geçiş bandı kazancı 0,295-4,583 aralığında gerçekleşmiştir. Bu değerler bir çok uygulamada kabul edilebilir değerlerdir. AF100 devresinin içerdiği fazladan işlemsel kuvvetlendirici ile geçiş bandı kazancının ayarlanması da mümkündür. Tasarımlarda istenmeyen durumlardan kaçınmak için, kalite fonksiyonuna H sonucuna bağlı terim de eklemek mümkündür. Bununla beraber, H değeri negatif büyük bir değer değilse ve kabul edilebilir oranda ise bu terim sıfır da yapılabilir. Devre tasarımlarında kullanılan TAA da, *sıklık faktörü* ve *yakınlık faktörü* için sırasıyla 2,5 ve 0,5 değerleri kullanılmıştır.

Çizelge 2. AF100 devresi için değişik yöntemlerle elde edilen sonuçlar

	Geleneksel	2 Bit TA	3 Bit TA	6 Bit TA
Q	1,32008	1,35866	1,40469	1,40262
ω_0	1610,80	1601,28	1571,34	1601,28
R_1	10000	12000	18000	68000
R_2	(100000)	(100000)	(100000)	(100000)
R_3	(100000)	(100000)	(100000)	(100000)
R_4	(10000)	(10000)	(10000)	(10000)
R_5	82000	100000	150000	390000
R_6	470000	390000	270000	100000
C_1	($1,0 \times 10^{-9}$)	($1,0 \times 10^{-9}$)	($1,0 \times 10^{-9}$)	($1,0 \times 10^{-9}$)
C_2	($1,0 \times 10^{-9}$)	($1,0 \times 10^{-9}$)	($1,0 \times 10^{-9}$)	($1,0 \times 10^{-9}$)
hata (%)	3,9055	2,2697	0,9714	0,7156

**Şekil 3.** Tümüyle ayırık devrede TAA ile sağlanan çözümlerin gelişimi

Pratikte bu düşük değerli tasarım hataları, üreticilerin ürettikleri elemanlara ait toleranslar nedeniyle gölgelenebilir. E12 serisindeki elemanlar standart olarak \pm %10 üretim toleransı ile üretilmektedir. Dikkate alınan standart serinin üretim toleranslarının tasarım hatası üzerindeki etkisinin incelenmesi amacıyla, geleneksel ve tam değerlendirme yaklaşımı ile elde edilen eleman değerlerine maksimum %10 oranında toleranslar eklenerek simülasyonlar yapılmıştır. Yapılan 100 farklı denemeye ait ortalama sonuçlar Çizelge 3' de verilmiştir. Bu sonuçlardan da görüleceği gibi geleneksel tasarımla sağlanan tasarım hatası %41,54 artış ile %10,17 olarak gerçekleşmiştir. Aynı devre örneği için TAA ile sağlanan oldukça düşük tasarım hatası ise, %2,7888 değerine yükselmiştir. Elde edilen bu neticeler üretim toleranslarının dikkate alınmadığı durumda TAA ile sağlanan düşük hatalı tasarımlara ulaşmanın pratikte fazlaca mümkün olmadığını göstermektedir. Ancak, tasarım toleransları dikkate alındığında bile, TAA ile sağlanan tasarımların, geleneksel yaklaşıma göre daha düşük hata içerdiği görülmektedir. TAA kullanarak pratikte düşük hatalı tasarımlar yapabilmek için izlenecek yol, sırasıyla %5 ve %1 üretim toleransına sahip E48 veya E96 gibi daha fazla sayıda standart değer sunan serilerden elemanların kullanılması olabilir. Bu kanaatin doğruluğunun incelenmesi amacıyla, gerçekte olmamasına rağmen bir an için E12 serisindeki elemanların %1 üretim toleransına sahip olduğu varsayılmış ve bu durum için 100 farklı tasarım sonucu incelenmiştir. Bu tasarımlara ait ortalama değerler ise yine Çizelge 3' de verilmiştir. Yarı tümdevre türündeki ikinci devre örneği için de üretim toleransları dikkate alınarak simülasyonlar yapılmış ve elde edilen sonuçlar Çizelge 4' te verilmiştir.

Çizelge 3 ve Çizelge 4' de verilen sonuçlar incelendiğinde, TAA ile sağlanan çözümlerin genel olarak, geleneksel yaklaşım ile sağlanan çözümlerden çok daha düşük hatalar içerdiği açıkça görülmektedir. Yine her iki Çizelgeden de görüldüğü gibi, düşük üretim toleranslarına sahip standart serilerdeki elemanların göz önüne alınması ile, oldukça düşük hatalar içeren ideale yakın tasarımlar yapabilmekte mümkün görünmektedir.

Çizelge 3. Tümüyle ayırık devrede üretim toleransları dikkate alınarak elde edilen sonuçlar

	Tolerans (%10)		Tolerans (%1)	
	Geleneksel	TA	Geleneksel	TA
Ortalama Q	1,32457	1,41777	1,37106	1,41556
Ortalama ω_0	1786,57	1594,84	1773,23	1591,25
Ortalama hata (%)	10,1665	2,7888	7,2331	0,49698

Çizelge 4. AF100 devresinde üretim toleransları dikkate alınarak elde edilen sonuçlar

	Tolerans (%10)		Tolerans (%1)	
	Geleneksel	TA	Geleneksel	TA
Ortalama Q	1,32364	1,40587	1,31911	1,40306
Ortalama ω_0	1621,17	1599,74	1610,92	1601,42
Ortalama hata (%)	5,7389	1,91852	3,97094	0,72791

Tümüyle ayırık devre örneğinde, TAA ile tam değerlendirme yaklaşımı ile gerçekleştirilen 3 farklı araştırmadaki çözümlerin gelişimi Şekil 3' de verilmiştir. Her bir denemede algoritma tasarım hatasını yaklaşık 200 değerlendirme sayısında geleneksel tasarım yöntemi ile sağlanan hata değerinin altına düşürmeyi başarmaktadır. Ancak küresel en iyiye ulaşmak için her defasında farklı sayıda değerlendirme gerekli olmaktadır. Bu durum algoritmanın her defasında farklı bir başlangıç noktasından başlanmasından ve seri yapısından kaynaklanmaktadır.

7. SONUÇLAR

Bu çalışmada, alçak geçiren aktif filtre devresinin eleman değerlerinin seçiminde Tabu araştırma algoritmasına dayalı yeni bir yaklaşım önerilmiştir. Simülasyon çalışmalarında, geleneksel yaklaşım ile farklı Tabu araştırma yaklaşımları karşılaştırılmıştır. Farklı Tabu araştırma yaklaşımları için elde edilen sonuçlar, yeni yaklaşımın geleneksel yaklaşıma göre çok daha az hata içeren tasarımlar gerçekleştirmede başarıyla kullanılabilceğini göstermiştir.

Devre elemanlarının üretim toleransları dikkate alındığında, düşük toleranslı serilerden elemanlar seçilmesi suretiyle Tabu araştırma algoritması ile ideale yakın tasarımların yapılabilceği görülmüştür. Tabu araştırma algoritması ile gerçekleştirilen tasarım araştırmalarında çözüm uzayını genişletmenin daha az hataya sahip tasarımlar gerçekleştirmede faydalı olduğu da gözlenmiştir.

Geleneksel tasarım yöntemlerinde seri yada paralel bağlantılarla ideale yakın özel eleman değerleri elde edilmesine yönelik yaklaşımların devre boyutlarını büyütmesi ve maliyetleri artırması gibi olumsuzluklara engel olunmasında da önemli bir adım atılmıştır. Eleman seçiminde daha fazla serbestlik sağlayan yeni yaklaşım ile geleneksel tasarım yöntemlerindeki doğrudan ideale yakın tasarım formülleri elde etmeyi amaçlayan basitleştirmeler neticesi, eleman değerlerinin kombinasyonlarını devre dışı bırakan sınırlayıcı yaklaşım da aşılabilmektedir.

Yapılan simülasyon çalışmalarından elde edilen sonuçlar, Tabu araştırma algoritmasının bu alana başarıyla uygulanabilceğini göstermesi bakımından oldukça anlamlıdır. Belirli bir devre modeline bağımlı olmayan yeni yaklaşım, diğer tipteki analog devrelerin veya daha karmaşık devrelerin tasarımında da başarıyla uygulanabilecektir.

KAYNAKLAR

1. Koza, J.R., Bennett III, F.H, Andre, D. and Keane, M.A., "Automated design of both the topology and sizing of analog electrical circuits using genetic programming" In Gero, *John S. and Sudweeks*, Fay (editors), Artificial Intelligence in Design '96. Dordrecht: Kluwer Academic Publishers, 151-170 (1996).
2. Rutenbar, R.A., "Analog design automation: Where are we? Where are going?" *Proceedings Of the 15th II CICC*, New York, II Press, 13.1.1-13.1.8 (1993).

3. Ning, Z., Kole, M., Mouthaan, T. and Wallings, H., "Analog circuits design automation for performance" *Proceedings of the 14th CICC*, New York, II Press, 8.2.1.-8.2.4 (1992).
4. Jayaraman, R. and Rutenbar, R.A., "Floorplanning by annealing on a hypercube multiprocessor" *Proc. IEEE International Conference on CAD*, 346-349 (1987)
5. Wong, D.F. and Liu, C.L., "A new algorithm for floorplan design" *Proceedings of the 23rd ACM/IEEE Design Automation Conference*, 101-107 (1986).
6. Gupta, R., Ballweber, B.M., Allstot, D.J., "Design and optimization of CMOS RF power amplifiers", *IEEE Journal of Solid-State Circuits*, 36 (2001).
7. Kruskamp, W. and Leenaerts, D., "DARWIN: CMOS opamp synthesis by means of a genetic algorithm" *Proceedings of the 32nd Design Automation Conference*, New York, Association for Computing Machinery, 433-438 (1995).
8. Paulino, N., Goes, J., Steiger-Garcia, A., "Design methodology for optimization of analog building blocks using genetic algorithms" *The 2001 IEEE International Symposium on Circuits and Systems*, 5, 435-438 (2001).
9. Grimbleby, J.B., "Automatic analogue circuit synthesis using genetic algorithms" *IEE Proc.-Circuits Devices Syst.*, 147:6 (2000).
10. Horrocks, D.H. and Spittle, M.C., "Component value selection for active filters using genetic algorithms" *Proc. IEE/IEEE Workshop on Natural Algorithms in Signal Processing*, Chelmsford, UK, 1(13):1-(13):6 (1993).
11. Horrocks, D.H. and Khalifa, YMA, "Genetically derived filters circuits using preferred value components" *Proc. Of IEE colloq. On Analogue Signal Processing*, Oxford UK, 4(1):415 (1994).
12. Horrocks, D.H. and Khalifa, YMA, "Genetic algorithm design of electronic analogue circuits including parasitic effects" *Proc. First On-line Workshop on Soft Computing (WSC1)*, Nagoya University, Japan, 71-78 (1996).
13. Horrocks, D.H. and Khalifa, YMA, "Genetically evolved FDNR and leap-frog active filters using preferred components values" *Proc. European Conference on Circuit Theory and Design*, Istanbul, Turkey, 359-362 (1995).
14. Kuntz P., Layzell P., Snyers D., "A Colony of ant-like agents for partitioning in VLSI technology" *Proc. 4th Int. Conf. on Artificial Life (ECAL97)*, Husbands, P. and Harvey, I. (eds.) MIT Press 417-424 (1997).
15. Tao, L. and Zhao, Y.C., "Effective heuristic algorithms for VLSI-circuit partition" *IEE Proceedings G: Circuits, Devices and Systems*, 140(2): 127-134 (1993).
16. Aguirre, M.A., Torralba, A., Chavez, J., Franquelo, L.G., "Sizing of analog cells by means of a tabu search approach" *Proceedings IEEE International Symposium on Circuits and Systems*, 1: 375-378 (1994).
17. Sadiq, S.M., Youssef, H., Zahra, M.M., "Tabu search based circuit optimization" *Proceedings of the 8th Great Lakes Symposium on VLSI*, 338-343 (1998).
18. Lodha, S.K., Bhatia, D., "Bipartitioning circuits using TABU search" *Proceedings of Eleventh Annual IEEE International Conference ASIC*, 223 -227 (1998).
19. Sadiq, S.M., Youssef, H., "CMOS/BiCMOS mixed design using tabu search" *Electronics Letters*, 34(14): 1395-1396 (1998).
20. Sadiq, S.M., Youssef, H., Barada H.R., Al-Yamani A., "A parallel tabu search algorithm for VLSI standard-cell placement" *Proceedings of the IEEE International Symposium on Circuits and Systems ISCAS 2000*, Switzerland, 2: 581-584 (2000).
21. National Semiconductor Corp., "Data Acquisition Data Book", *National Semiconductors Corp.*, Santa Clara, CA, USA, 7:5-7:31 (1993).
22. Kerwin W. J., Huelsman L. P. and Newcomb R. W., "State-variable synthesis for insensitive integrated circuit transfer functions" *IEEE J. Solid-State Circuits*, C.SC-2: 87-92 (1967).
23. Glover, F., "Tabu search-part I" *ORSA Journal on Computing*, 1: 190-206 (1989).
24. Glover, F., "Tabu search-part II" *ORSA Journal on Computing*, 2: 14-32 (1990).
25. Kalinli, A., "Geribeslemeli yapay sinir ağlarının genetik operatörlere dayalı tabu araştırma algoritması kullanarak eğitilmesi", Doktora Tezi, *Erciyes Üniversitesi Fen Bilimleri Enstitüsü*, Kayseri (1996).
26. Pham, D.T. and Karaboga, D., "Intelligent Optimisation Techniques: Genetic Algorithms, Tabu Search, Simulated Annealing and Neural Networks, Advanced Manufacturing Series", *Springer-Verlag*, London (2000).

27. Kalinli, A., Karaboga, N., "Tabu araştırma algoritması kullanarak adaptif IIR filtre tasarımı" 9. IEEE Sinyal İşleme ve Uygulamaları Kurultayı (SİU 2001), *Doğu Akdeniz Üniversitesi*, Gazimağusa, KKTC, 530-535 (2001).

Geliş Tarihi:17.05.2002

Kabul tarihi:25.04.2003