



TEORİK MAKALE | THEORITICAL ARTICLE

Ortak Gate Fark Yükselteç Tabanlı CMOS İnverter Devresinin Auto-Zero Karşılaştırmalı Performansının İncelenmesi

*¹Oktay Aytar

¹Bolu Abant İzzet Baysal Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği Bölümü, Gököy Kampüsü, BOLU

*Sorumlu Yazar / Corresponding author : oaytar@ibu.edu.tr
¹ O. Aytar, 0000-0001-7664-103X

Geliş Tarihi / Received Date : 08 Eylül 2020
Kabul Tarihi / Accepted Date : 29 Eylül 2020
Yayın Tarihi / Published Date : 21 Aralık 2020

Alıntı / Citation :

Aytar, O. (2020). Ortak Gate Fark Yükselteç Tabanlı CMOS İnverter Devresinin Auto-Zero Karşılaştırmalı Performansının İncelenmesi. Journal of Scientific, Technology and Engineering Research, 1(2): 25-32. DOI:10.5281/zenodo.4069563

The Investigation of Auto-Zero Comparator Performance of Common Gate Differential Amplifier Based CMOS Inverter Circuit

Özet – Yapılan bu çalışmada, Cadence IC5141 tasarım programı NCSU Design Kit’de 0.18µm CMOS teknoloji kütüphanesi kullanılarak ortak gate fark yükselteçli cmos inverter devresinin auto-zero karşılaştırmalı olarak performansı incelenmiştir. Önerilen bu yapı geleneksel inverter devresi ve darlington cmos inverter yapıları ile karşılaştırılmıştır. Yapılan DC analiz sonucuna göre ortak gate fark yükselteçli inverter devresinin gerilim kazancı 138,92 V/V bulunmuş olup, incelenen yapılara göre daha fazla kazançta sahip olduğu görülmüştür. Önerilen karşılaştırmalı yapısının girişine 50MHz frekansında bir rampa işareti ve 5GHz frekansında bir saat işareti uygulandığında, sırasıyla yükselen kenar gecikme süresi 0.81ns, inen kenar gecikme süresi de 0.99ns elde edilmiştir. Bu yapının aynı şartlar altında ki ortalama güç tüketim değeri de 15,4mW’tır.

Anahtar Kelimeler: Ortak Gate Fark Yükselteç Tabanlı CMOS İnverter, Auto-Zero Karşılaştırmalı, Darlington CMOS İnverter, Geleneksel İnverter.

Abstract—In this study, the performance of the common gate difference amplifier cmos inverter circuit as an auto-zero comparator circuit was investigated using 0.18µm CMOS process model in the NCSU Design Kit of the Cadence IC5141 design program. The performance of the proposed structure was compared with traditional inverter circuit and darlington cmos inverter circuit. In accordance with the results of DC analysis, the voltage gain of the proposed circuit is 138, 92 V/V and it has more gain than the investigated circuits. According to obtained simulation results, the rising edge and descending edge delay times are observed 0.81ns and 0.99ns while operating with a clock frequency of 5GHz and an input frequency the rising and the descending ramp signal of 50 MHz, respectively. The average power consumption of the proposed structure is 15,4mW under the same conditions.

Index Terms— Common Gate Differential Amplifier Based CMOS Inverter Circuit, Auto-Zero Comparator, Darlington CMOS Inverter, Traditional Inverter Circuit

I. GİRİŞ [INTRODUCTION]

Karşılaştırmalı devreleri analog giriş işareti ile referans işaretini karşılaştırarak, giriş işaretinin referans işaretinden büyük ya da küçük olmasına göre çıkışta sayısal olarak Lojik 1 ya da Lojik 0 üreten bir devredir [1, 2]. Karşılaştırmalı olarak kullanılan devre yapıları birçok analog, sayısal ve karışık sinyal uygulama sistemlerinin önemli bloklarından birisidir [3].

Karşılaştırıcıların kullanıldığı en önemli uygulamalardan birisi analog-sayısal dönüştürücülerdir [4,5]. Bu açıdan bakıldığında karşılaştırıcıyı 1 bit analog-sayısal dönüştürücü olarak düşünebiliriz [1].

Bu yüzden analog-sayısal dönüştürücü yapılarının çözünürlük, örnekleme hızı, güç tüketimi gibi performansını etkileyen en önemli kritik bloklardan birisidir [6].

Karşılaştırıcı yapıları uygulanan giriş işaretinin türüne göre akım karşılaştırıcısı ve gerilim karşılaştırıcısı olarak ikiye ayrılabilir. Gerilim karşılaştırıcı devreleri ise açık çevrim karşılaştırıcılar(sürekli zamanlı karşılaştırıcılar), pozitif geri beslemeli karşılaştırıcılar(ön yükselteç tabanlı latch karşılaştırıcılar) ve bu iki karşılaştırıcı yapısının birleşiminden meydana gelen hızlı karşılaştırıcılar olarak üç farklı grupta sınıflandırılabilirler [1, 7, 8].

Açık çevrim karşılaştırıcılar aslında işlemsel yükselteç(op-amp) devreleri olup, yüksek kazanç ve yüksek çözünürlük ihtiyacı olan sistemler için uygundur. Bu tip karşılaştırıcıların dezavantajı ise güç tüketiminin ve tepki süresinin fazla olmasıdır [9]. Ön yükselteç tabanlı latch karşılaştırıcılar ise geri besleme sayesinde yüksek kazançta sahip oldukları gibi, aynı zamanda geri tepme gürültüsünü(kick-back noise) ve of-set gerilimini azaltmaktadır [7, 8]. Yüksek hızlı karşılaştırıcılar da girişte bir ön yükselteç devresi daha sonra pozitif geri besleme veya bir karar devresi ve en son olarak da çıkış tampon devresinden oluşmaktadır [2]. Bu tip karşılaştırıcılar yayılım gecikmesinin mümkün olduğunca küçük olduğu karşılaştırıcılar olarak tanımlanmaktadır.

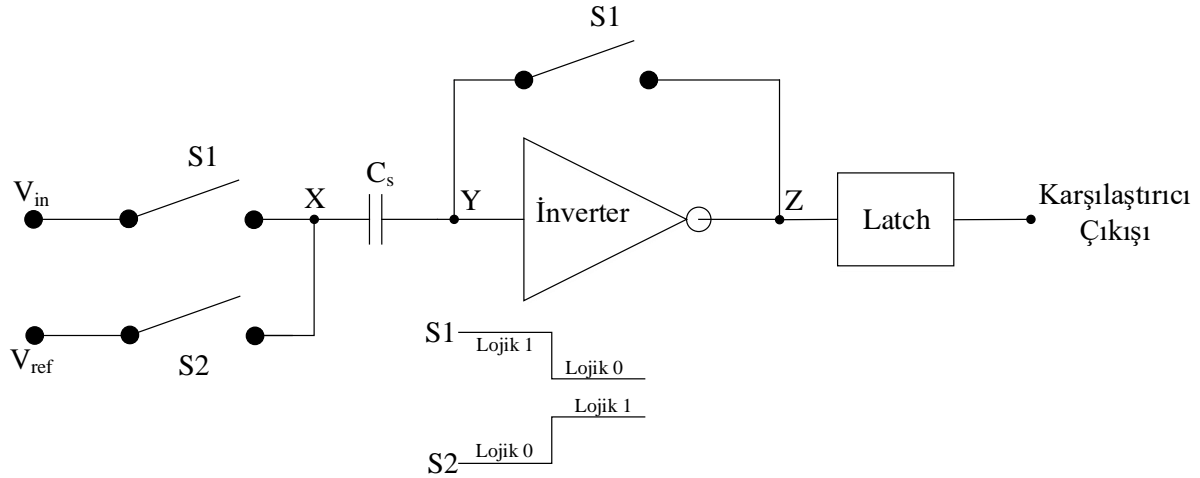
Karşılaştırıcı devrelerinin bant genişliği, gecikme zamanı, giriş ofset değeri, doğrusalılık, gürültü, ortak mod giriş gerilim aralığı, güç tüketimi ve gürültü gibi temel tasarım parametreleri vardır [10]. Bunlardan, özellikle devrenin kazancı, giriş ofset değeri, gecikme zamanı ve doğrusalığı gibi karakteristikler karşılaştırıcının performansını belirlemektedir [1, 2, 11]. Özellikle giriş ofset gerilimi, karşılaştırıcı devreleri için önemli problemlerden biridir. Yüksek çözünürlüklü analog-sayısal dönüştürücü tasarımlarında giriş ofset

gerilim değeri göz ardı edilemez [7]. Giriş of-set gerilimine ise devre elemanlarının uyumsuzluğu, geri tepme gürültüsü ve kapasite çiftleri gibi parametreler neden olmaktadır [12]. Bu problemi çözmek için ise auto-zero tekniği önerilmektedir [1, 13].

X.Wang ve arkadaşları yapmış oldukları çalışmada DC ofset kalibrasyon devresinde auto-zero karşılaştırıcı kullanarak, dc ofset gerilimini çalışmaları için istenen değere getirmişlerdir[14]. E.Alaybeyoglu yapmış olduğu çalışmada tasarlamış olduğu karşılaştırıcı devresinin ofset gerilimini yok etmek için auto-zero tekniği kullanmıştır[15]. X. Zhang ve arkadaşları yapmış oldukları çalışmada karşılaştırıcının çözünürlüğünü artırmak için iki-aşamalı ön yükselteç devresi kullandıklarını ve birinci ön yükselteç devresi çıkışında elde edilen işaretin ofset gerilimini yükselttiğini ve bunun da kalibrasyon hatalarına neden olduğunu belirtmişler ve bu yüzden ofset gerilimini azaltmak için de auto-zero tekniği kullanmışlardır[16]. J. Wei ve arkadaşları yapmış oldukları çalışmada kazanç-kontrol yapısında auto-zero tekniği kullanarak ofset gerilimini yok etmek ve uygun çalışma noktasını tespit etmeye çalışmışlardır[17].

Temel auto-zero karşılaştırıcı devresi ile anahtarları kontrol eden saat işaretleri Şekil-1’de gösterilmiştir. Auto-Zero karşılaştırıcı, saat işaretlerinin durumuna göre iki farklı durumda çalışmaktadır. Bunlardan birincisi Örnekleme durumu, diğeri ise Karşılaştırma durumudur. Örnekleme durumunda S_1 anahtarı kapalı S_2 anahtarı açık durumdadır. Bu esnada analog giriş işareti(V_{in}) örneklenir ve C_S kapasitesinin üzerinde tutulur. Böylece C_S kapasitesi şarj olur. Ayrıca bu sırada inverter devresi de kısa devre olur ve böylece inverter devresinin çıkışı V_{in} ’e eşit olur. Anahtarlama yapıldığı zaman ise bu gerilim $V_{dd}/2$ ’ye(V_{dd} : İnverterin besleme gerilimidir) eşit olmaktadır. Bu yapılan işlem auto-zero olarak isimlendirilir. Bu sırada kapasite üzerinde oluşan gerilim aşağıdaki gibi gösterilir;

$$\begin{aligned} V_{C_S} &= V_Y - V_X \\ V_{C_S} &= V_{dd} - V_{in} \end{aligned} \quad (1)$$



Şekil 1. Geleneksel Auto-Zero Karşılaştırıcı Devresi ve Anahtarları kontrol eden saat işaretleri [18, 19]

Karşılaştırma durumunda ise sadece S_2 anahtarı kapalı durumdadır. Bu sırada V_{ref} gerilimi X noktasına bağlı iken inverter de lineer bölgede çalışmaktadır. Bu sırada kapasite üzerinde oluşan gerilim ise aşağıdaki gibidir;

$$V_{C_s} = V_Y - V_X$$

$$V_Y = V_{C_s} + V_{ref}$$

$$V_Y = \left(\frac{V_{dd}}{2} - V_{in} \right) + V_{ref}$$

$$V_Y = \frac{V_{dd}}{2} - (V_{in} - V_{ref}) \quad (2)$$

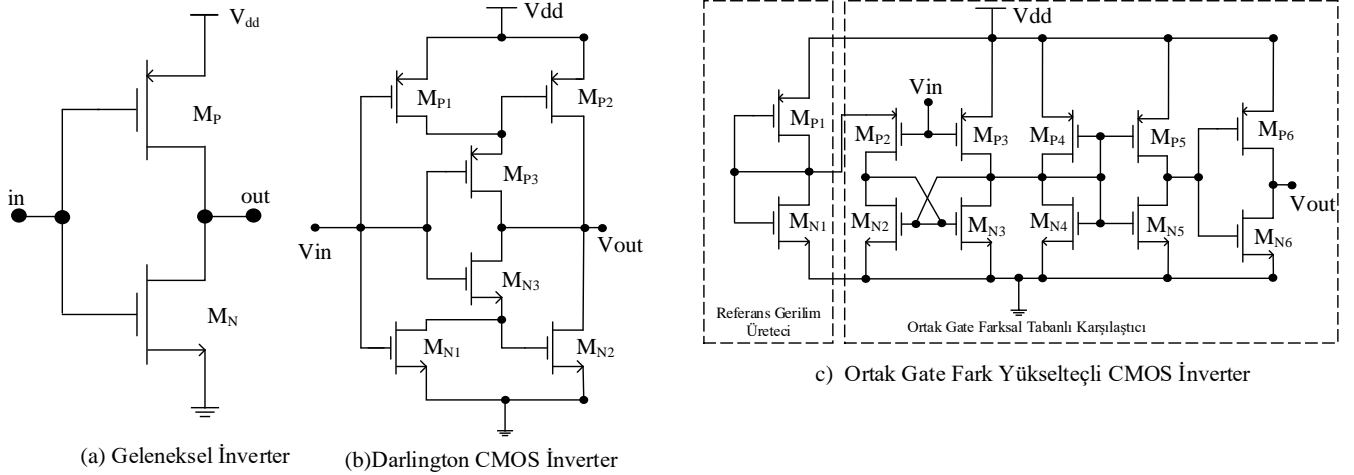
(2) numaralı denkleme göre analog giriş gerilimi (V_{in}) ile karşılaştırma gerilimi (V_{ref}) arasındaki fark inverter devresinin girişine uygulanır. Evirici girişinin eşik gerilimi $V_{dd}/2$ olduğu için, karşılaştırıcı devresinin çıkışı ($V_{in} - V_{ref}$) farksal girişine bağlı olur. Bu yüzden $V_{in} > V_{ref}$ olduğunda karşılaştırıcı çıkışında Lojik 1, $V_{in} < V_{ref}$ olduğunda ise çıkış Lojik 0 olur.

Yapılan bu çalışmada, Cadence IC5141 tasarım programı NCSU Design Kit'de $0.18\mu m$ CMOS (Complementary Metal Oxide Semiconductor) teknoloji kütüphanesi kullanılarak ortak gate fark yükselteçli bir inverter devresinin, auto-zero karşılaştırıcı olarak geleneksel inverter devresi ve darlington cmos inverter devrelerine göre performansı incelenmiştir.

II. CMOS İNVERTER DEVRELERİ [CMOS INVERTER CIRCUITS]

Bu çalışmada kullanılan ortak gate fark yükselteçli inverter devresi Şekil-2(c)'de gösterilmiştir. Önerilen bu yapı, referans gerilim üretici[20] ve ortak-gate farksal tabanlı bir karşılaştırıcı devresi[21] birleşiminden meydana gelmektedir. M_{P1} ve M_{P2} mosfetlerinin kanal genişliği (W) ve kanal boyu (L) cmos inverter devresinin eşik gerilimi $V_{dd}/2$ olacak şekilde ayarlanmıştır. Ortak-gate farksal tabanlı karşılaştırıcı devresi giriş uçlarında pmos çifti (M_{P1}, M_{P2}), birbirine çapraz bağlı iki tane nmos'dan (M_{N2}, M_{N3}) oluşmaktadır. Birbirine çapraz bağlı iki tane nmos'dan oluşan bu devrenin iki durumu vardır. Birinci durumda pozitif geribesleme aktif değildir. Bu durumda giriş gerilimi uygulanarak M_{N2} ve M_{N3} 'ün drain uçlarında gerilim elde edilir. İkinci durumda ise bu gerilimlere bağlı olarak çıkışlardan bir tanesi lojik 0'a ya da lojik 1'e gitmektedir.

Bu çalışmada kullanılan darlington cmos inverter devresi[22] Şekil-2(b)'de gösterilmiştir. Bu devre yapısında kullanılan $M_{P2}-M_{P3}$ ile $M_{N2}-M_{N3}$ mosfet devre elemanları şekilsel bağlantı benzerliğinden dolayı darlington yapısı gibi düşünülebilir. Bilindiği üzere bu yapı mosfetlerde kullanılamaz.



Şekil 2. Yapılan Çalışmada kullanılan CMOS İnverter devreleri.

Bu yüzden M_{P1} ve M_{N1} mosfetleri, darlington bağlantılı mosfetleri kutuplama amaçlı kullanılmıştır. Darlington cmos inverter devresinin eşik gerilimi $V_{dd} / 2$ olacak şekilde M_{P1} - M_{P2} - M_{P3} ile M_{N1} - M_{N2} - M_{N3} mosfetlerinin W/L değerleri ayarlanmıştır.

Yapılan bu çalışmada kullanılan bir diğer inverter devresi ise geleneksel inverter devresi olup Şekil-2(a)'da gösterilmiştir. Burada da inverter devresinin eşik geriliminin $V_{dd} / 2$ olması için mosfetlerin W/L'leri uygun değerlere ayarlanmıştır.

III. BENZETİM SONUÇLARI [SIMULATION RESULTS]

Yapılan bu çalışmada, şekil 1'de gösterilen auto-zero karşılaştırıcı yapısına göre tasarımlar yapılmıştır. Şekil 1'de gösterilen inverter bloğu yerine sırasıyla şekil 2'de gösterilen cmos inverter devreleri yerleştirilip, benzetim sonuçları elde edilmiştir. Tasarımı yapılan devrelerde DC besleme gerilimi olarak 1.8V kullanılmıştır. Şekil 3'de bu devrelere ait transfer karakteristikleri gösterilmiştir. Burada inverter devrelerinin eşik gerilimleri $V_{dd} / 2$ olacak şekilde ayarlanmıştır. Auto-zero karşılaştırıcı devrelerinde kalıntı ofset değeri kazancın sınırlı olması ve anahtarlardaki yük değişimlerinden kaynaklanmaktadır[19]. Fakat bu kazanç değeri yeterince yüksek olursa, kalıntı ofset gerilimi ihmal edilebilir[23]. Bu yüzden şekil 3'teki transfer

karakteristiklerinin dV_{out}/dV_{in} oranlarına bakılarak cmos inverter devrelerinin kazançları elde edilmiştir. Elde edilen bu kazanç değerleri tablo-1'de gösterilmiştir. Yapılan DC analize göre, üç farklı devrenin kazancına bakıldığında en yüksek kazanca sahip olan devrenin Ortak Gate Fark Yükselteçli CMOS İnverter devresidir.

Karşılaştırıcı ofset değerinin bulunması için standart yöntem, yükselen bir rampa işaretinin karşılaştırıcının girişine uygulanarak, elde edilen çıkış işaretinde geçiş noktasının bulunmasıdır[3].

TABLE I
İNVERTER DEVRELERİNİN KAZANÇ DEĞERLERİ

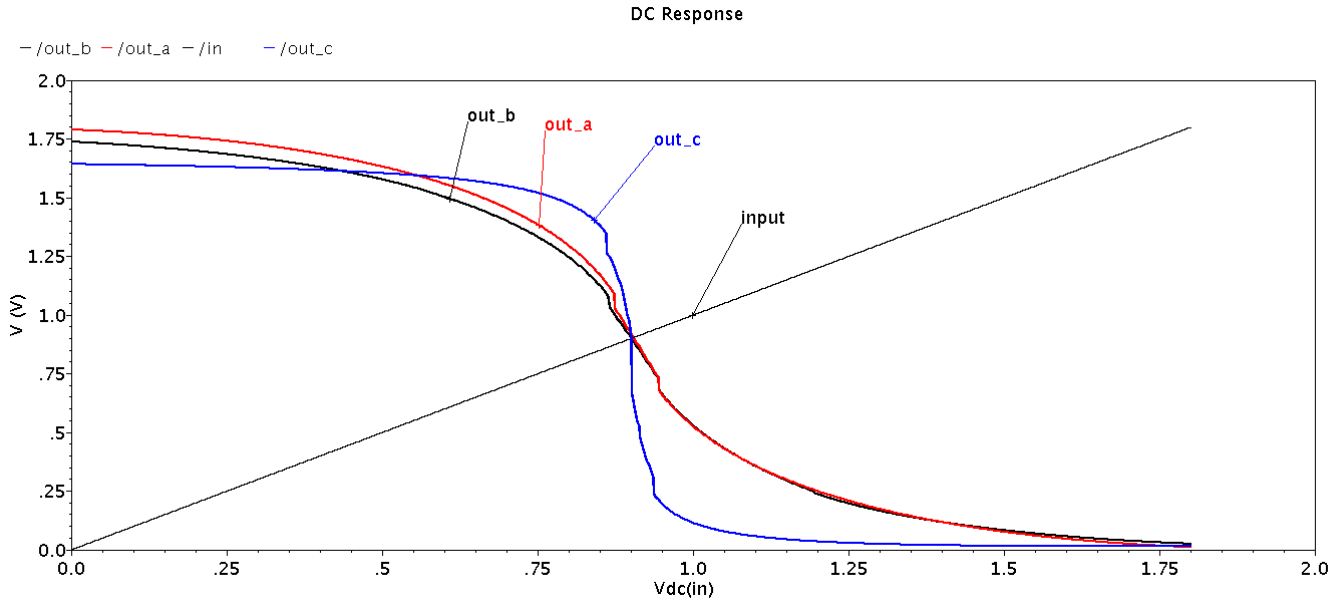
Devre Adı	KAZANÇ DEĞERİ (VOUT/VIN)
Geleneksel İnverter Devresi (out_a)	34,56
Darlington CMOS İnverter Devresi (out_b)	28,82
Ortak Gate Fark Yükselteçli CMOS İnverter Devresi (out_c)	138,92

Elde edilen çıkış geriliminde, uygulanan analog giriş ve referans işaretine göre geçiş noktasında Lojik 0 seviyesinden Lojik 1 seviyesine geçtiği gerilim ve zaman değerlerine bakılarak yükselen kenardaki of-set gerilim değerine ve gecikme zamanına bakılır [3].

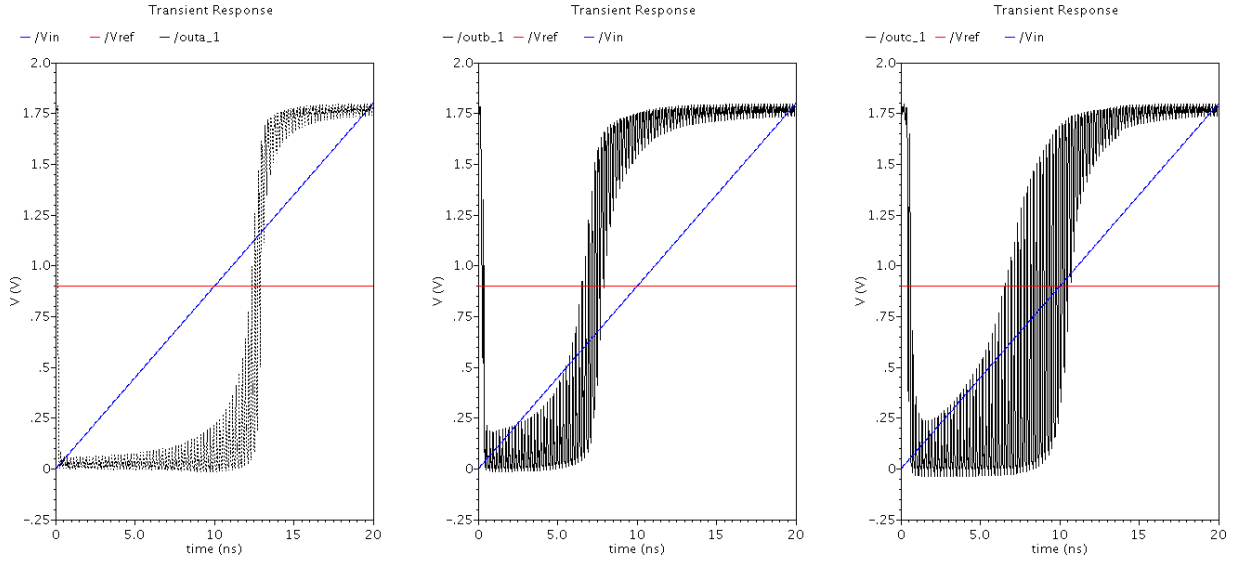
Aynı şekilde düşen rampa işareti uygulayarak da Lojik 1 seviyesinden Lojik 0 seviyesine geçtiği gerilim ve zaman değerlerine bakılarak inen kenardaki of-set gerilim değerine ve gecikme zamanına bakılır [3]. Yapılan bu çalışmada analog giriş işareti(Vin) olarak 50MHz giriş frekansında yükselen bir rampa işareti uygulanmıştır. Karşılaştırıcının referans işareti(Vref) 0.9V, tutucu devresinin saat işareti frekansı da 5GHz olarak uygulanmıştır. Elde edilen karşılaştırıcı sonuçları şekil 4'te gösterilmiştir. Şekil 5'te ise karşılaştırıcının referans işareti(Vref) 0.5V, tutucu devresinin saat işareti frekansı 1GHz yapıldığında elde edilen çıkış işareti gösterilmiştir. Şekil 4'te, auto-zero karşılaştırıcı olarak yapılan üç farklı devrenin girişine 50Mhz giriş frekansında yükselen bir rampa işareti uygulanmıştır. Tasarımı yapılan bu karşılaştırıcı devrelerinde karşılaştırıcıların referans işareti(Vref) 0.9V, tutucu devresinin saat işareti frekansı 5GHz seçilmiştir. Aynı şekilde düşen kenardaki gecikme

zamanlarının bulunması için de benzer şekilde benzetim şartları sağlanmıştır. Burada sadece giriş işareti yükselen rampa değil inen rampa olarak seçilmiştir. Yapılan bu analiz sonucunda yükselen kenar, inen kenar gecikme zamanları ve karşılaştırıcıların harcamış oldukları güç tüketim değerleri Tablo 2'de gösterilmiştir.

Şekil 5'de analog giriş işareti frekansı 50MHz, referans işareti(Vref) 0.5V ve tutucu devresinin saat işareti frekansı 1GHz seçildiğinde elde edilen karşılaştırıcı çıkışları gösterilmiştir. Şekil 5'den de görüldüğü üzere ortak gate fark yükselteçli cmos inverter devresi ile yapılan auto-zero karşılaştırıcı devresinin cevabı incelendiğinde gecikme süresinin diğer inverter devrelerine göre daha iyi olduğu görülmektedir.



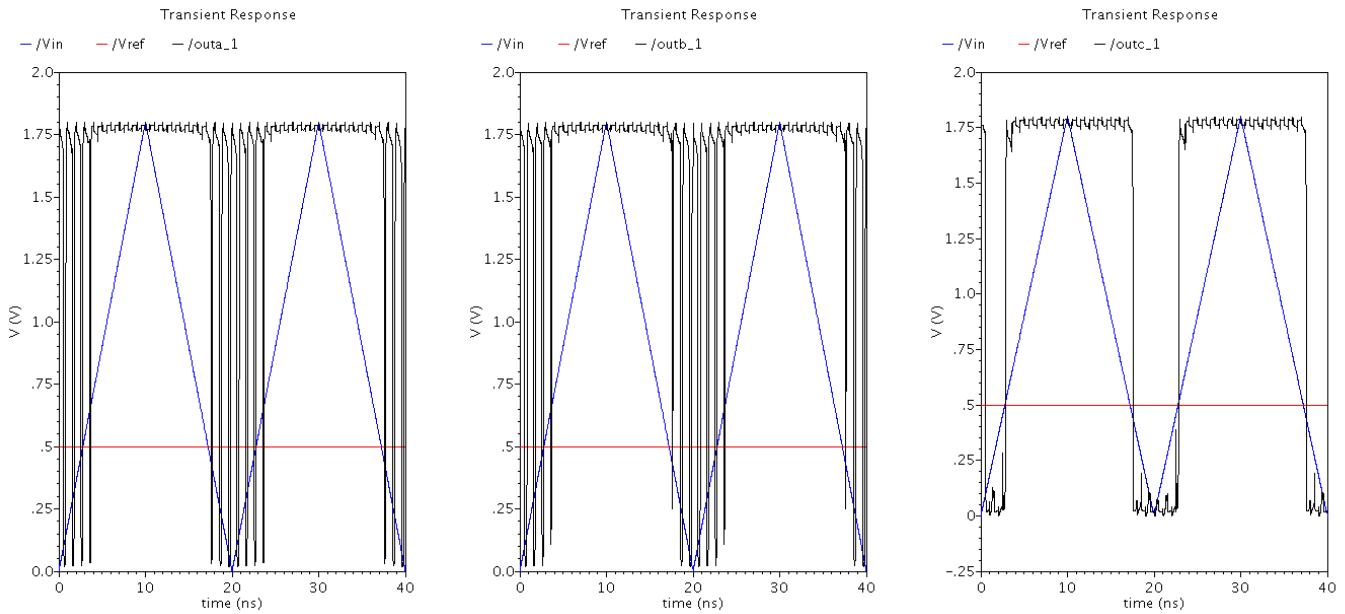
Şekil 3. Çalışmada kullanılan CMOS İnverter devrelerinin transfer karakteristikleri.



Şekil 4. $f_{in}=50\text{MHz}$, $f_{clk}=5\text{GHz}$ için Auto-Zero karşılaştırıcı sonuçları.

TABLE II
ÇALIŞMADA KULLANILAN İNVERTER DEVRELERİNİN GEÇİRME VE GÜÇ TÜKETİM DEĞERLERİ ($f_{in}=50\text{MHz}$, $f_{clk}=5\text{GHz}$)

Devre Adı	ORTALAMA GÜÇ TÜKETİMLERİ (mW)	YÜKSELEN KENAR GEÇİRME SÜRESİ (ns)	İNEN KENAR GEÇİRME SÜRESİ (ns)
Geleneksel İnverter Devresi	14,12	2,79	1,963
Darlington CMOS İnverter Devresi	16,6	2,691	3,4
Ortak Gate Fark Yükselteçli CMOS İnverter Devresi	15,4	0,81	0,99



Şekil 5. $f_{in} = 50\text{MHz}$, $f_{clk}=1\text{GHz}$ için auto-zero karşılaştırıcı sonuçları.



IV. SONUÇ VE DEĞERLENDİRME [CONCLUSION]

Yapılan bu çalışmada, NCSU Design Kit ve 0.18µm CMOS teknoloji kütüphanesi kullanılarak ortak gate fark yükselteçli bir inverter devresi ve bu devrenin bir auto-zero karşılaştırıcısı olarak tasarımı yapılmıştır. Özellikle giriş ofset gerilimi ve gecikme süresi, karşılaştırıcı devreleri için önemli problemlerden birisi olup, yüksek çözünürlüğe ihtiyaç duyan A/S dönüştürücüler için önemlidir. Bu problemi çözmek için auto-zero tekniği önerilmektedir. Yapılan bu çalışmada da üç farklı inverter devresi için auto-zero tekniği kullanılarak karşılaştırıcı yapılmış olup, inverter devrelerinin gecikme süreleri karşılaştırılmıştır. Benzetim sonuçlarına göre, gecikme süresi açısından bakıldığında ortak gate fark yükselteçli cmos inverter devresi ile yapılan auto-zero karşılaştırıcının en iyi performansı gösterdiği görülmektedir. Bu yüzden önerilen ortak gate fark yükselteçli bir inverter devresi ile yapılan auto-zero karşılaştırıcının saat işareti yüksek hızlı A/S dönüştürücü devrelerinde kullanılabilmesi düşünülmektedir. Aynı zamanda önerilen yapının gerilim kazancı, diğer karşılaştırılan tasarımlara göre oldukça yüksektir. Önerilen yapının tek dezavantajı güç tüketiminin fazla olmasıdır. Yapılan bu tasarımda, geleneksel bir tutucu devresi ve analog anahtar yapısı kullanılmıştır. Tutucu devresi ve anahtar devrelerinin yapıları değiştirilerek, önerilen sistemin iyileştirilebileceği düşünülmektedir.

KAYNAKLAR [REFERENCES]

- [1]. P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, Second Edition, Oxford University Press, 2002.
- [2]. R.J. Baker, CMOS Circuit Design, Layout and Simulaton, Wiley-IEEE press, 2019
- [3]. Hesham Omran, "Fast and accurate technique for comparator offset voltage simulation", Microelectronics Journal, 89, pp. 91–97, 2019.
- [4]. G. Roubik, Introduction to CMOS OP-AMPS and comparators, J Wiley & Sons, 1999.
- [5]. G. Ahmed and R. K. Baghel, "Design of 6-bit Flash Analog to Digital Converter Using Variable Switching Voltage CMOS Comparator", International Journal of VLSI Design & Communication Systems (VLSICS) Vol.5, No.3, pp. 25-35, June 2014.
- [6]. Y. Susanti, P. K. Chan and V. K. S. Ong, "An Ultra Low-Power Successive Approximation ADC Using an Offset-Biased Auto-Zero Comparator", IEEE Asia Pacific

Conference on Circuits and Systems APCCAS 2008, pp. 284-287, 2008.

[7]. B. P. Hypolite, W. T. E. and M. I. Adolphe, "A 10GHZ Low-Offset Dynamic Comparator for High-Speed and Lower-Power ADCs", American Journal of Engineering and Applied Sciences, 12 (2), pp. 156-165, 2019.

[8]. L. F. Rahman, M. B. I. Reaz, C. C. Yin, M. Marufuzzaman, and M. A. Rahman, "A High-Speed and Low-Offset Dynamic Latch Comparator", The Scientific World Journal, vol. 2014, Article ID 258068, 8 pages, 2014.

[9]. J. Li, H. Fan, Y. Wu, Q. Feng, D. Li, D. Hu, Y. Cen, and H. Heidari, "Comparator Design in Sensors for Environmental Monitoring", IOP Conference Series: Earth and Environmental Science, Vol. 151, No. 1, p. 012030, 2018.

[10]. A. Ahmed, "High speed data converters", Institution of Engineering and Technology, 2016.

[11]. X. Huang, L. Li, Z. Zhang, L. Chen, J. Yu, "High-speed comparator used for high-speed, high resolution A/D converter", 2010 International Conference on Anti-Counterfeiting, Security and Identification IEEE, pp. 67-70, July 2010.

[12]. S. Zhang, Z. Li, B. Ling, "Design of high-speed and low-power comparator in flash ADC", Procedia Engineering 29, pp. 687-692, 2012.

[13]. V. Nagy, V. Stopjaková, "New Current Monitor Using Auto Zero Voltage Comparator for IDD Testing of Mixed-signal Circuits", IEEE Design and Diagnostics of Electronic Circuits and systems, pp. 234-235, 2006.

[14]. X. Wang, J. Jin, X. Liu and J. Zhou, "An ISM Band High-Linear Current-Reuse Up-Conversion Mixer with Built-in-Self-Calibration for LOFT and I/Q Imbalance" in IEEE Transactions on Circuits and Systems II: Express Briefs, doi: 10.1109/TCSII.2020.2981940.

[15]. E. Alaybeyoğlu, "High speed comparator design for the implementation of successive approximation register ADC", 2019 3rd International Symposium on Multidisciplinary Studies and Innovative Technologies (ISMSIT). IEEE, 2019.

[16]. X. Zhang, X. Cao, and X. L. Zhang, "A 16-bit 1 MSPS SAR ADC with foreground calibration and residual voltage shift strategy." Journal of Semiconductors 41, 1-9, 2020.

[17]. J. Wei, X. Li, L. Sun, D. Li, "A Low-Power Column-Parallel Gain-Adaptive Single-Slope ADC for CMOS Image Sensors", Electronics, 9(5):757, 2020.

[18]. Y.C. Hung and B.D. Liu, "A 1.2 V Rail-to-Rail Analog CMOS Rank-Order Filter with k-WTA Capability", Analog Integrated Circuits and Signal Processing, 32, pp. 219–230, 2002.

- [19]. M. J. M. Pelgrom, Analog-to-Digital Conversion, Springer, New York, NY, 2013.
- [20]. J.P. Uyemura, Circuit design for CMOS VLSI, Springer Science & Business Media, 2012.
- [21]. O. Aytar, "Design of a 5-bit Fully Parallel Analog to Digital Converter Using Common Gate Differential Mos Pair-Based Comparator", Journal of ELECTRICAL ENGINEERING, VOL. 66, NO. 5, pp. 250-256, 2015.
- [22]. O. Aytar, "Darlington CMOS Inverter Tabanlı Paralel Analog-Sayısal Dönüştürücü Tasarımı", Gazi Üniversitesi Fen Bilimleri Dergisi Part C: Tasarım ve Teknoloji, 6(1), pp. 78-67, 2018.
- [23]. F. Maloberti, Analog design for CMOS VLSI systems, Springer Science & Business Media, 2006.

Oktay AYTAR received the B.S., M.S., Ph.D. degrees in the Department of Electronics and Communications Engineering from Kocaeli University, Kocaeli, Turkey, in 2000, 2003, and 2009, respectively. In 2012, he joined at Abant İzzet Baysal University as an assistant professor. His interests include high speed CMOS and A/D converter circuit design, digital and analog mixed-signal ICs, embedded systems.