

ÇOK SEVİYELİ EVİRİCİLERİN KONTROL YÖNTEMLERİ

İlhami ÇOLAK¹, Ersan KABALCI^{2*}

¹ Gazi Üniversitesi Teknik Eğitim Fakültesi Elektrik Eğitimi Bölümü
06500 Teknikokullar Ankara

² Gazi Üniversitesi Fen Bilimleri Enstitüsü, Elektrik Eğitimi Bölümü
Tandoğan Ankara

Özet

Bu çalışmada, eviricilerin kontrolünde kullanılan modülasyon teknikleri incelenmiştir. Eviricinin kontrolü için seçilecek anahtarlama yöntemi, ideal çıkış gerilimini üretirken, harmonik bileşenlerin bastırılmasında da etkin bir rol oynayacaktır. Çok seviyeli eviricilerin kontrolünde darbe genişlik modülasyonu (DGM) yöntemleri yaygın olarak kullanılmaktadır. Eviricilerin açık döngülü kontrolünde, taşıyıcı ve sinüsoidal DGM (SDGM) yöntemleri üzerine yoğun çalışmalar yapılmaktadır. Mikroişlemci ve sayısal işaret işlemcisi (Sİİ) tabanlı kapalı döngü kontrolde ise çalışmalar son dönemde uzay vektör DGM ve bulanık mantık kontrolü üzerinde yoğunlaşmaktadır. Literatürdeki çalışmalar incelendiğinde, sinüsoidal DGM (SDGM) yönteminin uzay vektör DGM'ye (UVDGM) göre daha kolay üretildiği görülmektedir. Buna rağmen, SDGM'de çıkış geriliminin giriş kaynak geriliminin yaklaşık %80'i ile sınırlı kaldığı belirlenmiştir. Ayrıca uzay vektör DGM (UVDGM) modülasyonu ile elde edilen çıkış gerilim değerlerinin, SDGM kontrol tekniği ile elde edilen sonuçlara göre %15 oranında daha yüksek verim sağladığı saptanmıştır.

Anahtar Kelimeler: Evirici, SDGM, Harmonik Analizi, UVDGM

CONTROL METHODS OF MULTILEVEL INVERTERS

Abstract

The modulation techniques used to control the inverters are reviewed in this study. The selected switching technique to control the inverter will have an effective role on harmonic elimination while generating the ideal output voltage. The pulse width modulation (PWM) methods are widely used to control the multi-level inverters. Intensive studies are performed on carrier-based and sinusoidal PWM methods in open loop control of inverters. In closed loop control that is based on microprocessors and digital signal processor (DSP), the studies are recently focused on space vector PWM and fuzzy logic control. The literature overview shows that to generate SPWM signals is easier than SVPWM. Although this, it is also seen that the output voltage is limited about to 80% of input supply voltage in SPWM. In addition to this, output values of SVPWM method are more efficient according to SPWM at the ratio of 15%.

Keywords: Inverter, SPWM, Harmonic Analysis, SVPWM

* E-posta: ekabalci@gazi.edu.tr

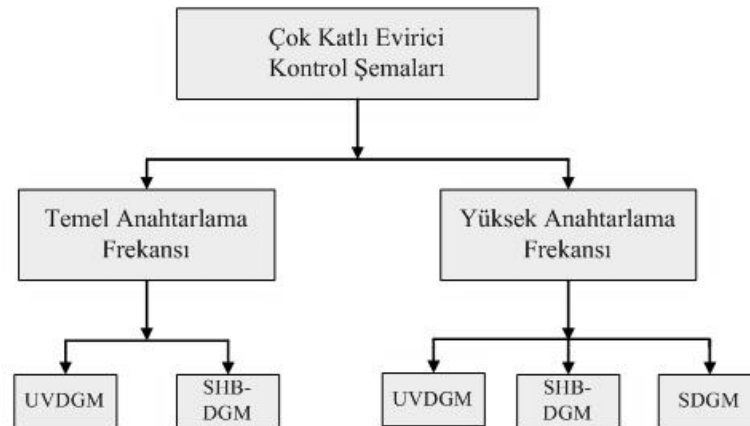
1. Giriş

Çok seviyeli eviricilerle ilgili çalışmalar, Nabae tarafından önerilen üç seviyeli evirici ile başlamıştır [1]. Bu topolojide, üçüncü seviye DA besleme hattının nötr noktası ile oluşturulmuş ve literatürde nötr nokta kenetli (NNK) evirici olarak yer almıştır. Çok seviyeli eviriciler, yüksek güç uygulamaları için NNK'nin yanı sıra kondansatörlü ve H-köprülü topolojilerle geliştirilmiştir. Bu topolojiler, son yıllarda yüksek güç ve yüksek gerilim uygulamalarında geniş bir kullanım alanı bulmuştur. Çok seviyeli eviriciler, iki seviyeli olarak bilinen klasik topolojiye göre çeşitli avantajlara sahiptirler [2-4]. Bu evirici topolojisi, çıkış dalga şeklindeki adım sayılarını artırarak ve anahtarlama elemanlarına uygulanan gerilimi düşürerek elde edilen dalga şeklini ve kalitesini iyileştirmektedir. Çok seviyeli eviriciler, sabit bir anahtarlama frekansında bant genişliğini iki katında kullanırlar. Anahtarlama elemanlarına uygulanan düşük gerilim, çıkıştaki dv/dt oranıyla birlikte elektromanyetik gürültüyü (EMI) de azaltır. Bunun yanı sıra iki seviyeli eviricilere göre toplam harmonik bozulumu (THD) oranında belirgin bir üstünlük söz konusudur.

Yüksek güçlü darbe genişlik modülasyonunda (DGM) yüksek dv/dt oranı anahtarlama elemanlarının iletim-kesim geçişlerinde düzensizliğe neden olmaktadır [5-10]. DA/AA eviricilerde, yüke aktarılacak AA sinyalin genlik ve frekansı kontrol edilebilmelidir. Eviricinin kontrolünde kullanılacak modülasyon tekniğinin seçimini belirleyen en önemli faktör maksimum çalışma frekansıdır. Uygulamada açık ya da kapalı döngü kontrol şemalarında en yaygın kullanılan yöntem, AA yük devresine akım ya da gerilim aktarılmasını denetleyen DGM yöntemidir. İleri ya da geri beslemeli DGM kontrol sistemleri üzerine birçok çalışma yapılmıştır. Günümüze kadar yapılan çalışmalar içerisinde en yaygın olanı sinüsoidal DGM (SDGM) yöntemidir [11-13]. SDGM yönteminde, yüksek frekanslı bir taşıyıcı üçgen işaret ile modüle edici referans işaretleri karşılaştırılmaktadır. Düşük frekanslı anahtarlama ise asimetrik gerilim şekilleri ve düşük bant harmonikleri oluşmaktadır. SDGM'de meydana gelebilecek bu durumu engellemek için aşırı modülasyon aralığının üzerinde anahtarlama yapabilecek yöntemler geliştirilmiştir. Seçmeli harmonik bastırma DGM (SHB-DGM) ve uzay vektör DGM (UVDGM) yöntemleri, SDGM'ye göre daha fazla matematiksel hesaplama gerektirse de, sağladığı çözümlerden dolayı üzerinde yoğun çalışmalar yapılan yeni yöntemler olarak ön plana çıkmaktadır [11, 14-15].

2. Kontrol Şemaları

Eviricilerde, DA kaynaktan sağlanan bir gerilimin yüksek verimle AA çıkış gerilimine dönüştürülebilmesi, anahtarlama elemanlarının etkili şekilde kontrol edilmesine bağlıdır. Çok seviyeli eviricilerde bu kontrolü sağlayacak DGM yöntemleri üzerine çeşitli kontrol şemaları geliştirilmiştir.

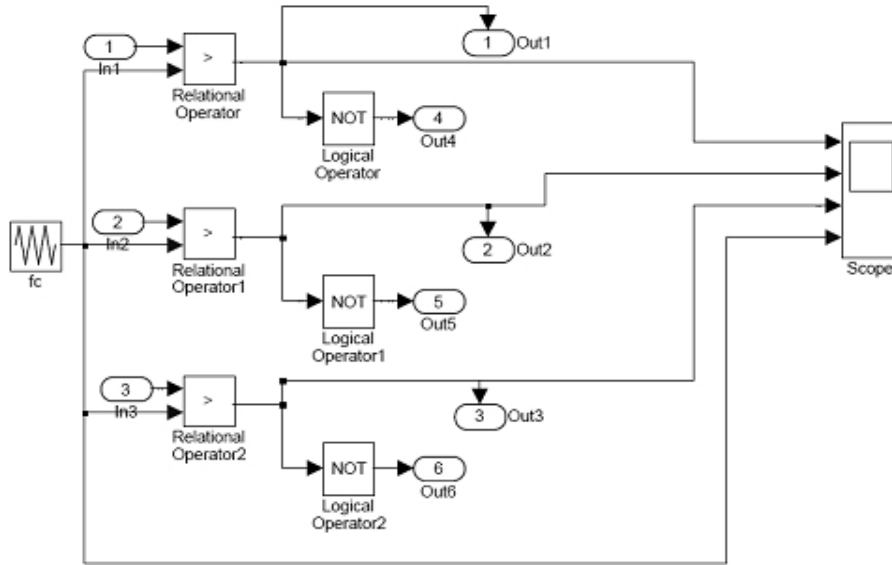


Şekil 1. Çok seviyeli eviriciler için kontrol şemaları.

Bu şemalarda, üzerinde durulan temel konular çıkış geriliminin verimi, frekans ve genlik değerlerinin ayarlanabilir olması ve harmonik oranlarının değeridir. Bu nedenlerle geliştirilen teknikler içerisinde en çok karşılaşılan kontrol yöntemleri Şekil 1'de sınıflandırılmıştır. Bu kontrol şemalarının yanı sıra, bulanık mantık denetleyicileri (BMD) ve sayısal işaret işlemcileri (Sİİ) kullanılarak kapalı döngü kontrol şemaları da geliştirilmiştir [11,14-17].

2.1. Sinüsoidal DGM Yöntemi

SDGM tekniğinde, yüksek frekanslı bir taşıyıcı üçgen işaret ile modüle edici olarak adlandırılan ve daha düşük frekanslı sinüs işareti karşılaştırılmaktadır.



Şekil 2. Simulink'te tasarlanmış bir SDGM modülör örneği

Taşıyıcı ve sinüs işaretlerinin geçiş noktalarında anahtarlama elemanlarının durumlarını değiştirecek DGM işaretleri elde edilir [7,18]. Üç fazlı bir evirici için Simulink'te tasarlanmış SDGM modülör devresi Şekil 2'de görülmektedir. SDGM modülörün ürettiği anahtarlama sinyalleri sonucunda, DA/AA eviricinin çıkışında elde edilen periyodik dalga şekli $V_o(t)$, Denklem 1'de belirtilen üç önemli terimi içerir. Denklem 1'in birinci bileşeni, DA besleme gerilimi, V_{dc} , ve modülasyon indeksi, m_a , ile doğru orantılı olarak belirlenen temel bileşendir.

$$\begin{aligned}
 V_o(t) &= \frac{m_a V_{dc}}{2} \cos(\omega_r t) \\
 &+ \frac{2V_{dc}}{\pi} \sum_{k=1}^{\infty} J_0\left(k m_a \frac{\pi}{2}\right) \sin\left(k \frac{\pi}{2}\right) \cos(k \omega_c t) \\
 &+ \frac{2V_{dc}}{\pi} \sum_{k=1}^{\infty} \sum_{l=\pm 1}^{\pm \infty} \frac{J_n\left(k m_a \frac{\pi}{2}\right)}{k} \sin\left[\left((k+l) \frac{\pi}{2}\right)\right] \cos(k \omega_c t + l \omega_r t)
 \end{aligned} \tag{1}$$

Burada yer alan parametreler;

m_a = genlik modülasyon oranı,

V_{dc} = DA besleme gerilimi,

ω_r = sinüsoidal referans frekansı,

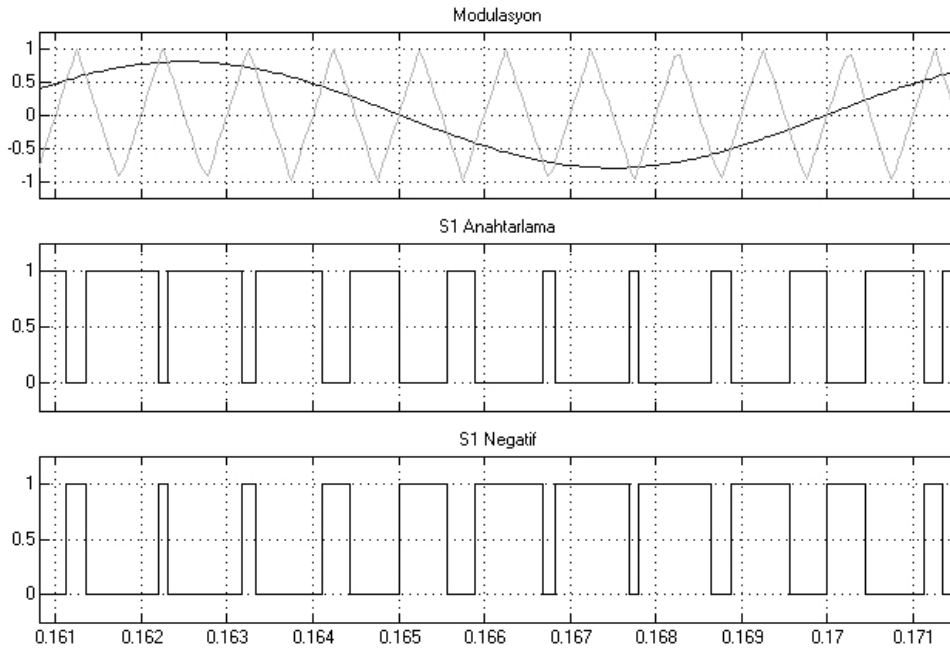
ω_c = üçgen taşıyıcı frekansı,

J_0, J_n = birinci dereceden Bessel fonksiyonudur

Modülasyon indeksinin değeri Denklem 2 ile belirlenmektedir ve sinüsoidal referans sinyalin genlik değerinin üçgen taşıyıcı sinyalin genliğine oranı olarak tanımlanır.

$$m_a = \frac{V_{\sin}}{V_{\text{üçgen}}} \quad (2)$$

Denklem 1'in ikinci bileşeni taşıyıcı frekansta yer alan harmoniklerin genlik değerini ve taşıyıcı frekansın katlarını göstermektedir. Bu eşitlik aynı zamanda taşıyıcı frekansın çift katlarında harmonik bulunmadığını da ifade etmektedir. Denklem 2'nin son parçası ise, taşıyıcı frekansın bütün katlarında yer alan yan bant harmoniklerinin genlik değerini vermektedir [17-19].



Şekil 3. SDGM modülörün çıkış işaretleri (a) taşıyıcı ve modüle edici işaretler, (b) pozitif anahtarlama DGM işareti, (c) negatif anahtarlama DGM işareti

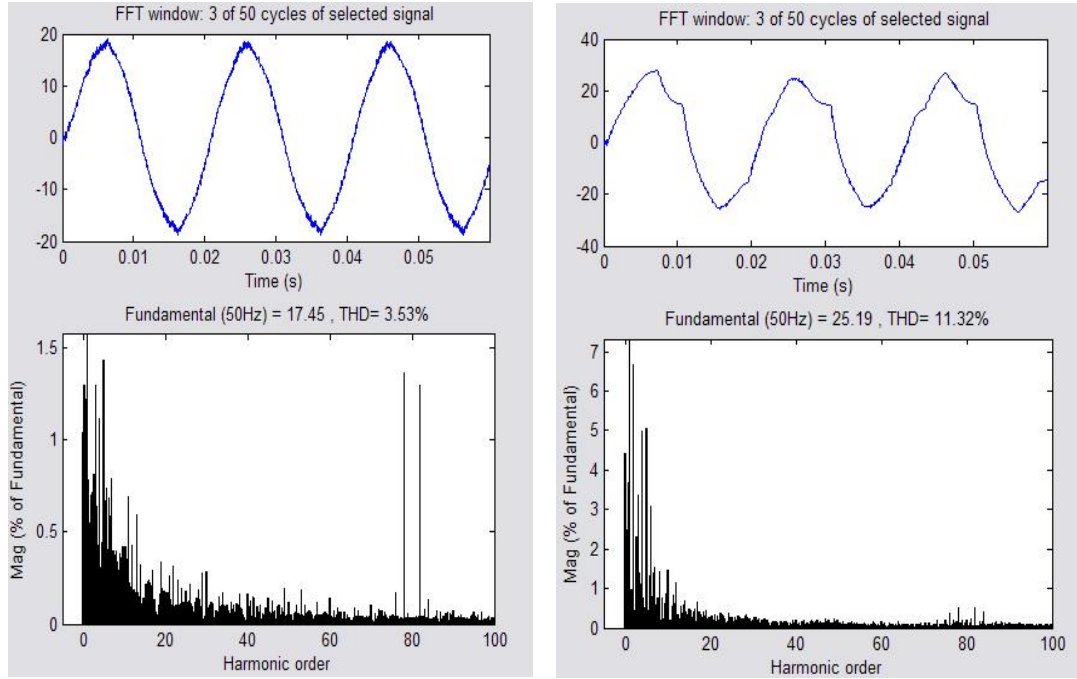
Tasarımda, üç fazı modelleyen Sin_A, Sin_B, Sin_C işaretleri, üçgen taşıyıcı işarete bağlı olarak modülasyon indeksinin değerini belirlemektedir. SDGM modülörünün üç faz için ürettiği sinyaller tam köprü evirici devresine uygulanmaktadır. Eviricinin her bir ayağındaki anahtarlama elemanlarının aynı anda iletimde olmaması için Şekil 3'te görüldüğü gibi DGM işaretleri pozitif ve negatif çiftler olarak üretilmelidir. Modülasyon indeksinin 1'den küçük olduğu lineer çalışma aralığında eviricinin çıkış hat gerilimleri,

$$V_{AB} = V_{BC} = V_{CA} = m_a \frac{\sqrt{3}V_d}{2} \quad 0 < m_a \leq 1 \quad (3)$$

eşitliği ile ve aşırı modülasyon alanında ise;

$$\frac{\sqrt{3}V_d}{2} < V_{AB} = V_{BC} = V_{CA} < \frac{4}{\pi} \frac{\sqrt{3}V_d}{2} \quad m_a \geq 1 \quad (4)$$

denklemleri ile elde edilir. Buna göre, lineer çalışma aralığında hat gerilimi eviriciye uygulanan DA giriş geriliminin maksimum %86'sı kadar olacaktır. SDGM işaretleri, aşırı modülasyon aralığında üretilecek olursa, hat gerilimleri girişin %86'sı ile %109'u aralığında elde edilecektir. Aşırı modülasyonda SDGM tekniği harmonik bastırmada doğrusal davranmadığından bu aralıkta doğru modülasyon indeksinin seçimi önemlidir (Şekil 4).



Şekil 4. SDGM kontrollü eviricinin modülasyon indeksi-harmonik analiz örnekleri; (a) $m_a = 0.8$ iken $THD_i = \%3.53$, (b) $m_a = 1.7$ iken $THD_i = \%11.32$

Bu dezavantajı ortadan kaldırmak için geliştirilen yöntemlerden birisi de Seçmeli Harmonik Bastırmalı DGM (SHB-DGM) yöntemidir.

2.2. Seçmeli Harmonik Bastırmalı DGM (SHB-DGM)

Seçmeli Harmonik Bastırmalı DGM yöntemi, Patel tarafından 1974 yılında önerilen harmonik bastırma yöntemine dayanan temel anahtarlama frekans yöntemi olarak da adlandırılır [20,21]. Bu yöntemde bastırılacak harmonik dereceleri belirlenerek çıkış sinyalinin Fourier açılımı çözümlenir. Örnek olarak 11-seviyeli bir çıkış sinyalinin açılımı Denklem 5 ile ifade edilebilir.

$$V(wt) = \sum_{n=1,3,5,\dots}^{\infty} \frac{4V_{dc}}{n\pi} \cdot (\cos(n\theta_1) + \cos(n\theta_2) + \dots + \cos(n\theta_5)) \cdot \sin(nwt) \quad (5)$$

Denklem 5'te verilen ifadede, n terimi çok katlı invertörün çıkış geriliminde yer alan harmonik sırasıdır. Temel frekans anahtarlama sırasında seçilen 5., 7., 11. ve 13. harmoniklerin bastırılması için gerekli tetikleme açısı aşağıdaki denklemler ile hesaplanmaktadır.

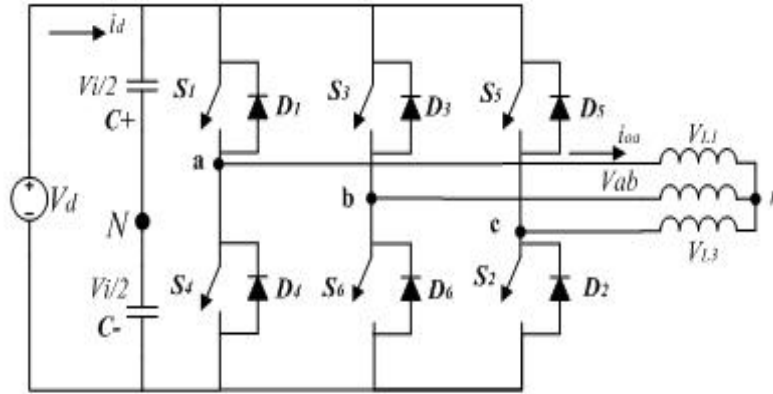
$$\begin{aligned} \cos(\theta_1) + \cos(\theta_2) + \cos(\theta_3) + \cos(\theta_4) + \cos(\theta_5) &= 5 \cdot m_a \\ \cos(5\theta_1) + \cos(5\theta_2) + \dots + \cos(5\theta_5) &= 0 \\ \cos(7\theta_1) + \cos(7\theta_2) + \dots + \cos(7\theta_5) &= 0 \\ \cos(11\theta_1) + \cos(11\theta_2) + \dots + \cos(11\theta_5) &= 0 \\ \cos(13\theta_1) + \cos(13\theta_2) + \dots + \cos(13\theta_5) &= 0 \end{aligned} \quad (6)$$

Bu denklemde $\theta_1, \theta_2, \dots, \theta_5$ seçilen harmonikler için THD değerinin minimum yapacak olan anahtarlama açılarıdır. Bu denklemde verilen ifadeler doğrusal olmadığından Newton-Raphson iterasyonu ile çözümlenir. Örneğin modülasyon indeksinin 0.8 olması istenirse anahtarlama açıları; $\theta_1 = 6.57^\circ$, $\theta_2 = 18.94^\circ$, $\theta_3 = 27.18^\circ$, $\theta_4 = 45.14^\circ$ ve $\theta_5 = 62.24^\circ$ değerlerinde olacaktır. Uygulamada daha önceden hesaplanan bu anahtarlama açıları bir tabloya kaydedilir ve bir mikroişlemci ile bu tablodan okunarak kullanılır.

SHB-DGM yönteminin uygulamadaki en büyük eksikliği, temel frekans anahtarlamasında olduğu gibi anahtarlama açılarının hesaplanmasıdır. Newton iterasyonu Denklem 6'daki gibi bir eşitliği çözümleyebilir ancak başlangıç değerleri için tahminler/kabuller gerektirir ve çözüm garantili değildir. Bununla birlikte, DA kaynak sayısı veya anahtarlama açısı arttıkça denklemin çözülmesi zorlaşır [20-24].

2.3. Uzak Vektör DGM (UVDGM) Yöntemi

Üç fazlı bir eviricinin Şekil 5'te görüldüğü gibi n nötr noktasında yıldız bağlı bir yükü beslediğini kabul edelim.



Şekil 5. Üç fazlı bir yükü besleyen evirici devre örneği

Buna göre üç fazın gerilimleri Denklem 7'de görüldüğü gibi yazılabilir;

$$\begin{aligned} V_{a0} &= V_{an} + V_{n0} \\ V_{b0} &= V_{bn} + V_{n0} \\ V_{c0} &= V_{cn} + V_{n0} \end{aligned} \quad (7)$$

Dengeli bir yük için $v_{an} + v_{bn} + v_{cn} = 0$ eşitliğini kullanarak vektör dönüşümü için Denklem 8 elde edilir.

$$\begin{bmatrix} v_{an} \\ v_{bn} \\ v_{cn} \end{bmatrix} = \begin{bmatrix} 2/3 & -1/3 & -1/3 \\ -1/3 & 2/3 & -1/3 \\ -1/3 & -1/3 & 2/3 \end{bmatrix} \begin{bmatrix} v_{a0} \\ v_{b0} \\ v_{c0} \end{bmatrix} \quad (8)$$

Şekil 5'te görülen eviricinin, V_0, \dots, V_7 gerilim vektörlerinin uygulama zamanı olarak tanımlanan ve t_0, \dots, t_7 ile adlandırılan 8 ayrı anahtarlama durumu vardır. Bu anahtarlama durumları, uzay-vektör diyagramı üzerinde α - β eksenine ya da d-q eksenine ifade edilir [25-28]. Üç fazdan iki eksenli gösterime geçmek için gerekli olan dönüşüm Denklem 7 ve 8 kullanılarak aşağıdaki gibi hesaplanır;

$$\begin{bmatrix} v_q \\ v_d \end{bmatrix} = \begin{bmatrix} \frac{2}{3} & -\frac{1}{3} & -\frac{1}{3} \\ 0 & -\frac{1}{\sqrt{3}} & \frac{1}{\sqrt{3}} \end{bmatrix} \begin{bmatrix} v_{a0} \\ v_{b0} \\ v_{c0} \end{bmatrix} \quad (9)$$

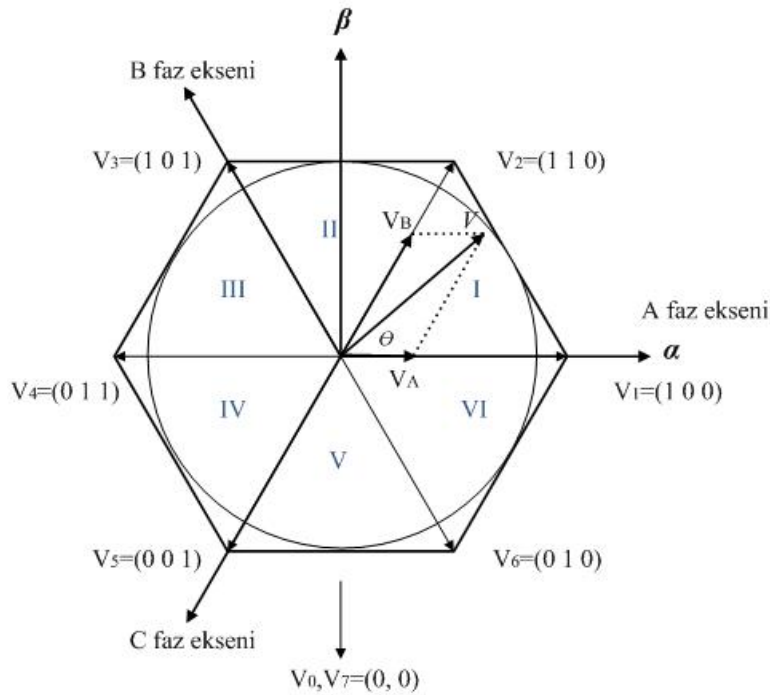
Elde edilen d-q dönüşümü kullanılarak eviricinin 8 anahtarlama durumuna karşılık gelen V_0, \dots, V_7 gerilim vektörleri oluşturulur. Vektör diyagramında görülen anahtarlama durumlarından 1.'si ele alınacak olursa; $(S_A, S_B, S_C) = (1 \ 0 \ 0)$

durumunda faz voltaj vektörlerinin değeri $(v_{a0}, v_{b0}, v_{c0}) = (V_d, 0, 0)$ şeklinde olacaktır. UVDGM yöntemi ile çıkışta AA dalga şeklinin elde edilmesi için belirlenen bu uzay vektör diyagramında 1. sektörde yer alan V referans vektörünün oluşturulan uzay içerisinde dönmesi gerekmektedir. Şekil 6'da görülen durum için, eviricinin V_A ve V_B değerlerinden elde edilen bir görev periyodu ile V_1 'den V_2 'ye anahtarlandığı durumda yüke aktarılan referans gerilim vektörü V_S 'nin değeri,

$$V_S = V_A + V_B = V_1 \frac{T_1}{T} + V_2 \frac{T_2}{T} \quad (10)$$

ile elde edilir.

Burada T_1 ve T_2 gerilimler için yerleşme süresi ve T de örnekleme periyodudur. Birinci sektörden 2. sektöre geçiş için gerekli olan bu yerleşme sürelerinin, dönüş açısı olan θ 'nın bütün sektör aralıklarına göre hesaplanması gerekmektedir.



Şekil 6: Uzay vektör diyagramı

Bunun için Denklem 11-13 kullanılarak elde edilen değerler Çizelge 1'de gösterilmiştir [11,15,25-29]. Çizelgeden de görüldüğü gibi; T_1 ve T_2 zaman aralıkları, v_d ve v_q gerilimlerinin, T örnekleme süresinin ve V_{dc} giriş gerilimini bir fonksiyonu olarak hesaplanmaktadır. Bu hesaplama işlemlerinin, literatürdeki çalışmalarda önceden belirlenip bir EPROM üzerinden okutulmasına rağmen, Sİİ kullanarak dinamik olarak hesaplanması için algoritmalar geliştirilmektedir.

$$\begin{bmatrix} v_q \\ v_d \end{bmatrix} T = \frac{2}{3} V_d \left(T_1 \begin{bmatrix} 1 \\ 0 \end{bmatrix} + T_2 \begin{bmatrix} \frac{1}{2} \\ -\frac{\sqrt{3}}{2} \end{bmatrix} \right) \quad (11)$$

$$T_1 = \frac{\sqrt{3}T}{V_{dc}} \left(\frac{\sqrt{3}}{2}v_q + \frac{1}{2}v_d \right)$$

$$T_2 = -\frac{\sqrt{3}T}{V_{dc}}v_d \quad (12-13)$$

Eviriciye bağlı yükün değişen değerlerine göre yerleşme sürelerinin işlemci tarafından hesaplanması ve bu işlemin mümkün olan en kısa sürede gerçekleştirilmesi için yapılan çalışmalar UVDGM yönteminin etkinliğini arttırmaktadır.

Çizelge 1: Her bir sektör için yerleşme süreleri

Sektör	T_1	T_2
I $0^\circ \leq \theta < 60^\circ$	$\frac{\sqrt{3}T}{V_{dc}} \left(\frac{\sqrt{3}}{2}v_q + \frac{1}{2}v_d \right)$	$-\frac{\sqrt{3}T}{V_{dc}}v_d$
II $60^\circ \leq \theta < 120^\circ$	$\frac{\sqrt{3}T}{V_{dc}} \left(\frac{\sqrt{3}}{2}v_q - \frac{1}{2}v_d \right)$	$\frac{\sqrt{3}T}{V_{dc}} \left(-\frac{\sqrt{3}}{2}v_q - \frac{1}{2}v_d \right)$
III $120^\circ \leq \theta < 180^\circ$	$-\frac{\sqrt{3}T}{V_{dc}}v_d$	$\frac{\sqrt{3}T}{V_{dc}} \left(-\frac{\sqrt{3}}{2}v_q + \frac{1}{2}v_d \right)$
IV $180^\circ \leq \theta < 240^\circ$	$\frac{\sqrt{3}T}{V_{dc}} \left(-\frac{\sqrt{3}}{2}v_q - \frac{1}{2}v_d \right)$	$\frac{\sqrt{3}T}{V_{dc}}v_d$
V $240^\circ \leq \theta < 300^\circ$	$\frac{\sqrt{3}T}{V_{dc}} \left(-\frac{\sqrt{3}}{2}v_q + \frac{1}{2}v_d \right)$	$\frac{\sqrt{3}T}{V_{dc}} \left(\frac{\sqrt{3}}{2}v_q + \frac{1}{2}v_d \right)$
VI $300^\circ \leq \theta < 360^\circ$	$\frac{\sqrt{3}T}{V_{dc}}v_d$	$\frac{\sqrt{3}T}{V_{dc}} \left(\frac{\sqrt{3}}{2}v_q - \frac{1}{2}v_d \right)$

3. Sonuçlar

Bu çalışmada, son yıllarda üzerinde yoğun araştırmalar yapılan çok seviyeli eviricilerin kontrolünde kullanılan yöntemler karşılaştırılmıştır. Evirici topolojilerinde en az anahtarlama elemanı ile en verimli sonuç elde edilmeye çalışılsa da, anahtarlama kullanılan kontrol yöntemi de en az topoloji kadar etkilidir. Eviricilerin kontrolü için yaygın olarak kullanılan darbe genişlik modülasyonunun bir çok türevi mevcuttur. Bu yöntemlerden birisi olan SDGM, klasik DGM işaretlerine göre daha esnek olarak üretilmesin rağmen modülasyon ve harmonik bileşenleri konusunda tek başına yeterli olmamaktadır. SDGM'nin sayısal olarak üretilebilir olması ve tasarımda ciddi matematiksel hesaplara gereksinim duyulmaması bir avantaj olarak görülmektedir. Buna rağmen aşırı modülasyon ve kare dalga çalışma alanlarında çıkış dalga şeklinde yöntemin harmonik bastırma özellikleri doğrusal tepkiler vermemektedir. Ayrıca, doğrusal çalışma alanında bu yöntemin maksimum verimi girişin %86'sı ile sınırlıdır.

SDGM'nin harmonik bastırmadaki sınırlılıklarını gidermek üzere geliştirilen SHB-DGM yöntemi ise gereken matematiksel iterasyonlar için başlangıç değerlerinin tahmin edilememesinden dolayı uygulamada yeterli çözümü sağlamamaktadır. Bu iki yöntemin dışında birçok DGM yöntemleri geliştirmiştir, ancak bunların içerisinde UVDGM en etkili yöntem olarak göze çarpmaktadır. UVDGM yöntemi, vektör eksenlerine dayanmakta ve referans gerilimin

bu sektörlerde dönüşü ile çıkış gerilimini elde etmektedir. UVDGM ile ilgili çalışmalarda, yerleşme sürelerinin önceden hesaplanıp bir EPROM üzerindeki bakış tablosundan (look-up table) işlemciye aktarıldığı uygulamalar yaygındır. Önceden belirlenmiş olan bu değerler, değişen yük gereksinimlerinde geçerliliğini yitirmektedir. Vektör ve yerleşme sürelerinin bir EPROM üzerinden okutulması yerine, bir Sİİ üzerinde çalıştırılacak hesaplama algoritması tasarlanacak sistemin kararlılığını ve verimini arttıracaktır.

4. Kaynaklar

- [1] A. Nabae, I. Takashi, ve H. Akagi, "A New Neutral-Point Clamped PWM Inverter", *IEEE Trans. on Ind Appl.*, Vol 17, No. 5, pp. 518-523, 1981
- [2] J.Rodriguez, , S. Lai, ve F.Z. Peng, , "Multilevel Inverters: A survey of topologies, control and applications", *IEEE Trans. on Power. El.*, Vol 49, No. 4, pp. 724-738, 2002
- [3] M.H. Rashid, *Power Electronics Handbook*. Florida USA: Academic Press, 2001
- [4] Mohan, N., *Power Electronics-Converters, Application and Design*. New York: John Wiley&Sons Inc., 1995
- [5] A.R. Beig, G. Narayanan ve V.T. Ranganathan, "Modified SVPWM Algorithm fot Three Level VSI with Synchronised and Symmetrical Waveforms", *IEEE Trans. On Ind. El.*, Vol 54, No. 1, pp. 486-493, 2007
- [6] D. Soto ve T.C. Green,"A Comparison of High-Power Converter Topologies for Implementation of FACTS Controllers", *IEEE Trans. on Ind. El.*, Vol 49, No. 5, pp. 1072-1080, 2002
- [7] A.K. Gupta ve A.M. Khambadkone, "A Space Vector PWM Scheme for Multilevel Inverters Based on Two Level Space Vector PWM", *IEEE Trans. on Ind. Electronics*, Vol 53 No. 5, pp 1631-1639, 2006
- [8] H. Hu, W. Yao ve Z. Lu, "Design and Implementation of Three-Level SVPWM IP Core for FPGAs", *IEEE Trans. on Power. El.*, Vol 22, No.6, pp. 2234-2244, 2007
- [9] S. Nandhakumar ve S. Jeevananthan, "Inverted Sine Carrier Pulse Width Modulation For Fundamental Fortification In DC-AC Converters", *IEEE Power Electronics and Drive- Systems*, 2007, pp. 1028-1034
- [10] Z. Pa ve F.Z. Peg,"A Novel SPWM Method with Voltage Balancing Capability for Multilevel Rectifier and Inverter Systems", *IEEE*, 2007, pp.1109-1115
- [11] S. Lakshminarayanan, K. Gopakumar, G. Mondal ve N.S. Dinesh, "Eighteen-sided Polygonal Voltage Space-Vector Based PWM Control for an IM drive", *IEEE Electr. Power Appl.*, Vol.2, No.1, pp. 56-63, 2008
- [12] S. Belbaz, M. Kadjoudj, ve N. Golea, "Analysis of the Discontinuous PWM Strategies Applied to the VSI", *IEEE Intl. Symp.ISCIII.*, 2007, 131-136
- [13] Y.M. Chen, C.H. Hsieh, ve Y.M.Cheng,"Modified SPWM Control Schemes for Three-Phase Invertes", *IEEE Power Electronics and Drive- Systems*, 2001, pp 651-656
- [14] C.B. Jacobina, A.M.N. Lima ve diğerleri, "Digital Scalar PWM: A Simple Approach to Introduce Non-Sinusoidal Modulating Waveforms", *IEEE Trans. on Power Electr.*, Vol. 16, No. 3, pp. 351-359, 2001
- [15] R.S. Kanchan, K. Gopakumar, ve R. Kennel, "Synchronised Carrier-Based SVPWM Signal Generation Scheme fort he Entire Modulation Range Extending up to Six-Step Mode Using the Sampled Amplitudes of Reference Phase Voltages", *IEEE Elec. Power App.*, Vol.1, No.3, pp.407-415, 2007
- [16] P.C. Loh, D.G. Holmes, ve T. Lipo, 2Implementation and Control of Distributed PWM Cascaded Multi-level Inverters with Minimal Harmonic Distortion and Common Mode Voltage", *IEEE Trans. on Power Electr.*, Vol. 20, No. 1, pp. 90-99, 2005
- [17] W. Lin,"A New Approach to the Harmonic Analysis of SPWM Waves", *IEEE Intl. Conf. on Mechatronics and Automation*, 2006, pp. 390-394
- [18] S.A. Saleh, ve M. Rahman, "Discrete Time-Based Model of the SPWM Technique", *IEEE 31st Annual Confç of Inds.Elect. Soc.*,2005,pp. 1082-1087
- [19] C. Zheng, B. Zhang, ve D. Qui,"Digital Natural Sampling SPWM based on Inverse Operator Method", *IEEE Power Elec. Spec. Conf*, 2007, pp. 792-797
- [20] H. S. Patel ve R. G. Hoft, "Generalized Harmonic Elimination and Voltage Control in Thyristor Converters: Part I – harmonic elimination," *IEEE Trans. on Ind. Applications*, Vol. 9, pp. 310-317, 1973
- [21] T.H. Abdelhamid ve K.M. El-Naggar," Optimal PWM Control of a New Generalized Family of Multilevel Inverters", *Taylor & Francis Electric Power Components and Systems*, Vol. 36 No.1, 73–92, 2008
- [22] Li, L., Czarkowski, D., Liu, Y.,ve Pillay, P,"Multilevel Selective Harmonic Elimination PWM in Series Connected Voltage Inverters", *IEEE Trans. on Ind. Appl.*, Vol 36, No.1, pp. 160-170, 2000
- [23] S. Khomfoi ve L. Tolbert, *Power Electronics Handbook 2nd Ed.*. Florida, USA: Academic Press, , 2007, bölüm 17
- [24] Z. Du ve L.M. Tolbert, "Reduced Switching Frequency Computed PWM Method for Multilevel Converter Control", *IEEE Transactions on Power Electronics*, pp. 2560-2564, 2005

- [25] M.F Tsai, ve H.C. Chen, “Design and Implementation of a CPLD-Based SVPWM ASIC for Variable Speed Control of AC Motor Drives”, *IEEE Power Electronics and Drive- Systems*, 2001, pp 322-328
- [26] X.N. Xiao, J. Xu., L. Hao, ve L. Hui, ”Study on SVPWM Algorithm of n-level Inverter in the Context of Non-Orthogonal Coordinates”, *Elec.Electron. Eng. China*, Vol.2, pp. 199-204, 2006
- [27] X. Wen ve X. Yin, “The SVPWM Fast Algorithm for Three-Phase Inverters”, *The 8th IEEE Intl. Power Eng. Conf.*, 2007, pp. 1043-1047
- [28] A.K Gupta, ve A.M. Khambadkone, “A Space Vector PWM Scheme for Multilevel Inverters Based on Two Level Space Vector PWM”, *IEEE Trans. on Ind. Electronics*, Vol 53 No. 5, pp 1631-1639, 2006
- [29] R.S.Kanchan, M.R. Baiju, K. Mohapatra, , P. Ouseph ve K. Gopakumar, “Space-vector PWM Signal Generation for Multilevel Inverters Using only the Sampled Amplitudes of Reference Phase Voltage”, *IEE Elec. Power Appl.*, Vol. 152 No. 2, pp. 297-309, 2005