

# Katsayı Diyagramı Yöntemi Kullanarak Zaman Gecikmeli Stabil Olmayan Sistemlerde PID Kontrolör Tasarımı

Mehmet ÇINAR<sup>1, a, ✉</sup>

<sup>1</sup>Bitlis Eren Üniversitesi, Tatvan Meslek Yüksekokulu, Elektronik ve Otomasyon Bölümü, Bitlis, Türkiye  
<sup>a</sup>ORCID: 0000-0002-1542-9120

✉ Sorumlu yazar: [mcinar@beu.edu.tr](mailto:mcinar@beu.edu.tr)

**Özet:** Bu çalışmanın amacı, birinci dereceden kararsız transfer fonksiyonuna sahip zaman gecikmeli sistemlerin kontrolünde daha iyi performansa sahip PID kontrol sistemleri tasarlamak için Katsayı Diyagramı Metodundan (CDM) faydalanmaktır. CDM ile tasarlanan PID denetleyici ve standart PID denetleyiciler tasarlanmış ve sonuçlar karşılaştırılmıştır. CDM ile tasarlanan PID denetleyici, en kısa yerleşme süresini ve parametrelerdeki değişikliklere karşı en sağlam davranışı sağlayarak klasik PID denetleyiciye göre avantajlara sahiptir.

**Anahtar sözcükler:** Katsayı diyagramı yöntemi, Zaman gecikmesi, Kararsız sistemler

## PID Controller Design in Time-Delay Unstable Systems Using the Coefficient Diagram Method

**Abstract:** The aim of this study is to use the Coefficient Diagram Method (CDM) to design PID control systems with better performance in controlling time delay systems with first order unstable transfer function. PID controller and standard PID controllers designed with CDM were designed and the results were compared. The PID controller designed with CDM has advantages over conventional PID controller by providing the shortest settling time and the most robust behaviour against changes in parameters.

**Keywords:** Coefficient diagram method, Time delay, Unstable systems

### 1. Giriş

Pratikte birçok sistemin yapımında zaman gecikmeleri yaşanmaktadır. Ölü zaman olarak da bilinen bu gecikme, sistem çıkışlarının girişte tekrar kullanılmaması veya giriş-çıkış sinyallerinin senkron olarak ölçülememesinden kaynaklandığı için sistemin kendisinden kaynaklanmaktadır ve bu sistemin kararlılığı ve geçici özellikleri üzerinde zararlı bir etkiye neden olur (Gorecki v.d., 1989). Kontrol teorisindeki son gelişmelere rağmen, PID kontrolörleri endüstriyel zaman geciktirme sistemlerini kontrol etmek için hala kullanılmaktadır (Majhi ve Atherton, 1999). Bunun en önemli nedeni, yapının basit olması ve birçok sistemi kontrol etmede genellikle başarılı olmasıdır (Tan v.d., 1998). Ayrıca geniş bir çalışma alanı için pratiklik ve dayanıklılığa sahip olmak önemlidir (Astrom ve Hagglund, 1984). Kararsız sistemlerin kontrolü ile ilgili literatürde çeşitli çalışmalar bulunmaktadır. Morari ve Zafiriou (1989) yaptıkları bir çalışmada dahili model kontrol yapısını kullanarak PID parametrelerini hesaplamak için formüller üretmiştir. Park v.d. (1998) yaptıkları bir çalışmada PID-P yapısını önerdi ve Poulin v.d. (1996) uyarlanabilir özellik olarak PID denetleyici yapısını kullandı.

Bu çalışmada kararsız sistemlerin kontrolünde karşılaşılan sorunlara karşı daha iyi sonuçlar elde etmek için Katsayı Diyagramı Yöntemi kullanılacaktır. CDM, lineer ve zamanla değişmeyen tek girişli tek çıkışlı sistemlerin kontrolü için 1991 yılında Shunji Manabe tarafından geliştirilmiştir (Manabe, 1991). Bu çalışma, CDM'nin, kontrol sistemi mimarisinin doğası ve kullandığı standart formun avantajları nedeniyle, zaman gecikmeli kararsız sistemlerin PID kontrolü için önemli bir araç olduğunu göstermektedir. Yöntemin en önemli özellikleri, sistem ve kontrolör için bir polinom gösteriminin kullanılması, iki serbestlik dereceli bir kontrol sistemi yapısının kullanılması, kapalı döngü sisteminin

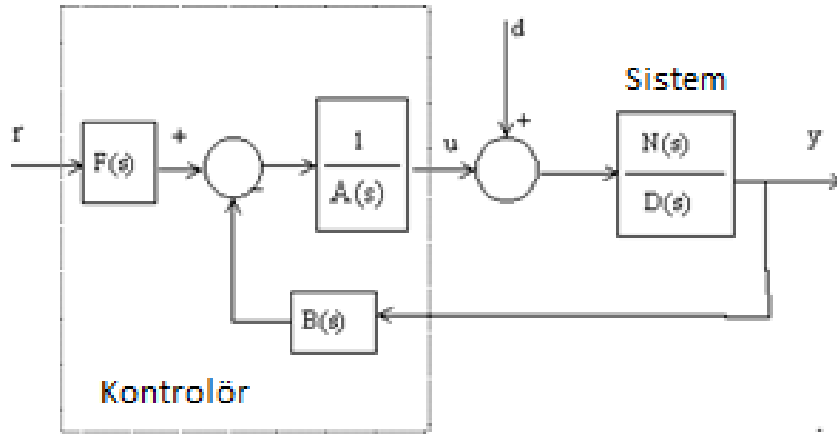
birim adım tepkisinin genellikle aşırı yüklenmemesidir. Başlangıçta istenilen çökme zamanı belirlenir ve tasarlanır. Böylece kontrol sistemi sahada meydana gelebilecek değişikliklere karşı sağlam bir yapıya kavuşur (Manabe, 1998).

## 2. Katsayı Diyagramı Yöntemi

Bu çalışmada kararsız sistemlerin kontrolünde karşılaşılan sorunlara karşı daha iyi sonuçlar elde etmek için Katsayı Diyagramı Yöntemi kullanılacaktır. CDM, lineer ve zamanla değişmeyen tek girişli tek çıkışlı sistemlerin kontrolü için 1991 yılında Shunji Manabe tarafından geliştirilmiştir (Manabe, 1991). Bu çalışma, CDM'nin, kontrol sistemi mimarisinin doğası ve kullandığı standart form nedeniyle, zaman gecikmeli kararsız sistemlerin PID kontrolü için önemli bir araç olduğunu göstermektedir. Yöntemin en önemli özellikleri, sistem ve kontrolör için bir polinom gösteriminin kullanılması, iki serbestlik dereceli bir kontrol sistemi yapısının kullanılması, kapalı döngü sisteminin birim adım tepkisinin genellikle aşırı yüklenmemesidir. Başlangıçta istenilen çökme zamanı belirlenir ve tasarlanır ve kontrol sistemi sahada meydana gelebilecek değişikliklere karşı sağlamdır (Manabe, 1998).

### 2.1. Katsayı diyagramı yöntemi kontrol sistemi yapısı

Tek girişli tek çıkışlı bir sistem için CDM blok şeması Şekil 1'de gösterilmektedir.  $r$ , referans girişi,  $y$  çıkışı,  $u$  kontrol sinyali ve  $d$ , sistemi etkileyen bozucu sinyaldir.  $N(s)$ , transfer fonksiyonu için polinomdur ve  $D(s)$ , payda için polinomdur.  $A(s)$  payda polinomu,  $F(s)$  referans kesir polinomu ve  $B(s)$  geri besleme kesir polinomu kontrolör transfer fonksiyonu için verilmiştir. Bu yapıda, kararsız sıfır kutuplu silmeler ortadan kaldırılır ve pratikte daha az entegratör elemanı kullanılır.



Şekil 1. Katsayı Diyagramı Yönteminin blok şeması

Kapalı döngü sistem çıktı bildirimi:

$$y = \frac{N(s)F(s)}{P(s)} r + \frac{A(s)N(s)}{P(s)} d \quad (1)$$

$P(s)$  karakteristik polinomu aşağıdaki gibi ifade edilir:

$$P(s) = D(s)A(s) + N(s)B(s) = \sum_{i=0}^n a_i s^i \quad (2)$$

Denklem (2)'deki  $A(s)$  ve  $B(s)$  polinomları denklem 3 teki gibi ifade edilir:

$$A(s) = \sum_{i=0}^p l_i s^i, \quad B(s) = \sum_{i=0}^q k_i s^i \quad (3)$$

$N(s)$  polinomunun rankı  $m$  ve  $D(s)$  polinomunun rankı  $n$  ise  $m \leq n$  olmalıdır. Katsayı Diyagramı Yönteminde, tasarım parametreleri  $\tau$ , kararlılık indeksi  $\gamma_i$  ve kararlılık sınırı indeksi  $\gamma_i'$  karakteristik polinom katsayıları denklem 4'teki gibidir:

$$\gamma_i = \frac{a_i^2}{a_{i+1}a_{i-1}}, \quad \tau = \frac{a_1}{a_0}, \quad \gamma_i' = \frac{1}{\gamma_{i-1}} + \frac{1}{\gamma_{i+1}} \quad (4)$$

Katsayı diyagramı yöntemindeki karakteristik polinom için aşağıdaki kararlılık indeksleri kullanılır.

$$\gamma_1 = 2,5 \quad \gamma_i = 2 \quad i=2 \sim (n-1), \quad \gamma_0 = \gamma_1 = \infty \quad (5)$$

Katsayı diyagramı yönteminin en önemli özellikleri şunlardır:

- Kapalı döngü sisteminin birim adım işlevi yanıtı için yerleşme süresi, diğer yöntemlerden daha küçük olan  $2.5 \tau$  civarındadır.
- Tasarlanan kontrol sisteminin adım işlevi yanıtı belirsizdir.
- Aynı  $\tau$  ve sıfır dereceli polinom için, standart yapının birim adım yanıtı karakteristik polinom düzeninden bağımsızdır ve aynı kalır.
- Katsayı Diyagramı Yöntemi ile tasarlanan kontrolörün kazanç ve faz sınırları istenilen optimum değerlerde elde edilir.

### 3. Tasarım Aşamaları

Literatürde yaygın olarak kullanılan birinci dereceden kararsız zaman gecikmeli sistemler aşağıdaki gibi gösterilmektedir:

$$G(s) = \frac{K}{Ts-1} e^{-\theta s} \quad (6)$$

Sistemin yapısından görülebileceği gibi, sağ yarım düzlemdeki kutba yanıt olarak sistemin açık döngü birim adım fonksiyonu sınırsızdır. Denklem (6) 'de verilen kararsız sistemler için katsayı diyagramı yöntemi ile PID kontrolü için genel ve sistematik bir tasarım prosedürü aşağıdaki şekilde verilebilir:

#### 3.1. Tasarım Başlamadan Önce Belirtilen Bilgiler

##### 3.1.1. Zaman gecikmesi için yaklaşık eşdeğer kullanım

$e^{-\theta s}$  zaman gecikmesi ifadesi aşağıdaki Denklem 7'deki gibidir:

$$e^{-\theta s} \approx \frac{-\frac{\theta}{2}s + 1}{\frac{\theta}{2}s + 1} \quad (7)$$

Sistem yapısı olarak ifade edilen Denklem 6' nın Pade Yaklaşımı aşağıdaki gibi elde edilir.

$$G(s) = \frac{\frac{-K\theta}{2}s + K}{\frac{T\theta}{2}s^2 + \left(T - \frac{\theta}{2}\right)s - 1} \quad (8)$$

Doğrusal zamanla değişmeyen eşdeğer denklem elde edilir.

### 3.1.2. $A(s)$ , $B(s)$ ve $F(s)$ kontrolör polinomlarının seçimi

$$G(s) = \frac{n_1s + n_0}{d_2s^2 + d_1s + d_0} = \frac{N(s)}{D(s)} \quad (9)$$

Denklem (9) 'daki katsayılar aşağıdaki gibidir:

$$d_2 = \frac{T\theta}{2}, \quad d_1 = T - \frac{\theta}{2}, \quad d_0 = -1, \quad n_1 = -\frac{K\theta}{2}, \quad n_0 = K \quad (10)$$

$$N(s) = n_1s + n_0, \quad D(s) = d_2s^2 + d_1s + d_0, \quad A(s) = l_1s, \quad B(s) = k_2s^2 + k_1s + k_0 \quad (11)$$

$$P_{hedef}(s) = A(s)D(s) + N(s)B(s) \quad (12)$$

$$P_{hedef}(s) = l_1s.(d_2s^2 + d_1s + d_0) + (n_1s + n_0).(k_2s^2 + k_1s + k_0) \quad (13)$$

$$C(s) = K_p \left( 1 + \frac{1}{T_i s} + T_d s \right) \quad (14)$$

### 3.1.3. Eşdeğer zaman sabiti ve kararlılık indeksinin tasarım için anahtar parametreler olarak seçilmesi

Sistem n.inci dereceden olursa, hedef polinom aşağıdaki gibi seçilir.

$$P_{hedef} = \frac{\tau^n s^n}{\gamma_1^{n-1} \gamma_2^{n-2} \dots \gamma_{n-1}^1} + \frac{\tau^{n-1} s^{n-1}}{\gamma_1^{n-2} \gamma_2^{n-3} \dots \gamma_{n-1}^1} + \dots + \frac{\tau^3 s^3}{\gamma_1^2 \gamma_2} + \frac{\tau^2 s^2}{\gamma_1} + \tau s + 1 \quad (15)$$

Hesaplamalar yapıldığında  $\gamma_1 = 2,5$ ,  $\gamma_{2,3,\dots,n-1} = 2$  alınır. Katsayı diyagramı yöntemi ile tasarım yapılırken  $t$  (yerleşme süresi) =  $(2,5 \sim 3) \tau$  alınır.

### 3.2. Tasarım sırasında karakteristik polinom ve denetleyici polinom katsayılarının hesaplanması

$$l_1 d_2 + n_1 k_2 = \frac{\tau^3}{\gamma_1^2 \gamma_2}, \quad \theta = \frac{2\tau^3}{\gamma_1^2 \gamma_2 (l_1 T - k_2 K)} \quad (16)$$

$$l_1 d_1 + n_1 k_1 + n_0 k_2 = \frac{\tau^2}{\gamma_1}, \quad l_1 d_0 + n_1 k_0 + n_0 k_1 = \tau, \quad n_0 k_0 = 1 \quad (17)$$

Denklemler elde edilir. Katsayı diyagramı yönteminde transfer fonksiyonunun katsayıları PID kontrolör katsayılarına eşitlenir ve aşağıdaki denklemler elde edilir.

$$C(s) = \frac{B(s)}{A(s)} \quad (18)$$

$$\frac{k_2 s^2}{l_1 s} + \frac{k_1 s}{l_1 s} + \frac{k_0}{l_1 s} = K_p + \frac{K_p}{T_i s} + K_p T_d s \quad (19)$$

$$K_p = \frac{k_1}{l_1}, T_d = \frac{k_2}{k_1}, T_i = \frac{k_1}{k_0} \quad (20)$$

### 3.3. Tasarım sonrası kontrol işlemleri

Katsayı diyagramı yöntemi ile tasarım yapılırken, hedef polinom katsayıları hesaplanarak  $N(s)$  ve  $D(s)$  polinomları elde edilir. Sistemin grafiği bu iki polinom yardımıyla çizilir. Verilen tasarım sürecinin verimliliğini göstermek için, aşağıdaki bölümde bir tasarım uygulaması gerçekleştirilecektir.

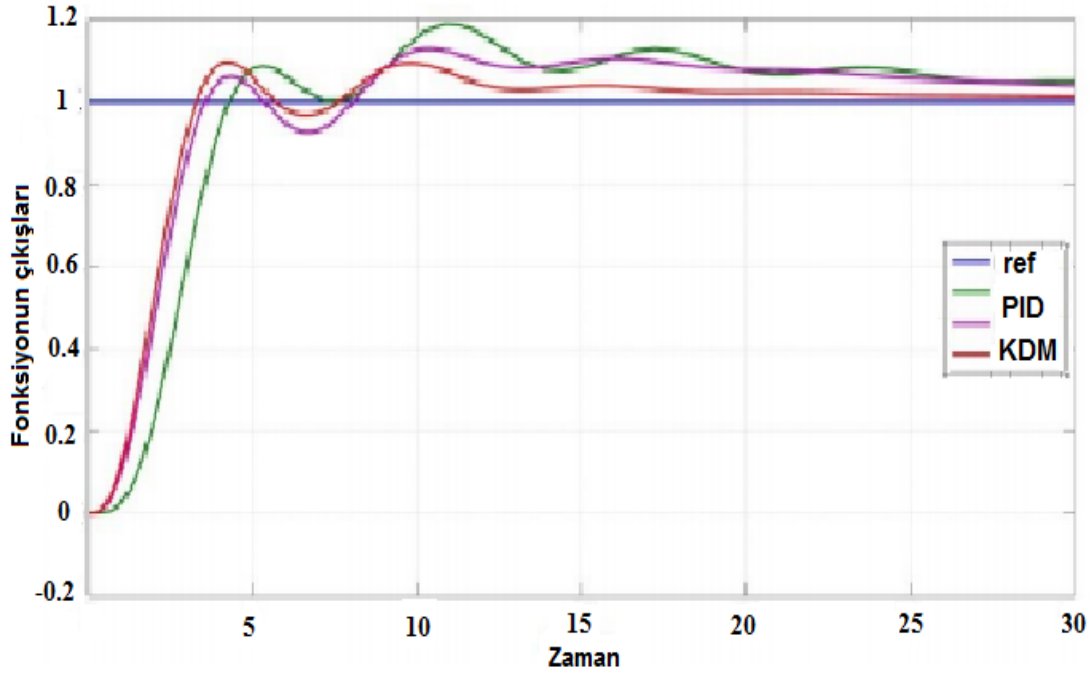
### 4. Tasarım Uygulaması

Birinci dereceden gecikme süresi sisteminin transfer fonksiyonu Denklem 21'de verilmiştir.

$$G(s) = \frac{e^{-1,2s}}{(1,5s - 1)} \quad (21)$$

Sisteme adım fonksiyonu olarak  $t = 40$  s ve genliği 0,1 olan bir bozulma sinyali uygulanır. Buna göre, zaman yanıt özellikleri dikkate alınarak sistemin en iyi şekilde kontrol edilmesi amaçlanmaktadır.

Bu sistem daha önce Park v.d. (1998) tarafından önerilen PID-P kontrol sistemi tarafından kontrol edildiğinde, PID-P kontrolör parametreleri  $K_p = 0.0672$ ,  $T_i = 1.4016$ ,  $K_f = 1.118$  ve  $T_d = 4.8001$  olarak belirlenir. Burada, bu yöntemle elde edilen kontrol sistemi performansı dikkate alınarak, katsayı diyagramı yöntemi tabanlı bir PID kontrolör tasarlanacak ve bu tasarımın sonucu, kontrol sisteminin performansının türetildiği iki kontrol sisteminin performansı ile karşılaştırılacaktır. Katsayı diyagramı yöntemi tasarım prosedürü, yukarıda verilen iki kontrolörün zaman yanıt karakteristikleri (özellikle yerleşim süresi ve kontrol sinyalinin genliği) dikkate alınarak aşağıdaki şekilde uygulanmıştır. Kontrol sisteminin birim adım fonksiyonuna cevabı Şekil (2)'de iki farklı yöntemle tasarlanan kontrol sisteminin zaman cevapları ile verilmiştir.



Şekil 2. Birim Adım Cevabı

## 5. Sonuç

Kontrolörün ve iki ayrı yöntem için elde edilen kapalı döngü sisteminin zaman yanıtlarına bakıldığında, Katsayı Diyagramı Yöntemi tabanlı PID kontrol sisteminin geleneksel PID kontrol sistemine göre daha kısa sürede stabil hale geldiği görülmektedir. Katsayı diyagramı yöntemi, sistemin diğer yöntemlere göre daha kısa sürede kararlı hale gelmesini sağlayarak kararlı bir çözüm üretir.

## Kaynaklar

Astrom, KJ., ve Haggund, T. (1984). Automatic tuning of simple regulators with specificatins on phase and amplitude margins. *Automatica*, 20(5),645–651.

Gorecki, H., Fuksa, S., Grabowski, P., ve Korytowski, A. (1989). Analysis and Synthesis of Time Delay Systems. John Wiley, NY.

Majhi ,S., ve Atherton,DP.(1998). Autotuning and controller design for processes with small time delays. *IEE Proc.-Control Theory Appl*, 146(5), 415-425.

Manabe, S. (1991). Unified interpretation of classical, optimal and  $H_\infty$  control. *Journal of SICE*, 30(10), 941-946.

Manabe, S. (1998). Coefficient Diagram Method. 14<sup>th</sup> IFAC Symposium on Automatic Control in Aerospace, Seoul.

Morari, M., ve Zafiriou, E.(1989). Robust Process Control, Prentice Hall, Englewood, NJ.

Park, JH., Sung, SW., ve Lee, I. (1998). An enhanced PID control strategy for unstable proceses. *Automatica*, 34(6), 751-756.

Poulin, E., Pomerleau, A., Desbiens, A., ve Hodouin, D. (1996). Development and evaluation of an auto-tuning and adaptive PID controller. *Automatica*, 32, 71-82.

Tan, W., Liu, J., ve Tam, P.K.S. (1998). PID tuning based on loop-shaping H-inf control. *IEE Proc.-Control Theory Appl*, 145(6), 485-490.