

YARI İLETKEN YONGA PLAKASI HARİTALARINDAKİ KUSUR SINIFLANDIRMALARI İÇİN DERİN ÖĞRENME TEMELLİ BİR KARAR DESTEK YÖNTEMİNİN GELİŞTİRİLMESİ

Gökhan ERGEN *^{ID}
Ekrem DÜVEN **^{ID}

Alınma:16.04.2023; düzeltme:21.09.2023; kabul: 05.12.2023

Öz: Yarı iletken devre elemanı üretim teknolojilerinde gerçekleşen gelişimler, bu elemanların üzerinde yer aldığı yonga plakası üretim süreçlerini daha karmaşık ve hassas hale getirmektedir. Üretim ile ilişkili çevresel koşullar, malzeme kalitesi gibi çeşitli faktörler, yonga plakası üzerinde kusursuz olarak nitelendirilebilecek alan miktarını yani verimi doğrudan etkilemektedir. Bir yarı iletken yonga plakası üzerindeki kusurlu alanların oluşturabileceği desenler standart olarak tanımlanmış durumdadır. İncelenen bir yonga plakası yüzeyindeki kusurların bu tanımlara göre sınıflandırılması, üretim süreçlerinde oluşan problemlerin kaynaklarının belirlenmesi için önemli bilgiler sağlayabilmektedir. Bu çalışmada, mevcut uygulamalarda her yarı iletken yonga levhası için insan operatörler tarafından yapılan kusur deseni sınıflandırma işlemini belirli bir güvenlik değerine kadar otomatik olarak gerçekleştiren ve böylece toplam işlem süresini azaltan bir karar destek yöntemi geliştirilmiştir. Bu yöntemde temel sınıflandırma işlemi için derin öğrenme metotlarıyla eğitilmiş bir ağ yapısı kullanılmaktadır. İstenilen güvenlik değerinin üzerinde bir doğrulukla sınıflandırılan yonga plakaları doğru sınıflandırılmış olarak kabul edilmekte, bu değer altında kalan yonga plakaları ise insan operatörün incelemesine tabi tutulmaktadır. Yöntemin kullanılması ile; ortalama büyüklükte bir yonga plakası üretim tesisi için geçerli günlük toplam inceleme süresi, tüm incelemenin insan operatör tarafından yapıldığı durumda geçerli sürenin %10'una indirilebilmekte, ayrıca insan operatörün yapabileceği öznel değerlendirmelerin de önüne geçilebilmektedir.

Anahtar Kelimeler: Yarı iletken yonga plakası kusur sınıflandırma, Derin öğrenme, Karar destek sistemi

Development of a Deep Learning Based Decision Support Method for Defect Classifications in Semiconductor Wafer Maps

Abstract: The developments in semiconductor circuit manufacturing technologies make the wafer production processes on which these structures are located more complex and sensitive. Various factors such as environmental conditions associated with manufacturing and material quality directly affect the wafer yield, that is, the amount of space on the wafer that can be considered perfect. Possible patterns showing defective areas on a semiconductor wafer are defined as standard. Classifying the defects on the wafer according to these definitions can provide important information to diagnose the causes of problems that occur in the manufacturing processes. In this study, a decision support method has been developed that automatically performs the wafer defect model classification process up to a certain security value. In this method, the basic classification process is performed by a network structure trained with deep learning methods. Wafers classified with an accuracy above the desired safety value are considered to be correctly classified, only the wafers below this value are subject to the inspection of the human operator. By using the method, the total daily inspection time for an average sized wafer manufacturing facility can be reduced to 10% of the time that would apply if the entire inspection was done by the human operator. In addition, subjective evaluations by the human operator can be avoided to a large extent.

Keywords: Semiconductor wafer defect classification, Deep learning, Decision support system

* Bursa Teknik Üniversitesi, Lisansüstü Eğitim Enstitüsü, Mekatronik Mühendisliği ABD, 16310, Bursa.

** Bursa Teknik Üniversitesi, Mühendislik ve Doğa Bilimleri Fakültesi, Mekatronik Müh. Bölümü, 16310, Bursa.

İletişim Yazarı: Ekrem DÜVEN (ekrem.duven@btu.edu.tr)

1. GİRİŞ

Çipler, içerdikleri entegre devre yapılarıyla, küçük ev aletlerinden otomotive, savunma sanayiinden bilişim teknolojilerine kadar hemen hemen tüm modern ürünler içerisinde kullanım alanı bulmaktadır. Politik, ekonomik veya (pandemi, ticaret savaşları, yangınlar, kuraklık ve kar fırtınaları gibi) diğer küresel sebeplerden ötürü çiplerin üretimlerinde yaşanan aksaklıklar büyük temin krizlerine yol açabilmektedir. Son örneği 2020 yılı başlarında yaşanan krizi aşabilmek için sektörde faaliyet gösteren 40'tan fazla şirket aylık silikon yonga plakası üretimini 2022'ye kadar kademeli olarak 750.000 adet arttırma kararı almıştır. Bu üretim artışının sürekliliği olursa 2024 yılı sonuna kadar yaklaşık yüzde 20'lik bir toplam artış gerçekleşmesi beklenmektedir (IEEE Spectrum, 2023). Ancak bu sorunu kapasite artışına giderek çözmeye çalışmak bir noktaya kadar etkili olabilecektir. Zira, mevcut durumda pazar talebinin yüksek seyretmesiyle birlikte, yarı iletken üretim tesislerinin kapasite kullanımı %80'in üzerinde ve bazıları %90-100'e ulaşmaktadır (SIA, 2021). Kapasiteyi arttırmak için yeni tesis kurmak ise zaman alıcı ve sürecin karmaşıklığına göre her biri 100 milyon dolara varan son derece pahalı makinelerin kullanımı nedeniyle (10 milyar dolara kadar) maliyetli olabilmektedir (Mönch ve diğ., 2018).

Küresel çip krizinde daha gerçekçi ve düşük maliyetli bir çözüm gerçekleştirmek için üretimin verimliliğini arttırmak alternatif bir seçenek oluşturmaktadır. Bunun için de yarı iletken üretim süreçlerinde verimliliğe etki eden sorunların temeline inmek gerekmektedir. Yarı iletkenlerin üretilmesi, boyutları ve hassasiyetleri gereği son derece zordur. Üretim süreçlerinde uzun döngü süreleri, çok fazla değişkenlik ve doğrusal olmayan unsurlar yer almaktadır (Sun ve Rose, 2015). Süreçte ortaya çıkarılan çipin karmaşıklığına bağlı olarak bir yarı iletken üretiminde 1.400'e kadar işlem adımı gerekebilmektedir (SIA, 2021). Üretimin bu çoklu adımlarının herhangi biri ya da birkaçında oluşan hatalar çiplerin üzerine işlendiği yonga plakası yüzeylerinde kusurların oluşmasına yol açmaktadır. Bu kusurların sayısı ve yonga plakası üzerindeki yerleri üretim verimliliği açısından doğrudan gözlenip değerlendirilmektedir. Bu analiz (yonga plakası kusur haritası analizi), kusurların hangi üretim parametresine bağlı olduğu ve nasıl iyileştirilebileceği çıkarımını belirlediğinden üretimi sürecinde çok kritik bir adımdır.

Sözü edilen kusur analiz/sınıflandırma süreci oldukça derin bir alan bilgisi ile yoğun bir veri incelemesi gerektirmektedir. Bu sebeple, analizi yapan uzman mühendisin alan bilgisi ve tecrübesi değerlendirme sonucunu ve süresini büyük ölçüde etkilemektedir. Çip üretim sektörünün en büyük üreticilerinden olan TSMC firması bir yılda yaklaşık olarak 12 milyon adet yarı iletken yonga plakası üretmekte ve bunların analizlerini gerçekleştirmektedir (TSMC, 2021). Ürün hassasiyeti ve kritikliği nedeniyle her bir yarı iletken yonga plakasının analizden geçmesi gerekmektedir. Toplam üretim rakamları göz önünde bulundurulduğunda bu seviyede bir veri analizinin teker teker manuel olarak yapılması bir insanın yetişebileceği kapasitenin çok üzerindedir. Bu nedenle insan operatörlere ilgili analizlerde destek olacak yardımcı sistemler geliştirilmesi gerekmektedir. Bu çalışmada, sözü edilen türde bir yardımcı sistem olarak geliştirilmiş ve bünyesinde derin öğrenme temelli bir sınıflandırıcıyı kullanan bir karar destek sisteminin yapısı ve işleyişi sunulmaktadır. Bu karar destek sistemi, çalışmasına temel bilgiyi oluşturan yarı iletken yonga plakası kusur haritası sınıflandırma işlemi için Ergen (2022) çalışmasında geliştirilmiş olan ağ yapısını kullanmaktadır. Söz konusu ağ, ilgili sektör tarafından kabul görmüş olan WM-811K veri seti kullanılarak eğitilmiştir. Ağın sınıflandırma performansı, geliştirilmiş olan karar destek sistemi için yeterli (ve benzer amaçla oluşturulmuş diğer ağlar ile karşılaştırılabilir) güvenlik seviyelerini (oranlarını) sağlamaktadır (Ergen, 2022). Bu noktadan sonra karar destek sistemi; önceden atanmış olan sınıflandırma güvenlik değerine göre hangi yonga plakalarının otomatik olarak değerlendirildiği hangi plakaların ise insan operatörün incelemesine tabi tutulması gerektiğini belirlemektedir. Böylelikle insan operatörün iş yükü azaltılmakta ve tüm süreç için gerekli inceleme süresi (tüm incelemenin uzman operatör tarafından yapıldığında elde edilecek doğruluğa yakın kalınacak şekilde) en aza indirilmektedir.

1.1.Literatür Araştırması

Yarı iletken yonga plakası kusur sınıflandırması konusunda literatürde karşılaşılan ilk çalışmalarda çoğunlukla kusur örüntülerinin istatistiksel analizi üzerinde durulduğu görülmektedir. Örneğin Hwang ve Kuo, çalışmalarında yonga plakası haritası analizi için model tabanlı bir kümeleme algoritması önermişlerdir. Bu yöntemde kusur kümesini modellemek için ana bileşen eğrisini ve iki değişkenli normal dağılımı kullanmışlar ve şekil özelliklerini belirlemek için de iki modeli logaritmik doğrusal analiz ile karşılaştırmışlardır (Hwang ve Kuo, 2007). Wang ve Kuo ise çalışmalarında eliptik ve doğrusal formda yonga plakası kusurlarını tahmin etmek için Gauss karma modelini ve dairesel kusurları tahmin etmek içinse küresel kabuk algoritmasını kullanmıştır (Wang & Kuo, 2006). İstatistiksel analize dayalı olan bu yöntemlerde yalnızca kusur kümelerinin şekli belirlenebilmektedir. Ancak, farklı kusur desenleri aynı morfolojik özellikleri taşıyabildiğinden bu çalışmalar yonga plakası kusur deseni sınıflandırma konusunda kısıtlı başarılı olabilmektedir.

Yıllar içinde makine öğrenmesi yöntemlerinin (algoritmalarının) gelişmesiyle birlikte, bu yöntemlerin yüksek tanıma yeteneği yonga plakası kusur örüntü tanınması ve sınıflandırılması konusunda kullanılmaya başlanmıştır. Bu algoritmalar, denetimsiz öğrenme ve denetimli öğrenme gerçekleştirilenler olmak üzere iki temel kategoriye ayrılmaktadır. Denetimsiz öğrenme algoritmalarını esas alan çalışmalarda yonga plakası veri setlerinin bir uzman tarafından değerlendirilmesi gerekmediğinden bazı araştırmacılar tarafından büyük ilgi görmektedir. Bu kategoriye giren çalışmalara örnek olarak; Yu ve Lu'nun çalışmasında manifold öğrenme algoritması ve gauss karışım modelinin dinamik entegrasyonuna dayalı bir yonga plakası kusur örüntü tanıma yöntemi önerilmiştir. Bir kusur veri seti oluşturmak için gauss karışım modeli kullanılan bu çalışma ile sınıflandırma işleminde %90,5 ortalama doğruluk değerine ulaşılabilmektedir (Yu ve Lu, 2016). İlgili kategoride, sinir ağı tabanlı kümeleme (Chen ve Liu, 2000), k-ortalamlar algoritması (Hiltunen ve Mika, 2018), hiyerarşik kümeleme yöntemleri (Lee ve Kim, 2018) kullanımı da literatürde karşılaşılan yöntemler arasında yer almaktadır. Belirtilen yöntemlerin hepsi manuel özellik çıkarımı metodlarına dayanmaktadır. Bu manuel işlemlerin gerçekleştirilmesi hem işlemsel olarak maliyetli olmakta hem de doğruluğu azaltabilecek yan etkileri ortaya çıkarabilmektedir.

Denetimli öğrenme algoritmalarının temel işleyişi ise bir uzman tarafından oluşturulan etiketlenmiş veri setlerine dayanmaktadır ve bu algoritmaların kullanıldığı çalışmalarda denetimsiz öğrenmeye göre daha iyi performans elde edildiği görülmektedir. Örnek olarak Wu ve Jang, yonga plakası kusurlarının kök neden analizini gerçekleştirmek ve bu kusur örüntülerini sınıflandırmak için SVM algoritmasını, Öklid mesafesi aracılığıyla hesaplanan benzerliği ve iki boyutlu normalleştirilmiş korelasyon katsayısını kullanmıştır (Wu ve Jang, 2015). Piao ve Jin ise, yonga plakası harita özelliklerini Radon dönüşümüne dayalı olarak çıkarmış ve kusur desenlerini tanımak için bir karar ağacı oluşturmuştur (Piao ve Jin, 2018). Bu yöntemler de denetimsiz benzerleri gibi karmaşık özellik işlemeye ihtiyaç duymaktadır ve bazı kusur deseni sınıflarını tanılamada performans olarak zayıf kalmaktadır.

Yarı iletken yonga plakası kusur deseni sınıflandırma işlemi için tercih edilen diğer bir yöntemin; bilgisayarlı görme görevlerinde yüksek performans gösteren ve bir derin öğrenme yöntemi olan evrişimli sinir ağı (CNN) kullanımı olduğu görülmektedir. Evrişimli sinir ağı tarafından çıkarılan bir özelliğin, manuel yöntemle çıkarılan bir özellik karşılaştırıldığında, tanılama işlemleri için daha fazla ifade yeteneğine sahip olduğu bilinmektedir. Nakazawa ve Kulkarni çalışmalarında sekiz katmanlı bir CNN modeli oluşturmuşlar ve kendi düzenledikleri (veri seçimi ve ön işlemleri gerçekleştirdikleri) yonga plakası haritası veri seti üzerinde bu modeli eğittikten sonra büyük bir doğruluk elde etmişlerdir (Nakawaza ve Kulkarni, 2018). Yu ve diğ. çalışmalarında WM-811K veri seti üzerinde veri çoğaltma yöntemini uygulamışlar, geliştirdikleri evrişimli bir sinir ağı modelini bu set ile eğitmeleri sonucunda ağırlıklı olarak %95'lik bir doğruluk elde etmişlerdir (Yu ve diğ., 2019). Bu çalışma literatürde WM-811K veri seti ile elde edilmiş olan en yüksek doğruluk oranına sahiptir. Chen ve diğ. ise iki kanallı bir

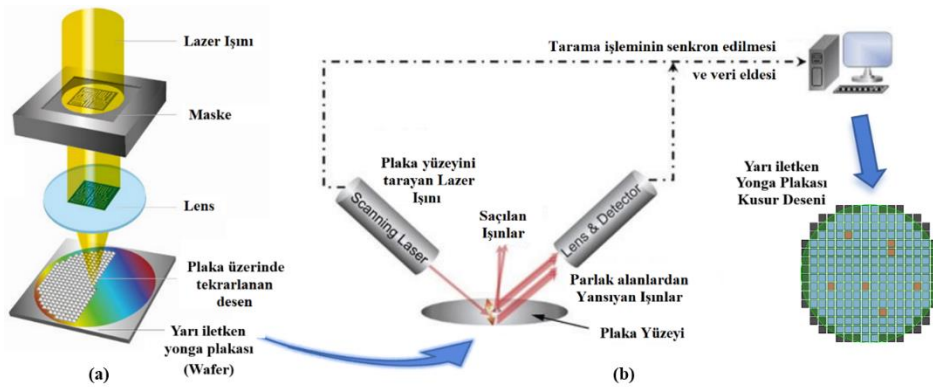
özellik çıkarma modeli oluşturmak için iki farklı derin evrişimli sinir ağı (DCNN) kullanmış ve böylece çok kaynaklı verilerden çok sayıda gelişmiş özellik kümesi çıkarmaya çalışmışlardır (Chen ve diğ. 2021). Piao ve Jin'in bir diğer çalışmasında ise veri setinde özneliklerin çıkarılması sonrası yonga plakası kusur örüntüsü tanıma için bunları geleneksel sınıflandırma yöntemleri ve evrişimsel sinir ağı ile birlikte kullandıkları görülmektedir. Bu noktada karar ağacı yönteminin, diğer geleneksel yöntemlerden daha iyi performans gösterdiği tespit edilmiştir (Piao ve Jin, 2022). Jin ve diğ. çalışmalarında, önce herhangi bir özel ön işlem yapmaksızın evrişimli sinir ağından üst düzey özelliklerin çıkarıldığı, sonrasında çıkarılan bu özelliklerin yonga plakası kusur örüntü sınıflandırması için hata düzelten çıktı kodları ve destek vektör makineleri kombinasyonunu beslemekte kullanıldığı görülmektedir (Jin ve diğ., 2020).

Tüm bu çalışmalar ayrı iletken yonga plakası kusur deseni sınıflandırma işleminin insan operatör haricinde bir sistem ile gerçekleştirilmesini hedeflemektedir. Ancak, en başarılı çalışmada bile elde edilen doğruluk oranı %95'ler seviyesine çıkabilmektedir. Yarı iletken endüstrisinde geçerli yüksek standartlar gereği bu doğruluk değeri bile kendi başına güvenli bir sınıflandırma sağlayamamaktadır. Öyle ya da böyle süreç içerisine mutlaka bir insan uzmanının girmesi ve karar vermesi gerekmektedir. İşte bu noktada insan operatöre karar verme konusunda destek olacak ve yukarıda örnekleri verilen şekilde bir ön sınıflandırma gerçekleştirecek bir çözüme ihtiyaç duyulmaktadır.

2. YARI İLETKEN YONGA PLAKASI KUSUR TESPİTİ VE SINIFLANDIRILMASI

2.1. Yarı İletken Yonga Plakası Üretim Süreci ve Oluşan Kusurların Analizi

Hafıza ve işlemci çipleri temel olarak silisyum levhaların üzerine özel ve karmaşık bir süreç sonucunda işlenerek oluşturulmaktadır. Bu silisyum levhalar ilgili teknik alanda "Yonga Plakası" (Wafer) olarak anılmaktadır. Sözü edilen sürecin en kritik üretim aşamalarından birisi litografi işleminin uygulandığı adımdır. Bu işlemde belirli bir dalga boyundaki lazer ışığı bir maske üzerinden yonga plakası yüzeyine uygulandığında, ışığa maruz kalan foto-direnç kaplı bölgelerde bir yapısal bozulma olmaktadır. Ardından bu bölgelerdeki kaplama maddesi ve altında kalan yüzey kimyasal oyma işlemiyle yonga plakası üzerinden ayrılmaktadır. Böylece çip mimarisinin ilk katmanı plaka yüzeyine işlenmiş olmaktadır. Şekil 1.a' da litografi işleminin temsili bir gösterimi verilmiştir.



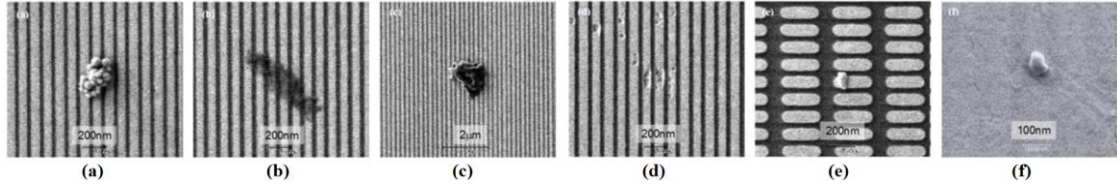
Şekil 1:

a. Litografi işlem detayı (Veendrick,2018), **b.** Yonga plakası kusur ölçüm detayı (MKS, 2021)

Her bir litografi işleminin öncesinde yonga plakası yüzeyi beyaz ışık kullanılarak taranmaktadır. Bu tarama esnasında yansıma olan ve olmayan bölgelere göre bir yüzey haritası elde edilir. Litografi sonrasında ise aynı tarama işlemi tekrarlanarak ikinci bir yüzey haritası

elde edilir. Her iki duruma haritalar arasındaki görsel fark alınarak yarı iletken yonga plakası kusur haritası adı verilen bir görüntü oluşturulmaktadır. Bu görüntü litografi işleminin kusur performansını analiz etmede kullanılır. Şekil 1.b’de de bu ölçüm yöntemi ve adımları görselleştirilmiş olarak verilmektedir.

Litografi işleminde geçerli olan çok sayıda parametre mevcuttur ve bunlar yonga plakası yüzeyinde oluşan kusurların niteliği ve niceliği üzerinde son derece etkili olmaktadır. Süreçte kullanılan lens ya da maskedeki kusursuzluklar, lensin odak noktası ya da plaka pozisyonundaki kaymalar, hatta havadaki asılı partiküller dahi üretimi etkileyebilmekte ve yonga plakası üzerinde kusurlar oluşturabilmektedir. Yarı iletken yonga plakaları üzerinden elektron mikroskobu ile görüntülenmiş örnek bazı kusur resimleri Şekil 2’de gösterilmektedir.

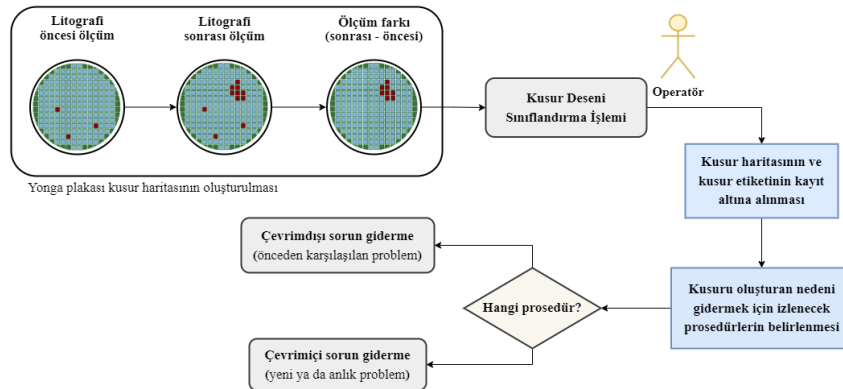


Şekil 2:

a.-f. Yarı iletken yonga plakası yüzeyinde gözlenen farklı boyut ve topolojilerde bazı kusurlar (Wei ve diğ., 2016)

Bir yarı iletken yonga plakası üzerinde Şekil 2’de verilenler gibi farklı topoloji ve fiziksel özelliklere sahip ortalama 20 ile 1.000 kadar kusur bulunabilmektedir. Belirtilen rakam büyük gibi gözükse de şekil üzerinde detay olarak belirtildiği üzere bu kusurların boyutu (en büyüğü birkaç µm olmak üzere), yonga plakası boyutlarına (günümüz değerlerine göre 300mm) göre oldukça küçük olduğundan toplam kusurlu alan da küçük kalmaktadır. Bununla birlikte, tek bir kusurun bile konum olarak yonga plakası üzerinde denk geldiği çipin performansını etkileme olasılığı olduğundan dikkate alınması gerekmektedir. Bu da bir analiz sürecinin işletilmesini gerektirmektedir.

Sözü edilen analiz yarı iletken yonga plakası kusurları konusunda uzman mühendisler tarafından kusur haritalarının görsel değerlendirilmesi ile başlamaktadır. Öncelikle kusur, deseni ve topolojisine göre sınıflandırılmakta, ardından kusurun olduğu üretimdeki bileşenler ve parametreler incelenerek sorunun kök nedeni hakkında bir değerlendirme yapılmaktadır. Bu analiz sürecinde takip edilen yol Şekil 3’te bir akış diyagramı üzerinde gösterilmiştir.



Şekil 3:

Yarı iletken yonga plakası kusur analizi ve sorun giderme aşamaları

Analiz sonucunda, incelenen yonga plakası kusur deseninin oluşumuna dair etkenler ortaya çıkarılmaya çalışılmaktadır. Elde edilen analiz sonuçları eğer daha önce oluşmuş bir sorun ile bağlantılı (veri tabanında benzer bir durum kayıt altına alınmış) ise, icra edilmesi gereken çözüm yine veri tabanından getirilerek gerekli düzeltmelerin yapılması için operatörlere dayanak oluşturmaktadır. İlk defa karşılaşılan bir durum ise; yeni bir teşhis olarak mevcut veri tabanına kayıt edilmekte ve operatörler anlık çözümlere yönlendirilmektedir.

Orta ölçekli bir çip üretim tesisinde günde yaklaşık 2.000 ile 10.000 adet arasında yonga plakası işlenebilmektedir (McKinsey, 2020). Bu rakam büyük ölçekli üreticilerde günde 30.000 adete kadar da çıkmaktadır (TSMC, 2021). Sadece orta ölçekli tesisler için dahi düşüncecek olunursa bu boyutta bir üretimin oluşturduğu verinin manuel olarak (insan operatörler tarafından) incelenmesi oldukça uzun süre almakta kaynak kullanımı açısından da verimsiz bir durum yaratmaktadır. Üretimde verimin artırılması, dolayısıyla daha hızlı analiz yapılması ve karar verilmesine imkân sağlayacak karar destek sistemlerine ihtiyaç duyulduğu açıktır.

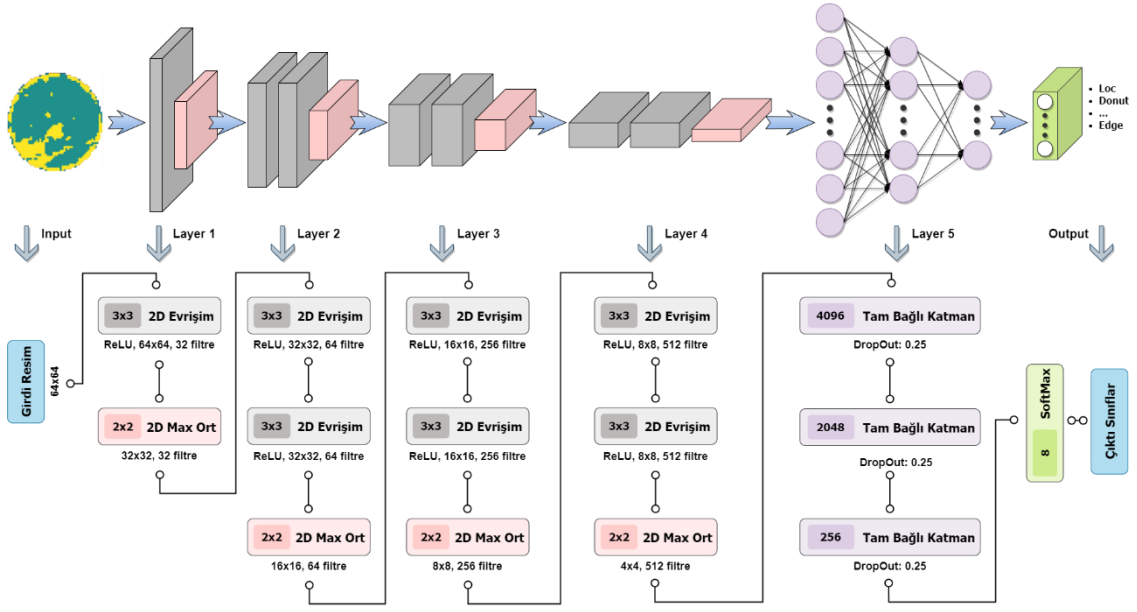
2.2. Kusur Deseni Sınıflandırma İşlemi için Makine Öğrenmesi Kullanımı

Şekil 3 üzerindeki akışta, “Operatör” etiketiyle gösterilen noktada gerçekleştirilen yonga plakası kusur deseni sınıflandırma işlemi, etiket üzerinde tasvir edildiği gibi konusunda uzman insan operatörler tarafından yapılmaktadır. Önceki bölümlerde ifade edildiği üzere; ortalama büyüklükte bir yarı iletken yonga plakası üretim tesisinde gerçekleşen günlük (ortalama 6.000 adet) üretim miktarı bile insan operatörlerin tek tek incelemesi için oldukça fazla ve (zaman-ışgücü açısından da) maliyetli olmaktadır. Bu nedenle ilgili sınıflandırma işlemini bilgisayarlar üzerinde gerçekleştirebilmek için makine öğrenmesi yöntemlerini kullanan bir modelden faydalanılmıştır.

Kullanılan model, makine öğrenmesi yöntemlerinden derin öğrenmenin bir alt kolu olan evrişimli sinir ağı temelinde çalışmaktadır. Evrişimli sinir ağları günümüzde; yüz tanıma, bilgisayarlı görü, görüntü işleme, resim sınıflandırılması ve nesne algılama uygulamalarında yaygın şekilde kullanılmaktadır.

Bir evrişimli sinir ağı temel olarak bir giriş ve bir çıkış katmanının yanı sıra birden fazla gizli katmanı içeren ardı sıra bağlı çok sayıda katmanın kullanımı ile oluşturulmaktadır. Bu yapıda her katman türevlenebilir bir (aktivasyon) fonksiyon üzerinden bir aktivasyon hacmini (bir katmanda aktive edilmiş nöronları) başka bir aktivasyon hacmine dönüştürür. Evrişimli sinir ağı yapılarında üç ana katman yer almaktadır: evrişim katmanı, ortaklama katmanı ve tam bağlantılı katman. Bu ağ yapılarında elde edilen sonucun doğruluğuna bağlı olarak ağdaki ağırlık katsayılarını zincir kuralı ile güncelleyen bir geri yayılım söz konusudur. Bu sayede ağ, elde edilebilecek optimum bir doğruluk değeri yakalayana kadar kendini güncellemekte ve en uygun modeli oluşturmaya devam etmiş olmaktadır.

Yarı iletken yonga plakası kusur desenlerini sınıflandırma işleminde kullanılan evrişimli sinir ağı modeli, blok diyagramlar halinde Şekil 4’teki gibi gösterilebilir. Bu yapıda; 3x3 kernel boyutuna sahip, ReLU aktivasyon fonksiyonu kullanılan, farklı uzunlukta filtrelelere sahip 2 boyutlu evrişim bloklarının olduğu görülmektedir. Evrişim bloklarının çıkışında 2x2 kernel boyutlu, yine farklı uzunluklara sahip, “2D Max Ort” isimleriyle gösterilen maksimum ortaklama blokları kullanılmaktadır. Bu şekilde ardı sıra evrişim ve ortaklama bloklarından ibaret toplam 4 katman kullanılmıştır. Sonrasında ise tam bağlantılı katman yer almaktadır. Bu katmana uygun veri girişi sağlamak için öncesinde bir veri düzleştirme işlemi gerçekleştirilmektedir. Giriş katmanında 4.096, gizli katmanlarda ise sırasıyla 2.048 ve 256, çıkış katmanında ise 8 nörona sahip bir yapı tercih edilmiştir. İlk üç alt katmanda sigmoid aktivasyon fonksiyonu kullanılmış, aynı zamanda ezberlemeyi engellemek için 0,25 değerine sahip DropOut fonksiyonu uygulanmıştır. Çıkış katmanında ise SoftMax aktivasyonu kullanılmıştır. Böylelikle 64x64 piksel boyutlarına sahip bir resim dosyası olarak ağa uygulanan yonga plakası kusur deseni, ağ çıkışında 8 adet standart sınıflandırma değerlerinden birisi atanmış olarak etiketlenmiş olmaktadır.



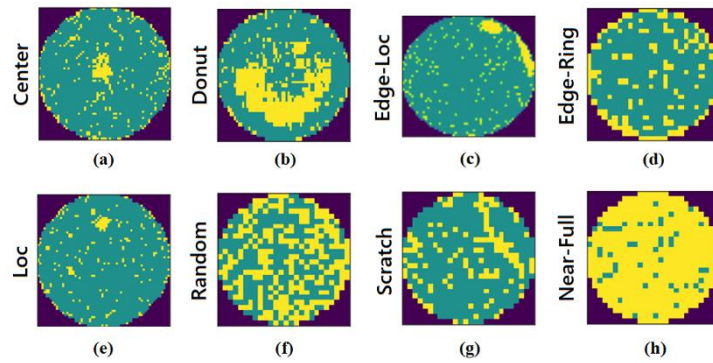
Şekil 4:

Çalışmada kullanılan evrişimli sinir ağı modelinin blok diyagram gösterimi

2.3. Ağı Eğitilmesinde Kullanılan Veri Seti – WM-811K

Şekil 4'te gösterilen ağ yapısının eğitilmesi sürecinde üzerinde farklı tipte yarı iletken yonga plakası kusuru içeren ve gerçek üretim koşullarından elde edilmiş verileri barındıran bir veri seti kullanılmıştır. WM-811K kod ismiyle anılan bu veri seti TSMC firması ve MIRLAB iş birliğiyle oluşturulmuş olup halen açık erişimli şekilde araştırmacıların kullanımına sunulmuş durumdadır (MIRLAB, 2021). Bu veri seti içerisinde toplam 811.457 adet haritası ve bu haritalara ait tanımlayıcı parametreleri içeren veriler bulunmaktadır. Ancak bunlardan sadece etiketlenmiş ve kusur deseni içeren 25.519 adedi ağın eğitilmesinde kullanılmıştır.

WM-811K veri seti içerisinde standart olarak tanımlanmış 8 adet kusur deseni sınıfı bulunmaktadır. Bu kusur desenlerinin işlenmiş ve basit olarak renklendirilmiş hallerine ilişkin birer adet örnek Şekil 5'te verilmektedir.



Şekil 5:

WM-811K veri setindeki kusur deseni sınıfı örnekleri **a.Center**, **b.Donut**, **c.Edge-Loc**, **d.Edge-Ring**, **e.Loc**, **f.Random**, **g.Scratch**, **h.Near-Full**

Şekildeki örneklerde görselleştirilmiş olarak verilen kusur deseni haritaları aslında veri tabanında (boyut, lot bilgisi, sınıflandırma etiketi gibi) bazı tanımlayıcı bilgileri ile birlikte ikili kodlanarak saklanmış bir bilgi satırından ibarettir. Bu haliyle bir bilgi satırını ağı eğitmekte kullanmak uygun değildir. Bu nedenle veri seti üzerinde eğitim öncesinde bazı ön işlemler uygulanmaktadır:

- i. Donanım kaynaklarından tasarruf etmek amacıyla 3 kanallı (RGB) görüntüler yerine tek kanallı (gri-ton) görüntü kullanımı (ya da dönüşümü) tercih edilmiştir.
- ii. Bu tek kanallı görüntülerdeki piksel değerleri; 0 değeri arka planı, 1 değeri kusursuz alanı ve 2 değeri ise kusurlu alanı temsil etmek üzere, 0-255 yerine 0-2 arasında olacak şekilde düzenleme yapılmıştır.
- iii. Yonga plakası haritaları (görüntüleri) üzerindeki gürültüyü azaltmak ve kusur sınıflarının belirginliğini artırmak için (64 piksel haritalarda 3x3, 128 pikselde 5x5, 296 pikselde 11x11 piksel boyutunda) medyan filtreleme kullanılmıştır.
- iv. Veri setinde yer alan yonga plakası haritalarının boyutları ağ modelinin girdi boyutunu sağlamak için en yakın komşu algoritması kullanılarak 64x64 piksel değerinde eşitlenmiştir (yeniden boyutlandırılmıştır).
- v. Filtreleme ve yeniden boyutlandırma işlemleri sonucunda elde edilen yonga plakası haritası piksel değerleri 0 ile 1 arasında olacak şekilde bir normalizasyon yapılmıştır.

Bu ön işlemlerden geçen veri seti unsurları bir sonraki aşamada ağa uygulanmak üzere gruplara ayrılarak paketlenmiştir.

2.4. Ağın Eğitilmesi ve Performansı

Veri seti içerisinde rastlanma sıklıklarına bağlı olarak her desen sınıfı için farklı sayılarda örnek bulunmaktadır. Bu durum, veriler sahip oldukları oranlarla ağa uygulanmaları durumunda sınıflar arası bir dengesizlik oluşturmaktadır. Bunun önüne geçmek için; veri paketlerinin her sınıftan eşit oranda veri alınarak oluşturulduğu katmanlaştırma yöntemi kullanılmıştır. Bu yöntemi dengesizlik probleminin etkilerinin minimize edilmesine yardımcı olmaktadır.

WM-811K veri setinin etiketli olan ve tüm bu ön hazırlık işlemlerinden geçmiş 25.519 adetlik yonga plakası haritası %75'i eğitim ve %25'i test verisi olacak şekilde iki gruba ayrılmıştır. Sonrasında eğitim seti kendi içerisinde %80'i eğitim ve %20'si validasyon amaçlı kullanılmak üzere tekrar ikiye bölünerek toplamda 3 ayrı grup elde edilmiştir.

Veri setinin ön hazırlık işlemleri, evrişimli sinir ağı modelinin eğitilmesi, sonuçların doğrulanması ve test aşamalarında donanım olarak 52GB ayrılmış DDR3 RAM bulunduran, NVIDIA Tesla V100 32GB GPU'ya erişimli Google Colab bulut iş istasyonu kullanılmıştır. Yazılım olarak da genel programlama işlerinde Python3 yazılım dili, veri hazırlama aşamalarında Scikit-Learn ve evrişimli sinir ağı modelleme, eğitime ve optimizasyon aşamalarında da TensorFlow kütüphaneleri kullanılmıştır.

Ağın öğrenme sürecinde girdi olarak kullanılacak verilerin ayrılacağı küme boyutu (batch size) parametresi 128 olarak belirlenmiştir. Kullanılan veri paketleri ile gerçekleştirilen öğrenme sürecinin (eğitim, geri yayılım, güncelleme) kaç tekrar şeklinde icra edileceğini belirleyen tur sayısı (epoch) parametresi ise 100 olarak seçilmiştir. Belirli bir tur icrası sonrasında ağın öğrenme başarımının gelişmemesi durumunda eğitimin sonlanmasını (dolayısıyla ezberlemenin önüne geçilmesini) sağlayan eşik (tolerans) parametresi de 15 olarak belirlenmiştir.

Şekil 4'teki ağ yapısı üzerinde yukarıda belirtilen parametre değerleri kullanılarak gerçekleştirilen eğitim süreci sonucunda, Tablo 1'de verildiği gibi sınıflandırma doğruluk oranı değerleri elde edilmiştir. Burada bahsi geçen doğruluk değerleri; ağ modeline test veri seti uygulandığında elde edilen sınıf tahminleriyle bu veri setindeki gerçek sınıfların eşleşme oranını yansıtmaktadır ve her bir sınıf için aşağıda verilen eşitlik ile hesaplanmaktadır (Ergen, 2022).

$$\text{doğruluk_oranı} = (\text{sınıfa_ait_dogru_tahmin_sayısı} / \text{sınıfa_ait_toplamlar_sayısı}) \quad (1)$$

Tablo 1. Evrişimli sinir ağı modeli ile elde edilen doğruluk oranları

Yarı İletken Yonga Plakası Kusur Deseni Sınıfları								
	Center	Donut	Edge-Loc	Edge-Ring	Loc	Random	Scratch	Near-Full
Doğruluk Oranları	0,97	0,93	0,92	0,98	0,86	0,90	0,81	0,92

Tablo 1'e göre; çalışmamızda kullanılan ağ modeli ile 2 sınıf için %97 ve üzeri, 6 sınıf için de %90 ve üzerinde doğruluk oranları elde edildiği görülmektedir. Belirtilen değerler literatürde gözlenen sonuçlar ile aynı ve üzeri seviyelerdedir (Ergen, 2022). Bu da çalışmamızda kullanılan evrişimli sinir ağı modelinin, yonga plakası kusur haritası sınıflandırma işlemini etkin bir şekilde gerçekleştirecek karar destek sisteminde yer almak için yeterli seviyede olduğunu göstermektedir.

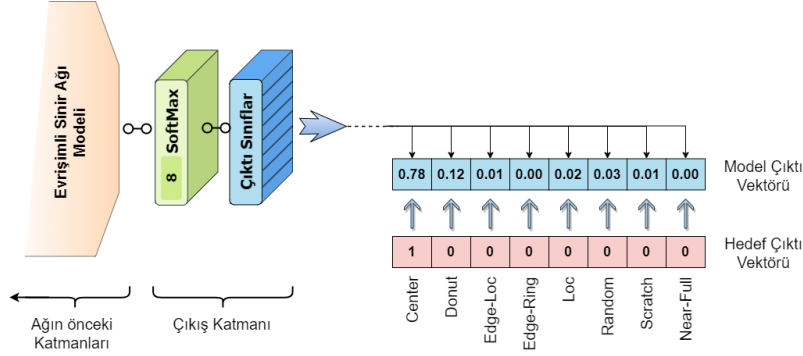
3. KUSUR SINIFLANDIRMASI İÇİN GELİŞTİRİLEN KARAR DESTEK YÖNTEMİ

Yarı iletken yonga plakası kusur haritalarını yüksek doğrulukla sınıflandırmanın yanı sıra bu sınıflandırma işleminin daha hızlı yapılabilmesi çalışmanın öncelikli hedefini oluşturmaktadır. Mevcut uygulamalarda bir yonga plakası haritasının konusunda uzman personel tarafından sadece göz ile kontrol edilerek sınıflandırılması ortalama 5 saniye sürmektedir. Çalışmamızda kullanılan ve önceki bölümde detayları verilmiş olan evrişimli sinir ağı modeli ile test veri seti içerisindeki 6.380 yonga plakası kusur haritasının tamamının incelenmesi yaklaşık 9,5 saniye sürmektedir (bu rakam, çalışmada kullanılan donanım ile bir adet yonga plakası kusur haritası sınıflandırma işleminin ortalama 0,0015 saniyede gerçekleştirilebildiği anlamına gelmektedir). Test veri içerisindeki yonga plakası haritası adedi, ortalama ölçekli bir çip üretim tesisinde üretilen (dolayısıyla hepsi ayrı ayrı test edilen) günlük ortalama yonga plakası adedine yaklaşıp olduğundan geliştirdiğimiz yöntemin etkinliğine dair sayısal verileri pratik uygulamalara uyarlamak için uygun görülmüştür (bu kıyas için orta ölçekli bir çip üretim tesisinde günde ortalama 6.000 adet yonga plakası işlendiği bilgisi temel alınmıştır (McKinsey, 2020).

Ancak evrişimli sinir ağı modeli ile elde edilen sınıflandırma doğruluk oranları yonga plakaları için sağlanması beklenen kusursuz sınıflandırma beklentisini karşılamaya yeterli gelmemektedir. Zira yonga plakası üzerindeki tek bir bölgede oluşan kusur bile (gözden kaçırılması halinde) o bölgeye denk gelen çipin hatalı üretimine sebep olabilmektedir. Bu da üretim verimliliği açısından bir kayıp oluşturmaktadır. Sonuç olarak, geliştirilen evrişimli sinir ağı modelini tek başına bir sınıflandırma aracı olarak kullanmaktan ziyade bu sistem ile konusunda uzman personelin iş birliği ile çalıştığı bir yöntemin kurgulanması yoluna gidilmiştir. Burada aslında, uzman personelin tüm yonga plakası haritası paketini analiz etmek yerine sadece uzmanlığını gerektiren sınıflandırma (karar verme) süreçlerinde çalışmasının sağlanacağı, kalan yonga plakası haritalarının ise evrişimli sinir ağı modeli ile sınıflandırılacağı, bir karar destek sistemi geliştirilmiş olmaktadır.

Bu yöntemde ana hedef olarak sınıflandırma doğruluğu değerini maksimize ederken uzman personel işgücünü minimize etmeye çalışan bir optimizasyon gerçekleştirilmeye çalışılmıştır. Bu amaçla öncelikle test veri setindeki her bir girdiye (yonga plakası kusur haritasına) ilişkin modelden elde edilen sınıflandırma tahmin olasılıklarını ortaya çıkarmak gerekmektedir. Bunun için de sınıflandırma sonucunda olması gereken-hedef sınıf çıktısı ile modelden elde edilen çıktıya birlikte bakmak yeterlidir. Hâlihazırda, Şekil 4'teki evrişimli sinir ağı modelinin çıkışında yer alan SoftMax fonksiyonu zaten potansiyel sonuçlar listesinin olasılık dağılımlarını

temsil eden bir vektör vermektedir. Çıkış matris boyutu (WM-811K veri setinde bulunan standart yonga plakası kusur deseni sınıf sayısı) 8 olduğundan bu bize model çıkışında 8 adet sınıflandırma olasılığı elde edeceğimiz anlamına gelmektedir. Buna göre hedef matrisimiz de sadece gerçek sınıflandırma bilgisini işaret eden tek bir elemanı "1" kalan elemanları "0" olan bir vektör ile temsil edilebilir. Şekil 6'da 'Center' sınıfına ait böyle bir örnek gösterilmektedir.

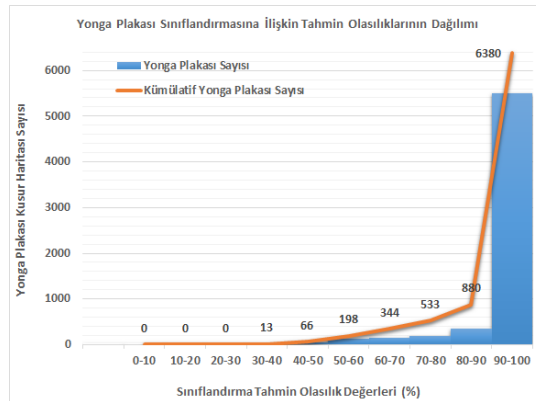


Şekil 6:

Model çıkışında elde edilen örnek sınıflandırma tahmin olasılık vektörü ve hedef vektörü

Şekil 6'daki örnek incelendiğinde; WM-811K veri setinde "Center" sınıfı olarak etiketlenmiş yonga plakası kusur haritası sinir ağı modeli tarafından %78 tahmin olasılığı ile "Center" olarak sınıflandırılmıştır. Bu tahminin Tablo 1'de belirtilen değere göre doğruluk oranı %97'dir. Bu iki veriyi birbiriyle karıştırmamak gerekir, zira ilk veri tek tek yapılan her bir sınıflandırmanın başarısını diğeri ise modelin genel performansını yansıtmaktadır. Burada dikkat etmek gerekir ki %20 gibi düşük bir olasılıkla yapılan sınıflandırma hatalı olmayabileceği gibi %95 gibi yüksek bir olasılıkla yapılan sınıflandırma da doğru olmayabilir.

Sinir ağı modeli tarafından (test veri setinde) sınıflandırılan bütün haritalarının nihai sınıf tahmin olasılığı değerleriyle Şekil 7'deki gibi (%10'luk dilimlere sahip) bir olasılık-frekans grafiği oluşturulmuştur. Bu grafik üzerinde mavi renkli sütunlar her bir %10'luk banda denk düşen tahmin olasılık değerleri ile sınıflandırılan yonga plakası sayısını göstermektedir. Grafik üzerinde aynı zamanda bu değer bantlarında kümülatif olarak kaç adet yonga plakası sınıflandırıldı da turuncu renkli bir eğri ile ayrıca gösterilmiştir.

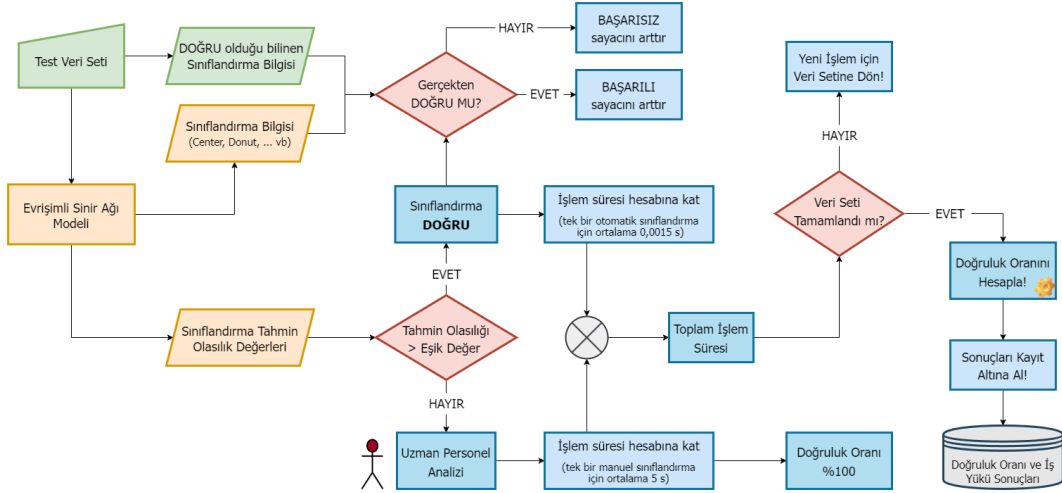


Şekil 7:

Test veri seti üzerinden elde edilmiş sınıflandırma tahmin olasılıklarının dağılımı

Bu grafik üzerindeki bilgiler şu şekilde okunabilir: test veri setinde hangi sınıflandırma kategorisi altında etiketlenmiş olduğu fark etmeksizin model tarafından örneğin %80'den düşük bir tahmin olasılığıyla sınıflandırılan yonga plakası kusur haritası sayısı 533 adettir. Ya da %80-90 arasında bir tahmin olasılığı ile sınıflandırılan yonga plakası kusur haritası sayısı 880-533=347 adettir. Grafikteki eğriden de görüldüğü üzere tahmin olasılıklarının değişimi, doğru sınıflandırılan yonga plakası sayısını kesin olarak etkilemektedir. Buna göre; model tarafından gerçekleştirilen ve belirli bir eşik değer üzerinde tahmin olasılığı değerine sahip sınıflandırma işlemine güven duyularak bu sınıflandırma doğrudan kabul edilebilir. Eşik değerin altında tahmin olasılık değerine sahip yonga plakası kusur haritaları ise uzman personelin değerlendirmesine sokularak sınıflandırma işlemi tamamlanabilir. Bu noktada eşik değerin düşük tutulması sınıflandırma işleminin büyük kısmının model tarafından yapılacağı anlamına gelirken yüksek doğruluk değerlerine rağmen modelin (insan operatöre göre) hatalı sınıflandırma yapabilme potansiyelini ortaya çıkarmaktadır. Eşik değerin yüksek tutulması ise sınıflandırma işleminde uzman personelin daha fazla analiz yapmasını gerektirmekte dolayısıyla insan işgücü ihtiyacının artmasına veya devamlılığına neden olmaktadır.

Bu nedenle tahmin olasılığı değeri bağımlı değişken olmak üzere 'sınıflandırma doğruluğu (doğru sınıflandırılan yonga plakası sayısı)' değerini maksimize edecek, 'uzman personelin iş yükü' değerini de minimize edecek şekilde bir optimizasyon gerçekleştirilmeye çalışılmıştır. Bunun için, Şekil 8'de gösterilen hesaplama yöntemi kullanılarak, her bir tahmin olasılığı için sınıflandırma doğruluğu ve bu doğruluk seviyesinde gerekli olan uzman personel iş yükü hesaplanmıştır.



Şekil 8:

Tahmin olasılığına bağlı olarak sınıflandırma doğruluğu ve iş yükü hesabı algoritması

Blok diyagramı yukarıda verilen algoritmanın sözde kod gerçekleştirilmesine ilişkin görüntüsü de Şekil 9 üzerinde gösterilmektedir. Algoritma üzerinden hesapların nasıl yapıldığını sayısal bir örnek ile açıklamak gerekirse; örnek olması açısından tahmin olasılığı eşik değerinin %80 olarak seçildiğini ele alalım. Test veri seti üzerinde toplam 6.380 adet kusur haritasına ait bilgi bulunduğu Şekil 9'daki işlemlerin bu sayı kadar döngü boyunca gerçekleştirilmesi gerekmektedir. Tüm işlemler gerçekleştirilip akış tamamlandığında ilk olarak; 533 adet kusur haritasının evrişimli sinir ağı modeli ile %80'den küçük tahmin olasılıkları ile sınıflandırıldığı görülmüştür (bu bilgi Şekil 7 üzerindeki dağılım grafiğinden de okunabilir). Algoritmaya göre bu yonga plakası kusur haritalarının uzman personelin manuel değerlendirmesine yönlendirilmesi gerekmektedir. Bu da harita başına ortalama 5 saniyelik değerlendirme süresi için toplam işlem süresine $533 \times 5 = 2.665$ saniye = 0,74 saatlik bir süre katkısı getirmektedir.

Diğer yandan evrişimli sinir ağı modeli ile %80 ve daha büyük tahmin olasılıkları ile sınıflandırılan 5.847 adet kusur haritasının sınıflandırma işleminin doğru yapıldığı varsayılarak bu durum (her harita için) veri tabanından gelen gerçek (WM811-K veri setindeki sınıflandırma bilgisinin doğru olduğu kabulüyle) sınıflandırma bilgisi ile karşılaştırılmaktadır. Eğer eşleşme varsa sınıflandırma kesin doğru olarak kabul edilmekte, yoksa başarısız sınıflandırma sayısı hanesi +1 arttırılmaktadır. Bu şekilde %80 ve üzeri bir tahmin olasılığı ile sınıflandırılmış olmasına rağmen yanlış sınıflandırılmış kategorisine giren 105 adet harita olduğu tespit edilmiştir. En nihayetinde, %80 tahmin olasılığı için evrişimli sinir ağı modelinin genel doğruluk oranı (5847 adet işlem üzerinden); $(5.847-105)/5.847 = \%98,2$ olarak elde edilmiştir. Evrişimli sinir ağı modeli bu işlemler için toplam işlem süresine sadece $5.847*0,0015 = 9$ saniyelik bir süre katkısı getirmektedir ki bu değer manuel iş yükünün yanında ihmal edilebilecek seviyededir.

Sonuç olarak; %80 tahmin olasılık eşik değeri için algoritma kullanıldığında yaklaşık %98'lik bir doğruluk oranı ile sınıflandırma gerçekleştirilebilmiştir. Söz konusu işlem toplamda 0,74 saatlik bir iş yükü oluşturmuştur. Tüm test veri setinin sınıflandırma işleminin uzman personel tarafından manuel kontrol ile gerçekleştirilmesi içinse; $6.380*5 = 31.900$ saniye = 8,86 saatlik bir iş gücü kullanılması gerekecektir.

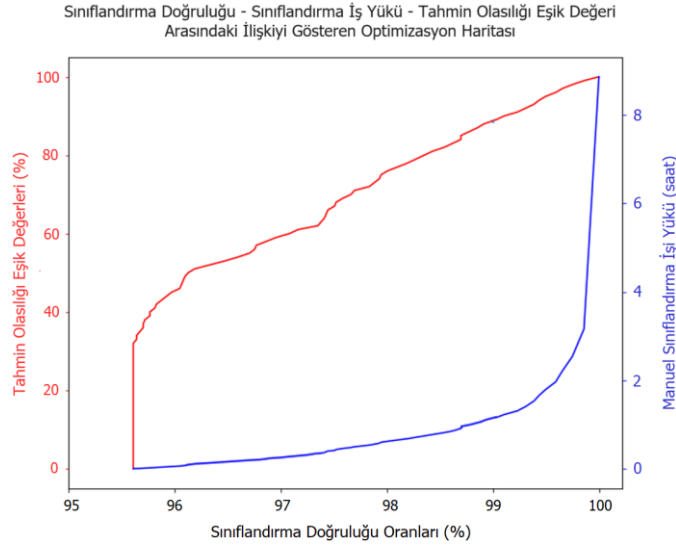
```
BAŞLA
başarılı_sayacı=0, başarısız_sayacı=0;
toplam_işlem_süresi=0, doğruluk_oranı=0;
eşik_değer=X, sayaç=1;
veri[], gerçek_sınıf[], sonuç_tahmin[], sonuç_sınıf[];
DÖNGÜ
  veri setinden veriyi al → veri[sayaç], gerçek_sınıf[sayaç];
  veriyi modele uygula → sonuç_tahmin[sayaç][], sonuç_sınıf[sayaç];
  karşılaştı (sonuç_tahmin[sayaç][sınıf] > eşik_değer)
  doğru ise:
    sınıflandırma işlemini DOĞRU kabul et;
    işlem süresi değerini güncelle → (toplam_işlem_süresi + 0,0015);
    karşılaştı (sonuç_sınıf[sayaç] == gerçek_sınıf[sayaç])
    doğru ise:
      başarılı olarak sınıflandırılan sayıyı arttır → başarılı_sayacı + 1;
    yanlış ise:
      başarısız olarak sınıflandırılan sayıyı arttır → başarısız_sayacı + 1;
  yanlış ise:
    sınıflandırma işlemini ŞÜPHELİ kabul et;
    manuel kontrol gerçekleştir → sonuç_sınıf[sayaç], (doğruluk zaten %100);
    işlem süresi değerini güncelle → (toplam_işlem_süresi + 5);
  sayacı güncelle → sayaç + 1;
  karşılaştı (sayaç <= veri seti boyutu)
  doğru ise:
    işlemlere devam et (BAŞA DÖN);
  yanlış ise:
    döngüden çık (SONA GİT);
SON
doğruluk oranını hesapla → doğruluk_oranı = (başarılı_sayacı / sayaç);
sonuçları kayıt altına al → doğruluk_oranı, toplam_işlem_süresi;
BİTİR
```

Şekil 9:

Sınıflandırma doğruluğu ve iş yükü hesabı algoritmasının sözde kod gerçekleştirme görüntüsü

%80 tahmin olasılığı eşik değeri için yapılan bu örnek hesaplama %1'lik adımlarla %1-100 arasındaki tüm tahmin olasılığı eşik değerleri için tekrarlanmıştır. Yani Şekil 9'da verilen algoritma “eşik değeri” parametresinin değeri 0,01-1 arasında sırasıyla 0,01 adımlarla

arttırılarak (test veri seti ile) 100 kez çalıştırılmıştır. Tekrarlar sonucunda elde edilen ve kayıt altına alınan ‘Sınıflandırma Doğruluğu’ verileri ile denemelerde kullanılan %1-100 arasındaki ‘eşik_değer’ parametresi arasındaki bağlantı, Şekil 10’da kırmızı renkle gösterilen eğrideki gibi oluşmaktadır. Benzer şekilde, algoritmanın bu tekrarlı çalıştırılması sonucu elde edilen verilerden Şekil 9 öncesindeki paragrafta açıklandığı şekilde ‘(Uzman Personelin) Manuel Sınıflandırma İş Yükü’ hesaplanmakta ve kayıt altına alınmaktadır. Bu veriler ve ‘Sınıflandırma Doğruluğu’ değerleri arasındaki bağlantıyı yansıtmak için de mavi renk ile gösterilen eğri oluşturulmuştur. Her iki eğri, arzu edilen çalışma (optimizasyon) noktasını belirleyebilmek için Şekil 10’daki gibi birlikte çizilmiştir. Böylelikle çift değer eksenine sahip bir optimizasyon haritası elde edilmiş olmaktadır.



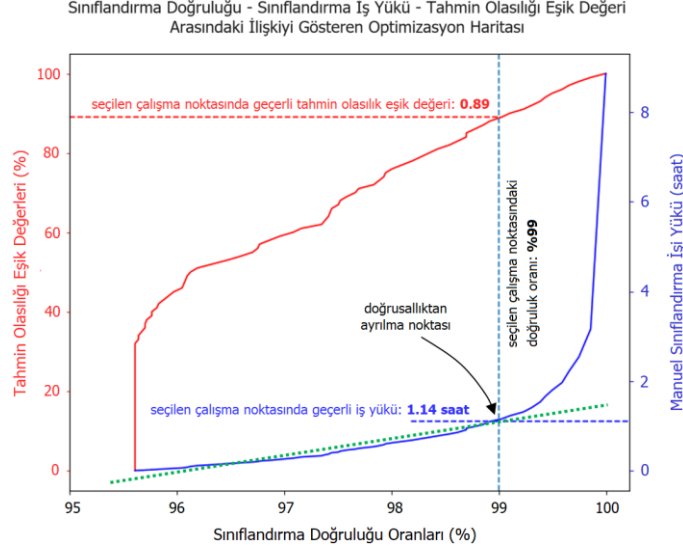
Şekil 10:

Sınıflandırma doğruluğu - iş yükü ve sınıflandırma doğruluğu – tahmin olasılığı eşik değeri arasındaki ilişkiyi gösteren optimizasyon haritası

Şekil 10’daki grafik incelendiğinde, mavi ile gösterilen sınıflandırma doğruluğu - manuel iş yükü eğrisinin belirli bir doğruluk değerine kadar neredeyse doğrusal olarak devam ettiği, bir noktadan sonra ise doğrusallıktan ayrıldığı görülmektedir. Doğrusallıktan ayrılan bu noktadan sonra eğrinin giderek artan bir eğimle yükselmesi sonucunda daha yüksek doğruluk değerleri elde etmek için gereken iş yükü miktarı (süresi de) katlanarak artmaktadır. Bu nedenle, söz konusu nokta yaklaşık optimum bir çözüm (maksimum sınıflandırma doğruluğunun mümkün olan en az iş yükü kullanımıyla elde edildiği yer) sağlama potansiyeline sahiptir. Bunun için, şekil üzerinde mavi renkle gösterilen eğrinin doğrusal olduğu kısımdan Şekil 11’de detayı verildiği gibi bir teğet (yeşil doğru) çizilmesi ilgili noktanın tespiti için yeterli olmaktadır. Yeşil renkli doğrunun sınıflandırma doğruluğu - manuel iş yükü eğrisini kestiği noktada sınıflandırma doğruluğu değerinin %99 olduğu görülmektedir. Bu değer oldukça tatmin edici bir doğruluk seviyesidir.

Aynı noktadan diğer eğri olan sınıflandırma doğruluğu - tahmin olasılığı eşik değeri eğrisine çıkılan dikme, görüldüğü üzere eğriyi %89 değerinde kesmektedir. Bu doğruluk değeri ve tahmin olasılık eşik değeri kombinasyonunun sağlanması için gerekli iş yükü ise grafik üzerinden 1,14 saat olarak bulunmaktadır. Bu sonuçlara ışığında; çalışmamızda geliştirilen sinir ağı modelinin kullanımı ile sınıflandırma işleminin en az manuel iş yükü ve en yüksek doğrulukla gerçekleştirilebilmesi için önerilen hesaplama yöntemine (karar destek sistemine) göre %89 tahmin olasılığı eşik değerinin seçilmesi gerekmektedir. Buna göre; “çalışmada

geliştirilen modelin %89 ve üzerinde olasılıkla gerçekleştirdiği tahminlere (sınıflandırmalara) güvenilebilir, bu noktada uzman personele ihtiyaç yoktur, sadece bu tahmin olasılığı değerinden düşük yonga plakası kusur haritalarının uzman personel tarafından incelenmesi gerekir” sonuçlarına ulaşılır.



Şekil 11:

Optimizasyon haritasında yaklaşık en iyi çalışma noktasının tespiti

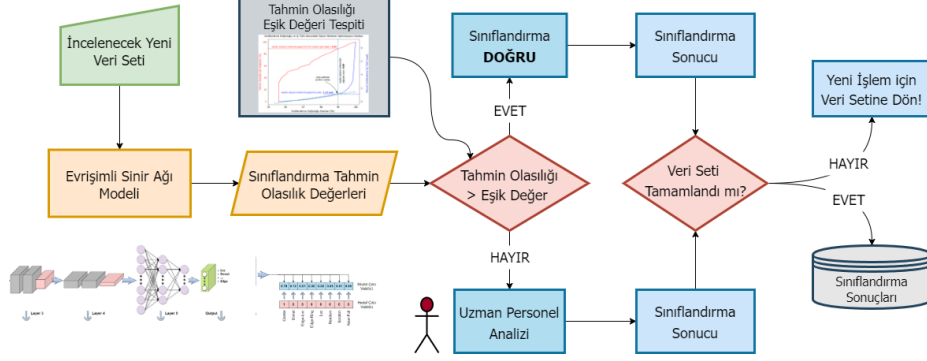
Tabii ki bu nokta genel geçer bir tek doğru (optimum) çözümü yansıtmamaktadır. İstenilen farklı (daha düşük doğruluk – daha hızlı sınıflandırma ya da tam tersi gibi) durumlara uygun çalışma noktaları da yukarıda açıklandığı gibi tespit edilebilir. İstenilen doğruluk değerine ulaşmak için Şekil 9’da algoritması verilen hesaplama yönteminde hangi tahmin olasılığı eşik değerinin kullanılması gerektiği yukarıdaki haritanın kullanımı ile kolaylıkla belirlenebilir. Bu haritanın kullanımı ile aynı zamanda geçerli seçimin uzman personel için ne kadarlık bir manuel sınıflandırma iş yüküne sebep olacağı da bulunabilmektedir.

4. SONUÇ

Gerçekleştirilen bu çalışmada, yoğun bir insan iş gücü ve alan uzmanlık bilgisi gerektiren yonga plakası kusur haritası sınıflandırması işlemini, oluşturduğumuz evrişimli sinir ağı modelini kullanan karar destek yöntemi ile ilgili personele destek verecek ve işlem süresini kısaltacak şekilde gerçekleştiren bir yardımcı sistem ortaya çıkarılmıştır. Bu sistem sayesinde sınıflandırma işlemi, literatürde elde edilen başarımla (sınıflandırma doğruluk) oranları ile rekabet edecek seviyede ve büyük oranda bir bilgisayar tarafından gerçekleştirilebilir hale getirilmiştir. Orta ölçekli bir çip üretim tesisinde günlük ortalama 6.000 ve üzerinde bir sayıda yarı iletken yonga plakası işlendiği bilgisi göz önünde bulundurularak bir karşılaştırma yapıldığında; bu sayının tamamının sadece uzman personelin gözle inceleyerek manuel olarak sınıflandırılması işlemi için 8 saatin üzerinde bir iş yükü gerekmektedir (plaka başına ortalama sınıflandırma karar verme süresinin 5 saniye olduğu hesabıyla). Geliştirilen yöntem ile %80 gibi yakalanması çok da zor olmayan bir tahmin olasılığı eşik değerinde bile (hesabı daha önce gösterildiği şekilde) uzman personele 1 saatten kısa süreli bir iş yükü kalmakta, kalan sınıflandırma işlemi model tarafından yüksek doğruluk değeriyle gerçekleştirilebilmektedir. Bu da uzman personelin günlük iş yükünden 7 saat gibi bir süreyi tasarruf edebilmesine imkân sağlayacaktır.

Çalışmada kullanılan WM811-K veri seti gerçek üretim koşullarından elde edildiği için bu veri seti ile eğitilmiş olan sinir ağı modelinin ve karar destek sisteminin pratik uygulamalarda kullanımı etkili sonuçlar verecektir. İsterleri karşılayan bir çalışma noktasının tespiti (ki aslında

tahmin olasılık eşik değerinin tespiti) sonrası yeni bir veri seti üzerinde sınıflandırma işlemi gerçekleştirilmek istenildiğinde ilgili karar destek sistemi Şekil 12'deki akış diyagramındaki gibi kullanılabilir.



Şekil 12:

Yeni veri setlerini sınıflandırmada kullanılacak karar destek yöntemine ait akış diyagramı

ÇIKAR ÇATIŞMASI

Yazarlar, bilinen herhangi bir çıkar çatışması veya herhangi bir kurum/kuruluş ya da kişi ile ortak çıkar bulunmadığını onaylamaktadırlar.

YAZAR KATKISI

Bu çalışma, Bursa Teknik Üniversitesi Mekatronik Mühendisliği Ana Bilim Dalında tamamlanan ve 2022 yılı şubat ayında jüri önünde savunulan “Makine öğrenmesi yaklaşımıyla yonga üretim sürecindeki yarı iletken levha hatalarının sınıflandırılması ve benzerliklerinin derecelendirilmesi” isimli yüksek lisans tez çalışmasından türetilmiştir.

Çalışmadaki tasarım faaliyetleri ve deneysel kurgular Ekrem Düven gözetiminde Gökhan Ergen tarafından gerçekleştirilmiştir. Sonuçların analiz edilmesi ve yorumlanması Gökhan Ergen ve Ekrem Düven tarafından ortaklaşa yapılmıştır. Makale Ekrem Düven tarafından yazılmış ve düzenlenmiştir ve makalenin sorumlu yazarı Ekrem Düven'dir. Her iki yazar da makalenin son taslağını okumuş ve onaylamıştır.

KAYNAKLAR

1. Chen, F. ve Liu, S. (2000), “A neural-network approach to recognize defect spatial pattern in semiconductor fabrication”, *IEEE Transactions on Semiconductor Manufacturing*, vol. 13, no. 3, pp. 366-373. doi: 10.1109/66.857947.
2. Chen, S., Zhang, Y., Yi, M., Shang, Y. ve Yang, P. (2021), “AI classification of wafer map defect patterns by using dual-channel convolutional neural network”, *Engineering Failure Analysis*, vol. 130. doi: 10.1016/j.engfailanal.2021.105756.
3. Ergen, G. (2022), “Makine öğrenmesi yaklaşımıyla yonga üretim sürecindeki yarı iletken levha hatalarının sınıflandırılması ve benzerliklerinin derecelendirilmesi”, Yüksek Lisans Tezi, B.T.Ü. Lisansüstü Eğitim Enstitüsü, Bursa.

4. Hiltunen, Y. ve Mika, L. (2018), “Recognition of systematic spatial patterns in silicon wafers based on SOM and K-means”, *IFAC-PapersOnLine*, vol. 51, no.2, pp. 439-444. doi: 10.1016/j.ifacol.2018.03.075.
5. Hwang, J. ve Kuo, W. (2007), “Model-based clustering for integrated circuit yield enhancement”, *European Journal of Operational Research*, vol. 178, no. 1, pp. 143-153. doi: 10.1016/j.ejor.2005.11.032.
6. IEEE Spectrum (2023), <https://spectrum.ieee.org/tech-talk/semiconductors/devices/how-and-when-the-chip-shortage-will-end-in-4-charts>, Erişim Tarihi: Şubat 2023, Konu: *How and when the chip shortage will end in 4 Charts - Fabs using older process nodes are the key.*
7. Jin, C.H., Kim, H.-J., Piao, Y., Li, M. ve Piao, M. (2020), “Wafermap defect pattern classification based on convolutional neural network features and error-correcting output codes”, *Journal of Intelligent Manufacturing*, vol. 31, pp. 1861-1975. doi: 10.1007/s10845-020-01540-x.
8. Lee, S. ve Kim, D. (2018), “Distributed-based hierarchical clustering system for large-scale semiconductor wafers”, *International Conference on Industrial Engineering and Engineering Management IEEM-2018*, pp. 1528-1532. doi: 10.1109/IEEM.2018.8607492.
9. McKinsey (2020), “Semiconductor design and manufacturing: Achieving leading-edge capabilities”, A Report by McKinsey & Company (authors: Harald Bauer, Ondrej Burkacky, Peter Kenevan, Stephanie Lingemann, Klaus Pototzky, and Bill Wiseman).
10. MIRLAB (2021), <http://mirlab.org/dataset/public/>, Yayın Tarihi: 2015, Erişim Tarihi: Kasım 2021, Konu: *Research Datasets*.
11. MKS (2021), <https://www.newport.com/n/semiconductor-inspection>, Erişim Tarihi: Aralık 2021, Konu: *Semiconductor Inspection*.
12. Mönch, L., Chien, C.F., Dauzère-Pérès, S., Ehm, H. ve Fowler, J.W. (2018), “Modelling and analysis of semiconductor supply chains”, *International Journal of Production Research*, vol. 56, no. 13, pp. 4521–4523. doi: 10.1080/00207543.2018.1464680.
13. Nakawaza, T. ve Kulkarni, D. (2018), “Wafer map defect pattern classification and image retrieval using convolutional neural network”, *IEEE Transactions on Semiconductor Manufacturing*, vol. 31, no. 2, pp. 309-314. doi: 10.1109/TSM.2018.2795466.
14. Piao, M. ve Jin, C.H. (2018), “Decision tree ensemble-based wafer map failure pattern recognition based on radon transform-based features”, *IEEE Transactions on Semiconductor Manufacturing*, vol. 31, no. 2, pp. 250-257. doi: 10.1109/TSM.2018.2806931.
15. Piao, M. ve Jin, C.H. (2022), “CNN and ensemble learning based wafermap failure pattern recognition based on local property based features”, *Journal of Intelligent Manufacturing*. doi: 10.1007/s10845-022-02023-x.
16. SIA (2021), <https://www.semiconductors.org/chipmakers-are-ramping-up-production-to-address-semiconductor-shortage-heres-why-that-takes-time/>, Erişim Tarihi: Şubat 2023, Konu: *Chipmakers are ramping up production to address semiconductor shortage. Here's why that takes time - Semiconductor Industry Association.*
17. Sun, C. ve Rose, T. (2015), “Supply chain complexity in the semiconductor industry: Assessment from system view and the impact of changes”, *IFAC-PapersOnLine*, vol. 28, no. 3, pp. 1210–1215. doi: 10.1016/j.ifacol.2015.06.249.

18. TSMC (2021), https://www.tsmc.com/english/dedicatedFoundry/manufacturing/fab_capacity, Erişim Tarihi: Ocak 2022, Konu: *Production quantities and factory capacities*.
19. Wang, C. ve Kuo, W. (2006), “Detection and classification of defect patterns on semiconductor wafers”, *IIE Transactions*, vol. 38, no. 12, pp. 1059-1068. doi: 10.1080/07408170600733236.
20. Wei, K.-H., Hung, C.-C., Wang, Y.-S., Liu, C.-P., Chen, K.-W. ve Wang, Y.-L. (2016), “Cleaning methodology of small residue defect with surfactant in copper chemical mechanical polishing post-cleaning”, *Thin Solid Films*, vol. 618(A), pp. 77-80. doi: 10.1016/j.tsf.2016.05.007.
21. Wu, M. ve Jang, R. (2015), “Wafer map failure pattern recognition and similarity ranking for large-scale data sets”, *IEEE Transactions on Semiconductor Manufacturing*, vol. 28, no. 1, pp. 1-12. doi: 10.1109/TSM.2014.2364237.
22. Yu, J. ve Lu, X. (2016), “Wafer map defect detection and recognition using joint local and nonlocal linear discriminant analysis”, *IEEE Transactions on Semiconductor Manufacturing*, vol. 29, no. 1, pp. 33-43. doi: 10.1109/TSM.2015.2497264.
23. Yu, N., Xu, Q. ve Wang, H. (2019), “Wafer defect pattern recognition and analysis based on convolutional neural network”. *IEEE Transactions on Semiconductor Manufacturing*, vol. 32, no. 4, pp. 566-573. doi: 10.1109/TSM.2019.2937793.
24. Veendrick, H. (2018), *The chip development cycle, Bits on Chips*, 2nd ed., part I - 55-66, Springer, Berlin.

