



Çok Fonksiyonlu DDCC+ Tabanlı Akım-Modlu Dört Bölge Çarpma Devresi

Multi-Function DDCC+ Based Current-Mode Four-Quadrant Multiplier Circuit

Tayfun Unuk¹

¹Pamukkale University, Engineering Faculty, Department of Electrical and Electronic Engineering, Pamukkale, TURKEY

Başvuru/Received: 19/06/2023

Kabul / Accepted: 20/07/2023

Çevrimiçi Basım / Published Online: 31/12/2023

Son Versiyon/Final Version: 31/12/2023

Öz

Bu makalede translineer devre teorisi kullanılarak pozitif tip Diferansiyel Fark Akım Taşıyıcı (DDCC+) ve BJT tabanlı çok fonksiyonlu dört bölge akım modlu çarpma devresi önerilmiştir. Devreye ait çıkışların teorik analizlerinin ardından SPICE programında benzetimi yapılmıştır. Benzetim sırasında CA 3046 ve 0.18 μm TSMC CMOS teknoloji parametreleri kullanılmıştır.

Anahtar Kelimeler

“DDCC+, Translineer Devre teorisi, Akım modlu, Çarpma devresi”

Abstract

In this paper, positive type Differential Difference Current Conveyour (DDCC+) and BJT-based multi-function four-quadrant current-mode multiplier circuit is proposed using translinear circuit theory. After the theoretical analysis of the outputs of the circuit outputs, they are simulated in the SPICE program. During the simulation, CA 3046 and 0.18 μm TSMC CMOS technology parameters are used.

Key Words

“DDCC+, Translinear Circuit theory, Current-mode, Multiplication circuit”

1. Giriş

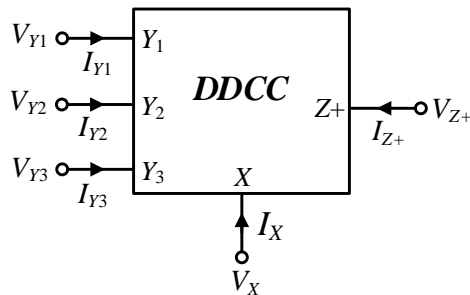
Son yıllarda analog çarpma devreleri; bulanık mantık denetleyicileri, genlik modülatörleri ve yapay sinir ağları gibi pek çok alanda (Tijare & Dakhole, 2010; Panigrahi & Paul, 2013; Keleş & Kuntman, 2011) kullanılmaktadır. Çarpma devrelerini çalışma moduna, giriş sayısı ve çarpma işlemi yapılan bölgeler göre pek çok açıdan sınıflandırmak mümkündür. Çalışma moduna göre çarpma devrelerini genellikle gerilim modlu (Panigrahi & Paul, 2013; Srivastava ve diğerleri, 2014; Tijare & Dakhole, 2010; Kumngern, 2013; Myderrizi ve diğerleri 2011) ve akım modlu (Tangsrirat ve diğerleri, 2011; Lawanwisut ve diğerleri, 2016; dos Santos ve diğerleri, 2021; Kasimis & Psychalinos, 2011; Beyraghi & Khoei, 2015; Keleş & Kuntman, 2011) olarak ikiye ayrılmaktadır. Çalışma modunu belirleyen temel unsur giriş ve çıkış işaretlerinin türünün yanı sıra devrede ağırlıklı olarak işlenen işaretin türü de modların belirlenmesinde önemli etkenlerdendir. Eğer giriş ve çıkış işaretleri akım ise bu tip devreler akım modlu devreler, giriş ve çıkış işaretleri gerilim ise bu tip devreler ise gerilim modlu devreler olarak ifade edilmektedir. Literatürdeki çalışmaları çarpma devrelerinin giriş sayısına göre sınıflandırmak da mümkündür. Literatürde yaygın olarak iki girişli çarpma devreleri (Panigrahi & Paul, 2013; Srivastava ve diğerleri, 2014; Myderrizi ve diğerleri 2011; Kasimis & Psychalinos, 2011; Beyraghi & Khoei, 2015) üzerine çalışılmıştır. Bunun yanı sıra üç girişli (Herath & Wimalarathna, 2018) ve daha fazla giriş imkânı sunan topolojilerde (Saatlo & Ozoguz, 2012; Unuk ve diğ., 2023) mevcuttur. Çarpma devrelerini çarpma işlemi yaptıkları bölgelere göre tek bölgeli, dört bölgeli, sekiz bölgeli vb. olarak sınıflandırmak mümkündür. Bölge ifadesinden kasıt çarpılacak olan işaretlerin negatif ve pozitif değerlerinin birbirleriyle çarpımlarının sonucu oluşan bölgelerdir. Sürekli pozitif değerli olan iki işaretinin çarpılma işlemine tek bölgeli çarpma, farklı frekanslarda hem pozitif hem de negatif değerler alan iki işaretin çarpılma işlemine dört bölgeli çarpma işlemi olarak adlandırılmaktadır. İki işaretin çarpıldığı durumlarda en fazla dört bölgeli çarpma işleminden bahsetmek mümkündür. Eğer işaret sayısı üç olursa bu durumda sekiz bölgeli bir çarpmadan bahsedilebilir. Kısaca n adet işaretin çarpılması sonucunda 2^n bölgeden bahsedilebilir.

Bu makalede translineer devre teorisi kullanılarak, Pozitif tip Diferansiyel Fark Akım Taşıyıcı ($DDCC^+$) tabanlı akım modlu çarpma devresi tasarlanmıştır. Bu devrenin benzetimleri SPICE programı kullanılarak yapılmıştır.

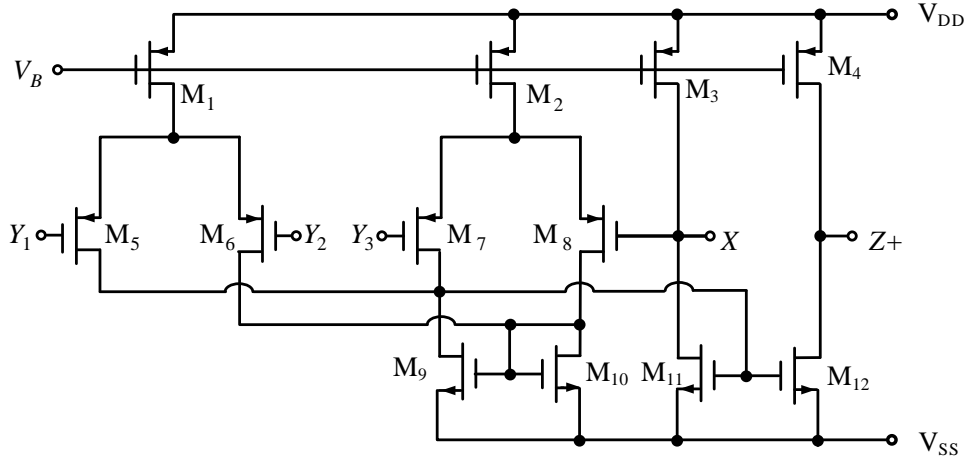
2. Translineer Devre Teorisi ve $DDCC^+$

Translineer devre teorisi ilk olarak 1975 yılında Gilbert (Gilbert,1975) tarafından ortaya atılmıştır. Bu devre teorisi esas olarak p ve n eklemelerinden oluşan diyot, BJT ve MOS transistör gibi yarıiletken elemanların gerilim ve akım ifadelerindeki üstel ilişkiye dayanmaktadır. Bu devre teorisine göre p - n eklemeli elemanlardan oluşturulan devrenin kapalı bir çevrim oluşturması ve bu kapalı çevrimdeki saat yönünde kutuplanan eklemelerin saat yönünün tersi yönde kutuplanan eklemelerin sayısına eşit olması gerekmektedir. Bu teoriye göre saat yönündeki eklemelerin gerilimlerinin toplamı saat yönünün tersindeki eklemelerin gerilimlerinin toplamı birbirine eşittir.

Devre tasarımında matematiksel kabiliyeti nedeniyle $DDCC^+$ tercih edilmiştir. $DDCC^+$ 'nın devre sembolü Şekil 1'de gösterilmiştir. $DDCC^+$ 'nın uç bağıntıları Denklem 1'de verilmiştir. Denklem 1'de α akım kazancını, β , η ve δ gerilim kazancını ifade etmektedir. İdeal durumda bu kazançlar 1'e eşittir. Uç bağıntılarından da anlaşılacağı üzere Y terminalerinden akım akmamaktadır. X ucundaki gerilim, Y_1 ve Y_3 gerilimlerinin toplamından Y_2 geriliminin çıkarılmasıyla elde edilmektedir. X ucunda oluşan akım ise Z^+ ucuna kopyalanmaktadır. $DDCC^+$ 'nın MOS transistör tabanlı iç yapısı (Chiu ve diğ., 1996) Şekil 2'de verilmiştir.



Şekil 1. $DDCC^+$ 'nın elektriksel sembolü.



Şekil 2. DDCC+'nın CMOS tabanlı iç yapısı.

$$\begin{bmatrix} I_{Y1} \\ I_{Y2} \\ I_{Y3} \\ I_{Z+} \\ V_X \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & \alpha \\ \beta & -\eta & \delta & 0 \end{bmatrix} \begin{bmatrix} V_{Y1} \\ V_{Y2} \\ V_{Y3} \\ I_X \end{bmatrix} \quad (1)$$

3. Tasarlanan Çok Fonksiyonlu Çarpma Devresi

Önerilen çok fonksiyonlu akım modlu çarpma devresi Şekil 3'te verilmiştir. Devrenin üç çıkışı bulunmaktadır. Bu çıkışlar sırasıyla iki giriş işaretinin çarpılması, ilk giriş işaretinin karesi ve ikinci giriş işaretinin karesi çıkışlarını sağlamaktadır. Devrede üç adet DDCC+ ve on adet harici BJT kullanılmıştır. Q_8 ve Q_{10} transistörleri dışındaki diğer tüm harici transistörler eş transistörlerdir. Q_8 ve Q_{10} transistörlerinin emiter alanları diğer harici transistörlerin emiter alanlarının iki katına eşittir. Translineer denklemi oluşturan BJT'lerin karakteristik denklemi Denklem 2'de verilmiştir. Buradan V_{BE} gerilimi Denklem 3'teki gibi elde edilebilmektedir. Şekil 3'teki devrede gösterilen Q_1 , Q_2 , Q_3 , Q_4 ve DDCC+'nın oluşturduğu translineer denkleme ait eşitlik Denklem 4'de verilmiştir. Denklem 4'deki baz-emiter gerilimi ifadeler yerine Denklem 3'teki ifade yazılacak olursa Denklem 5 elde edilir. Denklem 5'deki gerekli matematiksel sadeleştirmeler ile Denklem 6'daki eşitlik elde edilir. Denklem 6'daki kollektör akımları yerine Şekil 3'te belirtilen giriş akımları yazılırsa, I_{Z1+} akımı Denklem 7'deki gibi elde edilir. Şekil 3'te gösterilen I_{Z1+} akımının, I_F akımının, Q_3 - Q_5 ve Q_1 - Q_6 akım aynalarının etkileri ile oluşan ilk çıkış akımı Denklem 8'te verilmiştir.

$$I_C = I_S e^{V_{BE}/V_T} \quad (2)$$

$$V_{BE} = V_T \ln \left(\frac{I_C}{I_S} \right) \quad (3)$$

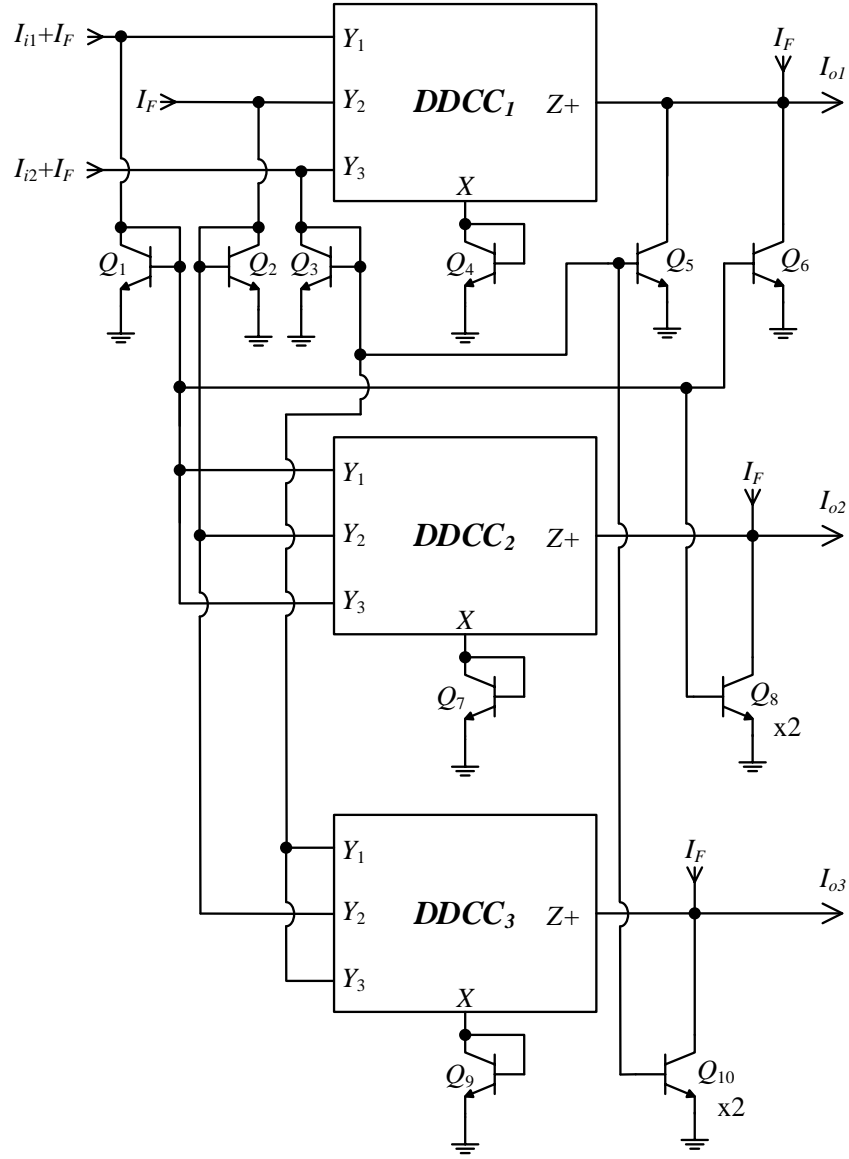
$$V_{BEQ_4} = V_{BEQ_1} + V_{BEQ_3} - V_{BEQ_2} \quad (4)$$

$$V_T \ln \left(\frac{I_{CQ_4}}{I_S} \right) = V_T \ln \left(\frac{I_{CQ_1}}{I_S} \right) + V_T \ln \left(\frac{I_{CQ_3}}{I_S} \right) - V_T \ln \left(\frac{I_{CQ_2}}{I_S} \right) \quad (5)$$

$$I_{Z1+} = I_{CQ_4} = \frac{I_{CQ_1} \times I_{CQ_3}}{I_{CQ_2}} \quad (6)$$

$$I_{Z1+} = I_{CQ_4} = \frac{(I_{i1} + I_F) \times (I_{i2} + I_F)}{I_F} \quad (7)$$

$$I_{O1} = \frac{I_{i1} \times I_{i2}}{I_F} \quad (8)$$



Şekil 3. Çok fonksiyonlu dört bölgeli akım modlu çarpma devresi.

I_{Z2+} akımı, Denklem 6'da elde edilen I_{Z1+} akımı benzer hesaplamalarla Denklem 9'daki gibi elde edilebilir. Denklem 9'daki kollektör akımları yerine Şekil 3'te belirtilen giriş akımları yazılırsa, I_{Z2+} akımı Denklem 10'daki gibi elde edilir. Şekil 3'te gösterilen I_{Z2+} akımının, I_F akımının, Q_6 - Q_8 akım aynasının etkisi ile oluşan ikinci çıkış akımı Denklem 11'de verilmiştir.

$$I_{Z2+} = I_{CQ_7} = \frac{I_{CQ_1} \times I_{CQ_2}}{I_{CQ_2}} \quad (9)$$

$$I_{Z2+} = I_{CQ_7} = \frac{(I_{i1} + I_F) \times (I_{i1} + I_F)}{I_F} \quad (10)$$

$$I_{O2} = \frac{I_{i1}^2}{I_F} \quad (11)$$

I_{Z3+} akımı, sırasıyla Denklem 6'da ve Denklem 9'da elde edilen I_{Z1+} ve I_{Z2+} akımı benzer hesaplamalarla Denklem 12'deki gibi elde edilebilir. Denklem 12'deki kollektör akımları yerine Şekil 3'te belirtilen giriş akımları yazılırsa, I_{Z3+} akımı Denklem 13'teki gibi elde edilir. Şekil 3'te gösterilen I_{Z3+} akımının, I_F akımının, Q_5-Q_{10} akım aynasının etkisi ile oluşan üçüncü çıkış akımı Denklem 14'te verilmiştir.

$$I_{Z3+} = I_{CQ_3} = \frac{I_{CQ_2} \times I_{CQ_3}}{I_{CQ_2}} \quad (12)$$

$$I_{Z3+} = I_{CQ_3} = \frac{(I_{i2} + I_F) \times (I_{i2} + I_F)}{I_F} \quad (13)$$

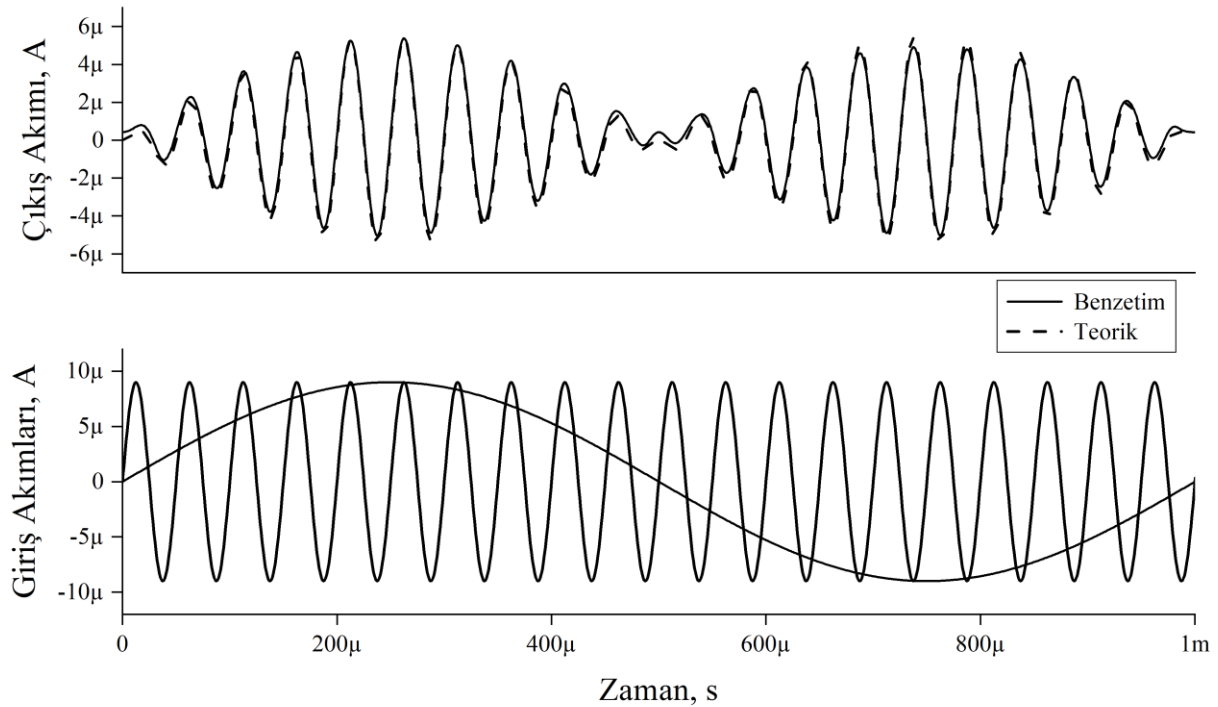
$$I_{O3} = \frac{I_{i2}^2}{I_F} \quad (14)$$

4. Benzetim

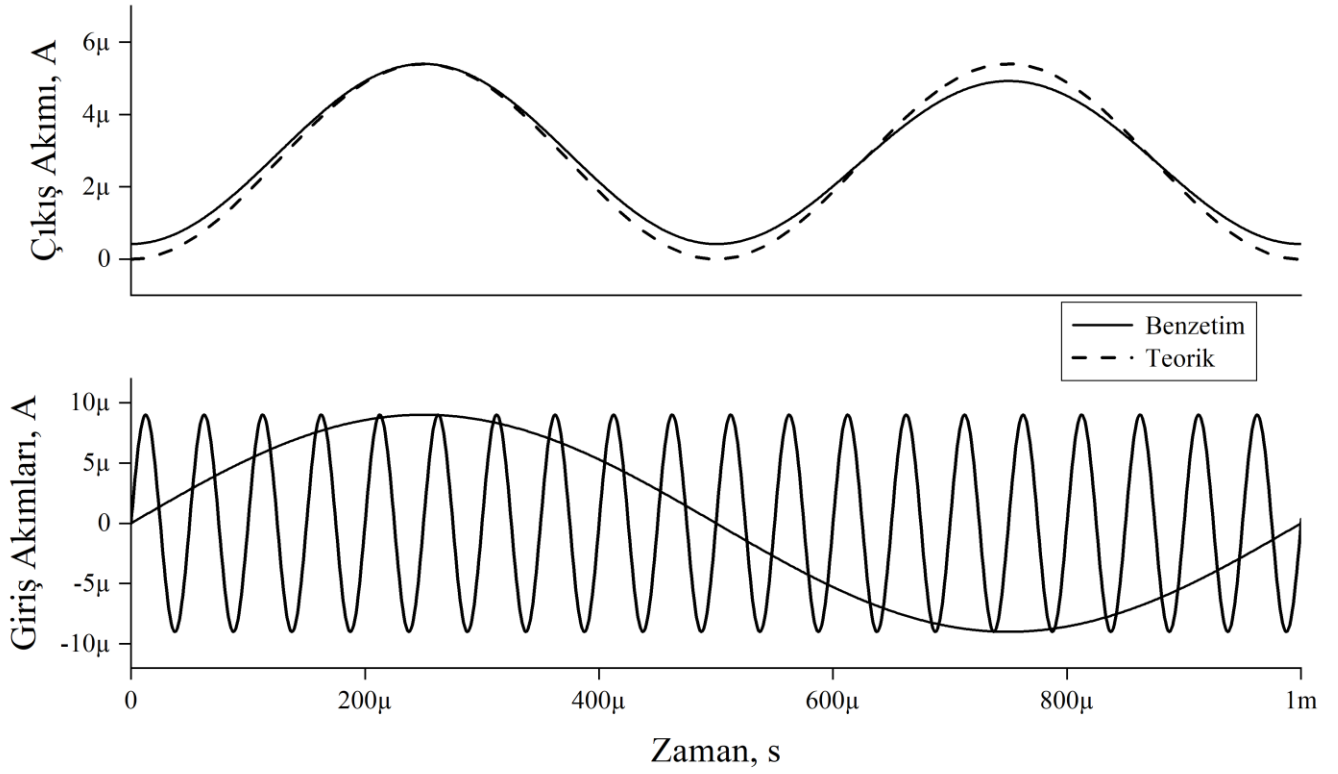
Devrenin benzetimleri SPICE programında yapılmıştır. Tasarlanan devredeki DDCC+'nın iç yapısında bulunan MOS transistörler için 0.18 μm TSMC CMOS teknoloji parametreleri (Minaei & Yuce, 2010) kullanılmıştır. Devrede harici olarak bulunana BJT için CA3046 (METU-EEE, 2010) transistör parametreleri kullanılmıştır. DDCC+'ya ait iç yapıdaki besleme gerilimleri $V_{DD} = -V_{SS} = 1.25$ V ve kutuplama gerilimi $V_B = 0.55$ V olarak seçilmiştir. Çıkış düğümlerinde, çıkış katlarında bulunan transistörlerin çalışabileceği bir potansiyel fark bulunmalıdır. İç yapıdaki MOS transistörlerin en boy oranları Tablo 1'de verilmiştir. Şekil 3'te önerilen devrede $I_{i1} = 9 \mu\text{A}$ (1 kHz), $I_{i2} = 9 \mu\text{A}$ (20 kHz) ve $I_F = 15 \mu\text{A}$ olarak seçilmiştir. Elde edilen çıkışlara ait benzetim sonuçları ve teorik sonuçlar sırasıyla Şekil 4, Şekil 5 ve Şekil 6'da verilmiştir.

Tablo 1. MOS transistörlerin en boy oranları

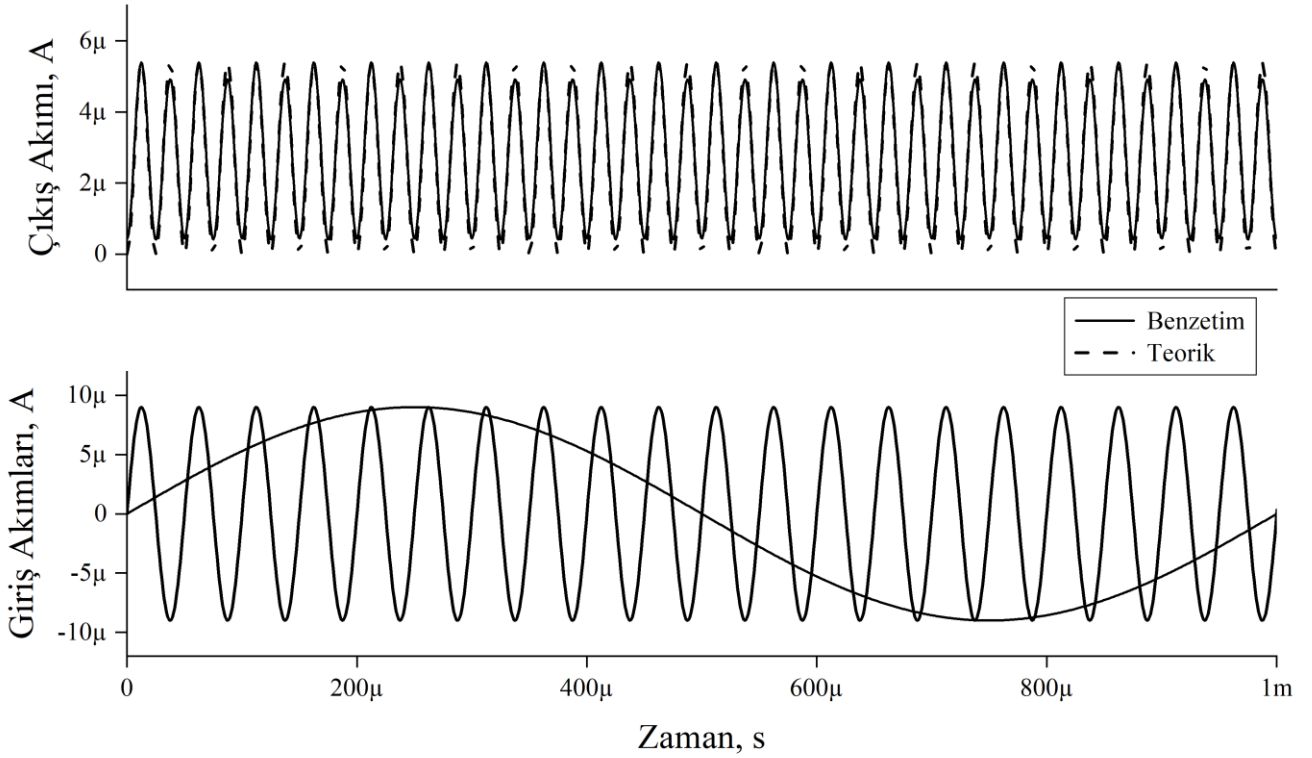
MOS Transistors	W (μm)	L (μm)
PMOS M_1-M_8	39	0.5
NMOS M_9-M_{12}	13	



Şekil 4. Şekil 3'te verilen devrenin birinci çıkışına ait zaman ortami benzetim ve teorik sonuçları.



Şekil 5. Şekil 3'te verilen devrenin ikinci çıkışına ait zaman ortamı benzetim ve teorik sonuçları.



Şekil 6. Şekil 3'te verilen devrenin üçüncü çıkışına ait zaman ortamı benzetim ve teorik sonuçları.

5. Sonuçlar

Bu makalede çok fonksiyonlu DDCC+ tabanlı dört bölgeli çarpma devresi önerilmiştir. Tasarlana devreye uygulanan iki farklı frekanstaki işaret uygulanması halinde üç adet çıkış elde edilebilmektedir. Bu çıkışlardan ilki iki giriş işaretini çarpımını sağlamaktadır. İkinci ve üçüncü çıkışlar ise uygulanan her bir girişin karelerini sağlamaktadır. Teorik analizlerin ardından tasarlanan devrelerin CA3046 ve 0.18 μm TSMC CMOS teknoloji parametreleri kullanılarak SPICE programında benzetimleri yapılmıştır. Teorik sonuçlar ile benzetim sonuçlarının uyumlu olduğu görülmüştür.

Referanslar

- Beyraghi, N., & Khoei, A. (2015). CMOS design of a low power and high precision four-quadrant analog multiplier. *AEU-International Journal of Electronics and Communications*, 69(1), 400-407.
- Chiu, W., Liu, S. I., Tsao, H. W., & Chen, J. J. (1996). CMOS differential difference current conveyors and their applications. *IEE Proceedings-Circuits, Devices and Systems*, 143(2), 91-96.
- dos Santos, R. B., Souza, G. A., & Faria, L. A. (2021). A novel four-quadrant/one-quadrant multiplier circuit. *AEU-International Journal of Electronics and Communications*, 138, 153865.
- Gilbert, B. (1975). Translinear circuits: A proposed classification. *Electronics letters*, 1(11), 14-16.
- Herath, H. M. V. R., & Wimalarathna, G. H. I. (2018). An Eight-Octant bipolar junction transistor analog multiplier circuit and its applications. *Ceylon Journal of Science*, 47(2), 143-151.
- Kasimis, C., & Psychalinos, C. (2011). 0.65 V class-AB current-mode four-quadrant multiplier with reduced power dissipation. *AEU-International Journal of Electronics and Communications*, 65(7), 673-677.
- Keleş, S., & Kuntman, H. H. (2011). Four quadrant FGMOS analog multiplier. *Turkish Journal of Electrical Engineering and Computer Sciences*, 19(2), 291-301.
- Kumngern, M. (2013, June). A DXCCII-based four-quadrant multiplier. In *2013 IEEE 7th International Power Engineering and Optimization Conference (PEOCO)* (pp. 738-741). IEEE.
- Lawanwisut, S., Sathaphol, P., Payakkakul, K., Pipatthitikorn, P., & Siripruchyanun, M. (2016). A temperature-insensitive current-mode multiplier/divider using only double-output VDTA. *Procedia Computer Science*, 86, 156-159.
- METU-Department of Electrical and Electronics Engineering, (2010). EE 313 Analog Electronics Laboratory. İnternet Sayfası: http://homes.ieu.edu.tr/maskar/EEE331/General/Spice_Tutorial_ver2010.pdf Son Erişim: 19.07.2023
- Minaei, S., & Yuce, E. (2010). Novel voltage-mode all-pass filter based on using DVCCs. *Circuits, Systems and Signal Processing*, 29, 391-402. 0.18 μm
- Myderrizi, I., Minaei, S., & Yuce, E. (2011, May). CCII+ based fully CMOS four-quadrant multiplier. In *2011 24th Canadian Conference on Electrical and Computer Engineering (CCECE)* (pp. 000759-000762). Ieee.
- Panigrahi, A., & Paul, P. K. (2013). A novel bulk-input low voltage and low power four quadrant analog multiplier in weak inversion. *Analog Integrated Circuits and Signal Processing*, 75, 237-243.
- Saatlo, A. N., & Ozoguz, S. (2012, June). CMOS design of a multi-input analog multiplier. In *PRIME 2012; 8th Conference on Ph. D. Research in Microelectronics & Electronics* (pp. 1-4). VDE.
- Srivastava, R., Gupta, M., & Singh, U. (2014). Low voltage floating gate MOS transistor based four-quadrant multiplier. *Radioengineering*, 23(4), 1150-1160.
- Tangsrirat, W., Pukkalanun, T., Mongkolwai, P., & Surakamponorn, W. (2011). Simple current-mode analog multiplier, divider, square-rooter and squarer based on CDTAs. *AEU-International Journal of Electronics and Communications*, 65(3), 198-203.
- Tijare, A., & Dakhole, P. (2010). VLSI Design of Four Quadrant Analog Voltage-Mode Multiplier and Its Application. In *Information and Communication Technologies: International Conference, ICT 2010, Kochi, Kerala, India, September 7-9, 2010. Proceedings* (pp. 50-54). Springer Berlin Heidelberg.
- Unuk, T., Arslanalp, R., & Tez, S. (2023). Design of Current-Mode versatile Multi-Input analog multiplier topology. *AEU-International Journal of Electronics and Communications*, 160, 154493.