



POLİTEKNİK DERGİSİ

JOURNAL of POLYTECHNIC

ISSN: 1302-0900 (PRINT), ISSN: 2147-9429 (ONLINE)

URL: <http://dergipark.org.tr/politeknik>



Düşük gerilim düşük güçlü MOSFET tasarım yöntemlerinin incelenmesi

Investigation of low voltage low power MOSFET design methods

Yazar(lar) (Author(s)): Pelin DOĞAN SEKRETER¹, Atilla UYGUR², Mustafa ALÇI³

ORCID¹: 0009-0002-5547-8805

ORCID²: 0000-0001-5220-5188

ORCID³: 0000-0001-5478-6908

To cite to this article: Doğan Sekreter .P, Uygur A. ve Alçı M., “Düşük Gerilim Düşük Güçlü MOSFET Tasarım Yöntemlerinin İncelenmesi”, *Journal of Polytechnic*, 29(4):290403:1-10 (2026).

Bu makaleye şu şekilde atıfta bulunabilirsiniz: Doğan Sekreter .P, Uygur A. ve Alçı M., “Düşük Gerilim Düşük Güçlü MOSFET Tasarım Yöntemlerinin İncelenmesi”, *Politeknik Dergisi*, 29(4):290403:1-10 (2026).

Erişim linki (To link to this article): <http://dergipark.org.tr/politeknik/archive>

DOI: 10.2339/politeknik.1338855

Düşük Gerilim Düşük Güçlü MOSFET Tasarım Yöntemlerinin İncelenmesi

Investigation of Low Voltage Low Power MOSFET Design Methods

Önemli noktalar (Highlights)

- ❖ Düşük gerilim düşük güçlü MOSFET tasarım yöntemlerinin karşılaştırılması/ Comparison of low voltage low power MOSFET design methods
- ❖ FGMOS, QFGMOS, BD-FGMOS, BD-QFGMOS, BD-MOS, DTMOS

Grafik Özet (Graphical Abstract)

Bu çalışmada düşük gerilim düşük güçlü MOSFET tasarım yöntemleri kullanılarak yapılan literatürdeki çalışmaların benzetim sonuçları derlenerek karşılaştırılmıştır.

Çizelge 1. Düşük gerilim ve düşük güçlü MOSFET tasarım yöntemleri ile yapılan OTA çalışmalarının karşılaştırılması/ Comparison of OTA studies using low voltage and low power MOSFET design methods

Karşılaştırılan FVF-OTA Çalışmaları	2018[37]	2018[37]	2020[38]	2016[45]	2019[46]	2017[47]
MOSFET Tasarım	FGMOS	BDFGMOS	BDQFGMOS	DTMOS	BDMOS	QFGMOS
Teknoloji	0.18 μm	0.18 μm	0.18 μm	0.18 μm	0.18 μm	0.5 μm
Besleme Gerilimi	$\pm 0.5\text{V}$	$\pm 0.5\text{V}$	$\pm 0.5\text{V}$	$\pm 0.5\text{V}$	0.7 V	$\pm 0.9\text{V}$
Güç Tüketimi	136 μW	158 μW	158 μW	70.19 μW	0.14 μW	51.84 μW
Geçiş İletkenliği	68 $\mu\text{A/V}$	67.88 $\mu\text{A/V}$	60.31 $\mu\text{A/V}$	314.73 $\mu\text{A/V}$	337.332 nA/V	-
Kazanç Bant Genişliği Çarpımı	16.53 MHz	18.81 MHz	14.11 MHz	53.44 MHz	1.07 kHz	226.6 kHz
Voltaj Kazancı	22 dB	21.09 dB	20.19 dB	39 dB	71.35 dB	42.12 dB

Amaç (Aim)

Bu çalışmada düşük gerilim düşük güçlü MOSFET tasarım yöntemlerinin avantaj ve dezavantajlarını incelemek ve değerlendirmek hedeflenmiştir. / In this study, it is aimed to examine and evaluate the advantages and disadvantages of low voltage low power MOSFET design methods.

Tasarım ve Yöntem (Design & Methodology)

Bu çalışmada düşük gerilim, düşük güçlü MOSFET tasarım yöntemleri derlenerek yöntemlerin avantaj ve dezavantajları sunulmuştur. / In this study, low voltage, low power MOSFET design methods are compiled and the advantages and disadvantages of the methods are presented.

Özgünlük (Originality)

Konuyla ilgili literatür taraması yapıldığında bu yöntemlerin incelenmesine rağmen karşılaştırılmadığı gözlemlenmiştir. / When the literature was reviewed on the subject, it was observed that although these methods were examined, they were not compared.

Bulgular (Findings)

İncelenen yöntemlerin dezavantajlarının üstesinden gelmek için yapılan birçok çalışmanın olduğu ve hala çalışmaların devam ederek yeni yöntemler geliştirildiği belirlenmiştir. / It has been determined that there are many studies carried out to overcome the disadvantages of the examined methods and new methods have been developed by continuing the studies.

Sonuç (Conclusion)

Düşük gerilim düşük güçlü MOSFET tasarım yöntemleri voltaj kazancı, güç tüketimi, geçiş iletkenliği, kazanç bant genişliği çarpımı gibi parametreler açısından karşılaştırılarak sunulmuştur. / Low voltage low power MOSFET design methods are presented by comparing them in terms of parameters such as voltage gain., power consumption, transconductance and gain bandwidth product.

Etik Standartların Beyanı (Declaration of Ethical Standards)

Bu makalenin yazar(lar)ı çalışmalarında kullandıkları materyal ve yöntemlerin etik kurul izni ve/veya yasal-özel bir izin gerektirmediğini beyan ederler. / The author(s) of this article declare that the materials and methods used in this study do not require ethical committee permission and/or legal-special permission.

Düşük Gerilim Düşük Güçlü MOSFET Tasarım Yöntemlerinin İncelenmesi

Derleme Makalesi / Review Article

Pelin DOĞAN SEKRETER^{1*}, Atilla UYGUR², Mustafa ALÇI³,

^{1,2}Gebze Teknik Üniversitesi, Mühendislik Fakültesi, Elektronik Mühendisliği Bölümü, 41400, Kocaeli, Türkiye

³Erciyes Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği Bölümü, 38039, Kayseri, Türkiye

(Geliş/Received : 07.08.2023 ; Kabul/Accepted : 22.01.2024 ; Erken Görünüm/Early View : 19.04.2024)

ÖZ

Düşük güçlü ve düşük gerilimli sistemler, taşınabilir elektronik cihazlardan otomotiv sektörüne kadar birçok alanda yaygın olarak kullanılmaktadır. Bu konu üzerinde yapılan çalışmalar artarak devam etmektedir. Güç tüketiminin düşük, boyutlarının küçük ve anahtarlama hızının yüksek olmasından dolayı MOSFET çeşitli devre yapılarının tasarımında tercih edilmektedir. Fakat düşük gerilim düşük güçlü sistemlerde eşik geriliminin oransal olarak düşük olmaması karşılaşılan problemlerden biridir. Eşik gerilimi probleminin üstesinden gelmek amacıyla geliştirilen yöntemler bu çalışmada kapsamlı bir literatür taraması yapılarak incelenmektedir. Geliştirilen yöntemler karşılaştırmalı olarak incelenmekte ve devre yapılarına sağladığı avantajlar ve dezavantajlar hakkında bilgiler de verilmektedir.

Anahtar Kelimeler: BD-MOS, FGMOS, QFGMOS, DTMOS, BD-FGMOS, BD-QFGMOS.

Investigation of Low Voltage Low Power MOSFET Design Methods

ABSTRACT

Low power and low voltage systems are widely used in many fields, from portable electronic devices to the automotive industry. Studies on this subject continue to increase. MOSFET is preferred in the design of various circuit structures due to its low power consumption, small size and fast switching. However, one of the problems encountered is that the threshold voltage is not proportionally low in low voltage low power systems. The methods developed to overcome the threshold voltage problem are examined in this article by making a comprehensive literature review. The developed methods are examined comparatively and information about the advantages and disadvantages provided to the circuit structures is also given.

Keywords: BD-MOS, FGMOS, QFGMOS, DTMOS, BD-FGMOS, BD-QFGMOS.

1. GİRİŞ (INTRODUCTION)

Düşük güç ve düşük gerilim sistemleri giyilebilir biyomedikal ürünler, taşınabilir teknolojik ürünler gibi daha çok pille çalışan ürünler için kullanılmaktadır. Bu durum araştırma ve geliştirme konusu olarak görülmekte ve üzerine birçok çalışma yapılmaktadır.

Besleme gerilimi transistör boyutlarının küçülmesi ile azalırken eşik gerilimi azalmamaktadır. Bu durum, düşük gerilimli sistemlerin analog devre tasarımında karşılaşılan temel zorluklardan biri olan eşik gerilimi sorununu ortaya çıkarmaktadır. Analog devre tasarımlarında bu sorunu çözmek amacıyla standart devre çözümlerine ek olarak yeni metotlara ihtiyaç duyulmakta ve bu alanda birçok çalışma yapılarak yeni yöntemler geliştirilmektedir.[1]

Bu yöntemlerden bazıları:

- Eşik Altı Bölgede Çalışan MOS
- Gövdeden Sürülen MOS (BD-MOS, Bulk Driven MOS)
- Yüzen Geçit MOS (FGMOS, Floating Gate MOS)

- Sözde (Quasi) FGMOS (QFGMOS)
- Dinamik Eşik Gerilimli MOS (DTMOS, Dynamic Threshold MOS)
- Gövdeden Sürülen Yüzen Geçit MOS (Bulk-Driven Floating-Gate MOS, BD-FGMOS)
- Gövdeden Sürülen Sözde Yüzen Geçit MOS (Bulk Driven- QFGMOS)

MOS teknolojisi, BJT teknolojisine oranla üretim sırasındaki işlem adımlarının daha az olması, maliyetin daha düşük olması ve daha az kırkım alanı kaplaması nedeniyle analog sistemlerde daha avantajlıdır. Bununla birlikte, giriş direncinin yüksek olması ve düşük güç tüketimine sahip olmaları da MOS transistörlü yapıların avantajları arasında yer almaktadır.[2]

Kollektör akımları aynı olan MOSFET ve bipolar transistör karşılaştırıldığında MOSFET'in geçiş iletkenliği değerinin daha düşük olduğu görülmekte ve bu durum devre tasarımında dezavantaj oluşturmaktadır. Bu dezavantajı giderebilmek için kazanç katında yüksek değerli dirençler kullanılabilir. Fakat direnç değeri ile kullanılacak kırkım alanı doğru orantılı olduğundan MOSFET'lerde yüksek değerli dirençleri

*Sorumlu Yazar (Corresponding Author)
e-posta : pelinsekreter@gtu.edu.tr

elde etmek oldukça zor olmaktadır. Bu nedenle yüksek kazanç elde etmek amacıyla aktif elemanlar kullanılmalıdır. Dezavantajlarından bir diğeri ise MOS transistörlerin frekans cevabının (bant genişliğinin), bipolar transistöre göre daha düşük olmasıdır. [2,3]

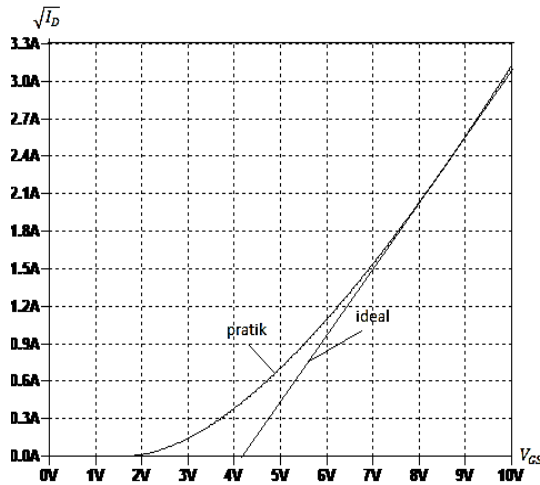
Bu dezavantajlara rağmen MOS transistörler analog devreler ve dijital devrelerin iç içe girmesi nedeniyle yaygın olarak kullanılmaktadır.

Bu çalışmanın amacı düşük gerilim düşük güç MOS tasarım yöntemleri ile ilgili literatürde yapılan çalışmaları incelemek ve karşılaştırmaktır.

2. EŞİK ALTI BÖLGEDE ÇALIŞAN MOSFET (MOSFET OPERATING IN THE SUB-THRESHOLD REGION)

Temel tasarımlarda, MOSFET'lerdeki ideal akım-gerilim ilişkisi; geçit-kaynak voltajının (V_{GS}) eşik gerilimi voltajına (V_{TH}) eşit veya az olması durumunda akıttıcı akımı (I_D) sıfır olarak kabul edilir. Fakat pratik olarak $V_{GS} \leq V_{TH}$ olduğunda I_D sıfır değildir. Şekil 1'de idealdeki ve pratikteki durumların akım-gerilim karakteristiği gösterilmektedir.[4]

MOSFET'in aktif çalışma bölgesi analog devre tasarımında önemli bir etmendir. Optimum analog devre tasarımında; minimum güç tüketimi, minimum alan ve yeterli frekans tepkisi istenilen karakteristik özellikler arasında yer almaktadır.[1]



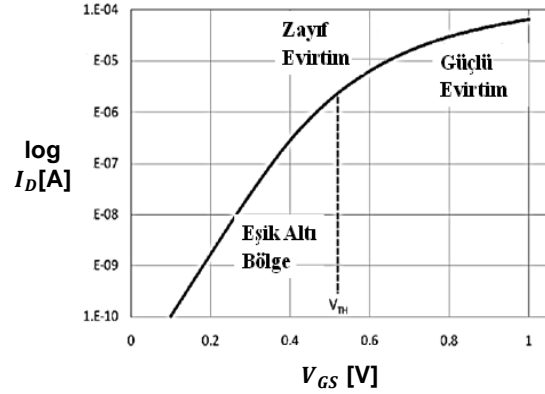
Şekil 1. Bir MOSFET'in idealdeki ve pratikteki $\sqrt{I_D}$ ve V_{GS} karakteristiği (Characteristic of ideal and practical $\sqrt{I_D}$ and V_{GS} for a MOSFET)

Düşük güç tüketimi için geliştirilen yöntemlerden biri ise MOSFET'lerin eşik altı bölgede çalıştırılmasıdır. Şekil 2, MOSFET'in aktif çalışma bölgesini içermektedir.

Karakteristik incelendiğinde, $\log I_D$ akımı, V_T 'ye kadar doğrusal olarak artarken $V_{GS} = V_T$ olduğunda doğrusallıktan sapmaktadır.

Güçlü evirtim (strong inversion) bölgesinde çalışan MOSFET'in iyi bir frekans cevabına sahip olmasına ve az alan kaplamasına rağmen güç tüketimi fazladır. Bu

bölgede çalışırken giriş geriliminin eşik geriliminden yaklaşık 100 mV daha yüksek olması istenir.



Şekil 2. Tipik bir MOS transistörün eşik altı I-V karakteristiği (Subthreshold I-V characteristic of a typical a MOS transistor)

Eşitlik 1'de MOSFET için toplam akıttıcı akımı verilmektedir.

$$I_D (SI) = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (1)$$

Burada λ kanal boyu modülasyon katsayısı ve V_{DS} akıttıcı-kaynak voltajıdır.[1]

Düşük güçlü sistemlerin tasarımında MOSFET'lerin güçlü evirtim bölgesinde güç tüketimi fazla olduğu için zayıf evirtim (weak inversion) bölgesinde çalışması istenmektedir. Zayıf evirtim bölgesi eşik geriliminden daha düşük gerilim uygulamaları için uygundur. Çekilebilecek akımın sınırlı olması nedeniyle sistemlerin düşük güç tüketmesi sağlanmaktadır. Yük taşıyıcıların sayısı azdır ve bu nedenle geçidin altında çok zayıf bir ters çevirme katmanı oluşturulur. Zayıf evirtim bölgesinde difüzyon akımı, V_{GS} voltajına üstel olarak bağımlı ve MOS transistöründen geçen toplam akımın baskın bir bileşenidir. Eşitlik 2'de bu bağımlılık görülmektedir. [1]

$$I_D (WI) = 2 \mu C_{ox} \frac{W}{L} U_T^2 \exp \frac{V_{GS} - V_{T0}}{U_T} \quad (2)$$

Burada V_{T0} , $V_{BS} = 0$ durumundaki eşik voltajı; W/L , kanal genişliğinin kanal boyuna oranı ve U_T ($U_T = kT/q$) termal gerilimdir. Eşitlik incelendiğinde eşik altı çalışan MOSFET'lerin akıttıcı akımının termal gerilime dolayısıyla sıcaklığa bağlı olarak değişim gösterdiği anlaşılmaktadır.

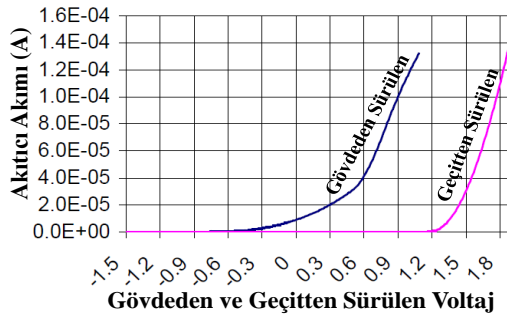
Analog devre tasarımında eşik altı bölgede çalışılması, eşik gerilimi uygulama gereksinimini ortadan kaldırarak çok düşük besleme gerilimleriyle ve çok düşük güç tüketerek çalışabilen sistemlerin tasarlanabilmesini sağlamaktadır.[5]

Analog devre tasarımında eşik altı bölgede çalışan MOSFET'lerin; sıcaklık değişiminden etkilenmeleri, çekilebilecek akımın sınırlı olması, frekans cevabının zayıf olması, $V_{DS} < 3U_T$ için lineerliğin oldukça zayıf olması ise eşik altı bölgede çalışan MOSFET'lerin dezavantajları arasında yer almaktadır. [5,6]

3. GÖVDEDEN SÜRÜLEN MOS (BD-MOS, BULK DRIVEN MOS)

Gövdeden sürülen MOSFET, geleneksel MOSFET'lere alternatif olarak düşük güçlü sistemlerde eşik geriliminin üstesinden gelmek için kullanılan yöntemlerden biridir. Bu yöntemde, kaynak bağlantısı üzerindeki bir ters yönde kutuplama eşik geriliminin artmasına neden olurken benzer şekilde, ileri yönde kutuplama ise eşik voltajının düşmesine neden olacaktır. [7]

BD-MOS, eşik voltajı probleminin çözülmesi amacıyla geliştirilmiş yöntemlerden biridir. BD-MOS, azaltan tip (depletion type, D-tipi) MOSFET yapısına sahip olduğundan negatif, sıfır ve hatta biraz pozitif polarizasyonla da çalışabilir durumdadır. Şekil 3'te yer alan karakteristikte geleneksel geçit terminali üzerinden sürülen MOSFET ve gövde terminali üzerinden sürülen MOSFET'e ait akım voltaj karakteristiği yer almaktadır. Karakteristik incelendiğinde geleneksel MOSFET'lere göre BD-MOS transistörün eşik geriliminin daha düşük olduğu görülmektedir.



Şekil 3. BD-MOS için Akıttıcı akımı ve Gövdeden ve Geçitten Sürülen akım-voltaj karakteristiği (Drain current and Body and Gate Driven current-voltage characteristic for BD-MOS) [7]

Geleneksel MOS transistörünün akıttıcı akımı (I_D) geçit-kaynak gerilimine (V_{GS}) bağlı olarak değişmektedir. Bu akım ayrıca, genellikle parazitik bir etki olarak kabul edilen ve istenmeyen gövde geçiş iletkenliğine (g_{mb}) neden olabilen gövde kaynak voltajı (V_{BS}) tarafından da kontrol edilebilir. Bu bilgilerden yararlanarak BD-MOS transistöründe kutuplama voltajı V_{GS} sabit tutulursa ve gövde terminaline giriş işareti uygulanırsa JFET eşdeğer devresi elde edilir. Şekil 4'te BDMOS ve JFET eşdeğer devresi yer almaktadır. [1]

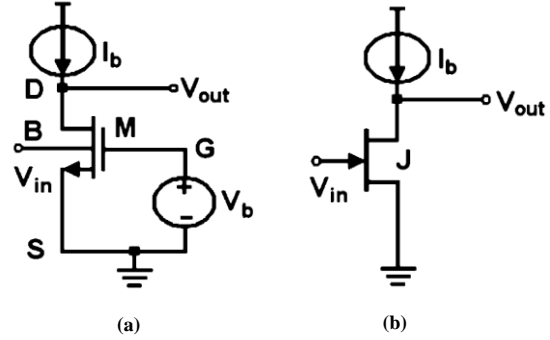
Gövde geçiş iletkenliği (g_{mb}), MOS transistörlerde küçük sinyal parametresi olarak tanımlanır ve akıttıcı akımının (I_D) türevinin gövde kaynak voltajının (V_{BS}) türevine oranıdır ve Eşitlik 3'te verilmektedir.

$$g_{mb} = \frac{\partial i_d}{\partial V_{BS}} = \frac{\partial i_D}{\partial V_{TH}} \frac{\partial V_{TH}}{\partial V_{BS}} = -g_m \frac{\partial V_{TH}}{\partial V_{BS}} = \frac{\gamma g_m}{2\sqrt{-2\phi_F - V_{BS}}} \quad (3)$$

Burada ϕ_F fermi potansiyeli ve γ taban (substrate) katsayısıdır.

V_{BS} voltajının artması, gövde etkisi ve eşik geriliminin (V_{TH}) azalmasına yol açacaktır. Gerilim salınımı,

$V_{OV(max)} = V_{GS} - V_{TH}$ ile akıttıcı akımı artar. Gövde geçiş iletkenliği genellikle tipik olarak 0,2 ile 0,4 arasında değişen ve Eşitlik 4'te verilen η oranına sahiptir. Bu, gövde geçiş iletkenliğinin geçit geçiş iletkenliğinden yaklaşık 2,5 ila 5 kat daha düşük olduğu anlamına gelmektedir [1]. Bu ise frekans cevabının ve kazanç bant genişliği çarpımının (GBW) daha düşük olmasına yol açmaktadır. Bu durum BD-MOS için bir dezavantaj oluşturmaktadır.



Şekil 4. (a) BD-MOS (b) JFET eşdeğer devresi ((a) BD-MOS (b) JFET equivalent circuit) [1]

$$\eta = \frac{g_{mb}}{g_m} = \frac{\gamma}{2\sqrt{-2\phi_F - V_{BS}}} = n - 1 = \frac{C_{dep}}{C_{ox}} \quad (4)$$

Burada C_{dep} geçit azaltan katmanının kapasitesini temsil etmektedir.

BD-MOS transistörün yapısı; akıttıcı (D), geçit (G), kaynak (S) ve gövde (B) olmak üzere dört terminalden oluşmaktadır.

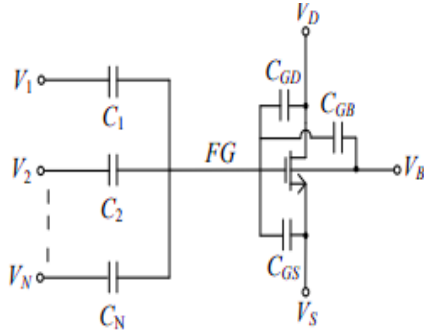
BD-MOS transistörün; eşik voltajı sınırlamasını ortadan kaldırması, geçiş iletkenliğini artırması, düşük voltajlı çalışma imkânı sunması, geleneksel MOS transistörler kullanılarak modellenebilmesi ve geniş bir giriş çalışma sahası sağlaması sunduğu avantajlar arasında yer alırken giriş gürültüsünü artırması ve mandallama (latch-up) etkisine yol açması ise sahip olduğu dezavantajlar arasında yer almaktadır. [5, 8]

4. YÜZEN GEÇİT MOS (FGMOS, FLOATING GATE MOS)

Düşük güçlü sistemlerde eşik geriliminin üstesinden gelmek amacıyla geliştirilen yöntemlerden biri ise FGMOS yöntemidir.

FGMOS transistörlerde çoklu giriş kapıları ve bu kapılara bağlanan kondansatörler bulunmaktadır. Eşik voltajı, kondansatör değerleri ve uygulanan ön gerilim ile ayarlanmaktadır. [9,10] Şekil 5'te N girişli FGMOS yer almaktadır.

Bu şekilde yer alan C_{GD} , C_{GS} , C_{GB} yüzen geçit ile sırasıyla akıttıcı, kaynak ve gövde arasındaki kapasitelerdir. [12,13] Tasarımlarda giriş kapasite değerleri çok yüksek seçilirse bu kapasiteler ihmal edilebilir ve parazitik kapasite olarak adlandırılır. [11] Ek olarak, bu parazitik kapasiteler akıttıcı akımını etkimezler.



Şekil 5. N girişli FGMOS eşdeğer devresi (N-input FGMOS equivalent circuit) [11]

Akıtıcı akımı, kapasitif kuplaj oranlarına bağlı olarak tüm girişlerin lineer toplamıdır. Eşitlik 5'te saturasyon bölgesinde N girişli FGMOS için akıtıcı akımı verilmektedir. [14]

$$I_D = \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} (V_{FG} - V_{TH})^2 \quad (5)$$

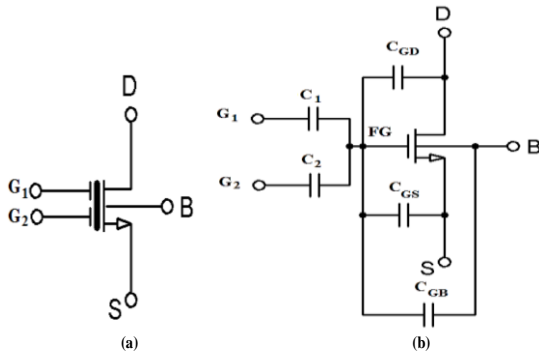
Eşitliği incelediğimizde akıtıcı akımının V_{FG} ve V_{TH} bağlı olarak değiştiği görülmektedir. V_{FG} düğümü ise Eşitlik 6'da ifade edilmiştir. [15]

$$V_{FG} = \sum_i^N \frac{C_i}{C_T} V_i + \frac{C_{GS}}{C_T} V_S + \frac{C_{GD}}{C_T} V_D + \frac{C_{GB}}{C_T} V_B + \frac{Q_{FG}}{C_T} \quad (6)$$

Burada N giriş sayısını temsil eder. C_i , giriş geçiti ile yüzen geçit arasındaki kapasite ve V_i giriş voltajıdır. C_{GS} , C_{GD} ve C_{GB} terminaller arasındaki kapasiteler ve C_T ise toplam kapasite değeridir ve Eşitlik 7'de verilmektedir. [15]

$$C_T = \sum_i^N C_i + C_{GS} + C_{GD} + C_{GB} \quad (7)$$

Bu eşitlikten görüldüğü gibi FGMOS yapısında bulunan kapasitelerin V_{FG} ile giriş gerilimleri arasındaki ilişkiyi etkileyen bir faktör olduğu görülmektedir.



Şekil 6. İki girişli N-FGMOS için (a) sembol gösterimi, (b) eşdeğer devresi ((a) symbol, (b) equivalent circuit for two input N-FGMOS) [16]

Şekil 6'da iki girişli FGMOS yapısının sembolü ve eşdeğer devresi yer almaktadır. [16]

Benzetim programı kullanılarak iki girişli FGMOS yapısının farklı giriş değerleri için elde edilen I-V transfer karakteristiği Şekil 7'de verilmektedir. V_{bias} olmasa bile farklı giriş değerleri için FGMOS yapısının farklı transfer karakteristiğine sahip olduğu Şekil 8'de görülmektedir.

Şekil 8'de benzetim programı kullanılarak iki girişli bir FGMOS yapısı için çıkış I-V karakteristiği yer almaktadır.

Kontrol girişleri ile ilgilenilmiyorsa FGMOS transistörler geleneksel MOSFET'ler ile fiziksel yapı olarak aynıdır. FGMOS modellemesi yapılırken geleneksel MOSFET yapıları kullanılabilir. Fakat FGMOS transistörler geleneksel MOSFET'lere göre daha düşük eşik gerilimi ile çalışır. Bu yüzden düşük güçlü uygulamalar için daha uygundur. [18]

FGMOS transistörün düşük güçlü sistemlerde eşik gerilimi probleminin çözülmesi amacı ile geliştirilmiş yöntemlerden biri olmasının yanı sıra, veri saklama ve dijital veri depolama işlemleri için de kullanılan yöntemlerden biridir.

Özellikle bellek hücreleri ve dijital veri depolama cihazlarında FGMOS kullanılmasının ana nedeni, elektriksel olarak programlanabilir ve veri saklamak için uzun süreli kararlılık sağlayabilen bir yapıya sahip olmasıdır. Bellek hücrelerinde FGMOS kullanımının sebeplerinden bir diğeri ise güç kaynağı kesintisizinde bile verilerin kalıcı olarak saklanabilmesine olanak sağlamasıdır. Aynı zamanda küçük boyutlu üretimlerinin mümkün olması ile daha az çip alanı kaplaması da yine bellek hücrelerinde FGMOS kullanılmasının sebeplerinden biridir. [19, 20, 21]

5. SÖZDE FGMOS (QFGMOS, QUASI FLOATING GATE MOS)

QFGMOS tıpkı FGMOS yöntemi gibi eşik geriliminin düşürülerek düşük gerilimli, düşük güçlü sistemlerde kullanılmak üzere geliştirilen yöntemlerden biridir.

FGMOS transistörlerde eşik geriliminin düşürülmesi, geçit terminaline bağlanan yüksek değerli kapasitör ve uygun bir ön gerilim ile mümkün olmaktadır. Fakat bu büyük kapasitör çip alanının artmasına ve bant genişliğinin daralmasına neden olmaktadır. Bu sorunların üstesinden gelmek amacıyla QFGMOS yöntemi geliştirilmiştir. [19,22]

FGMOS yöntemindeki sorunları çözebilmek için kesim bölgesinde çalışan diyot bağlantılı bir MOSFET'in ters kutuplamalı yüksek değerli sızıntı (leakage) direnci kullanılarak geçit terminalinin uygun bir dc voltajına bağlanması ile QFGMOS yöntemi geliştirilmiştir. [23]

QFGMOS transistörler FGMOS transistörler gibi çoklu giriş yapısına sahiptir. Şekil 9'da QFGMOS eşdeğer devresi yer almaktadır. [24]

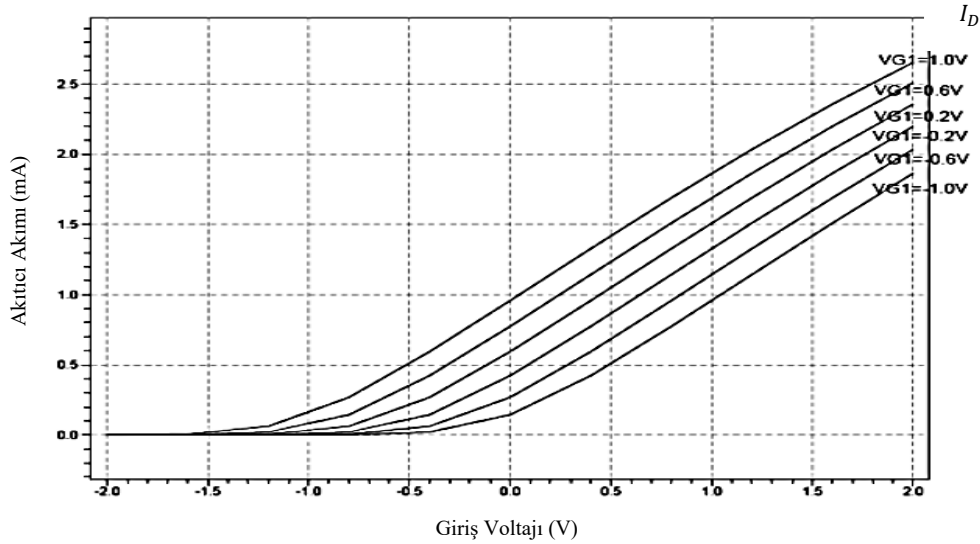
V_{QFG} 'nin açılımı Eşitlik 8'de verilmektedir.

$$V_{QFG} = V_{in} \frac{sR_{leak}C_{Total}}{1+sR_{leak}C_{Total}} \quad (8)$$

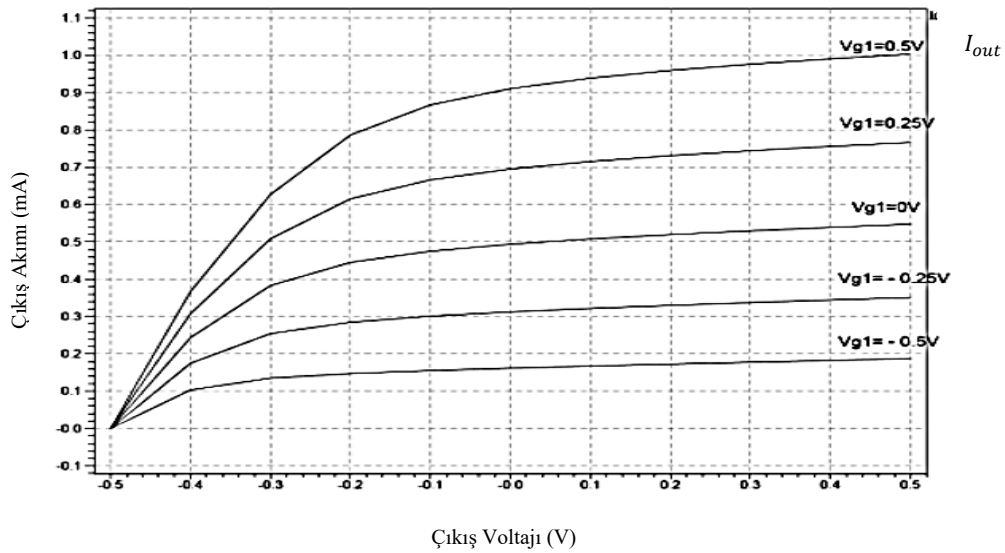
Burada,

$$C_{Total} = \sum_{i=1}^N C_i + C_{GS} + C_{GD} + C_{GB} + C'_{GD} \quad (9)$$

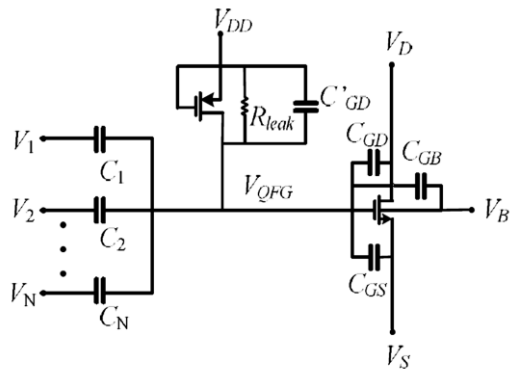
$$V_{in} = \frac{1}{C_{Total}} (\sum_{i=1}^N C_i V_i + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B) \quad (10)$$



Şekil 7. İki girişli FGMOS için I-V transfer karakteristiği (I-V Transfer characteristic for two input FGMOS) [17]



Şekil 8. İki girişli FGMOS için çıkış I-V karakteristiği (Output I-V characteristic for two input FGMOS) [17]



Şekil 9. QFGMOS eşdeğer devresi (QFGMOS equivalent circuit) [24]

Eşitlik 10, Eşitlik 8'de yerine yazılırsa Eşitlik 11 elde edilir. [24, 25]

$$V_{QFG} = \frac{1}{C_{Total}} (\sum_{i=1}^N C_i V_i + C_{GS} V_S + C_{GD} V_D + C_{GB} V_B) \frac{sR_{leak} C_{Total}}{1 + sR_{leak} C_{Total}} \quad (11)$$

Satürasyon bölgesinde n kanal tek girişli QFGMOS için akıttıcı akımı Eşitlik 12'de verilmektedir. [26,27]

$$I_D = \frac{\beta}{2} \left[\left(\frac{C_1}{C_T} V_{in} + \frac{C_{GD}}{C_T} V_{DD} \right) - V_T \right]^2 = \frac{\beta}{2} K_1^2 [V_{in} - V_{T,eff}]^2 \quad (12)$$

Burada,

$$V_{T,eff} = \frac{V_T - k_2 V_{DD}}{k_1}; k_1 = \frac{C_1}{C_T}; k_2 = \frac{C_{GD}}{C_T} \quad (13)$$

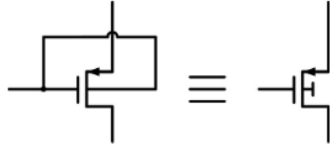
$V_{T,eff}$ etkin eşik gerilimidir ve bu gerilim QFGMOS transistörlerde geleneksel MOSFET'lere göre daha düşük değere sahiptir. [26,27]

QFGMOS transistörler FGMOS transistörlerin sağladığı avantajlara da sahip olmasının yanı sıra, FGMOS transistörlere göre geçiş iletkenliği ve bant genişliği daha yüksektir.

6. DİNAMİK EŞİK GERİLİMLİ MOS (DTMOS, DYNAMIC THRESHOLD MOS)

İlk olarak 1994 yılında Assederaghi tarafından önerilen bu yöntem, eşik gerilimi probleminin üstesinden gelecek düşük gerilim düşük güçlü sistemlerde kullanılan yöntemlerden biridir.

DTMOS transistör ve eşdeğer devresi Şekil 10'da yer almaktadır. Bu şekilden de görüldüğü üzere DTMOS transistör MOS transistörün gövde ve geçit terminallerinin bağlanmasıyla oluşan bir yöntemdir.



Şekil 10. DTMOS eşdeğer devresi ve sembolü (DTMOS equivalent circuit and symbol) [28]

DTMOS transistörün eşik gerilimi Eşitlik 14'te verilmektedir.

$$V_{TH} = V_{TH0} + \gamma \left[\sqrt{|2\phi_F| + V_{BS}} - \sqrt{|2\phi_F|} \right] \quad (14)$$

Burada, ϕ_F fermi potansiyeli; V_{TH0} , $V_{BS} = 0$ olduğu durumdaki eşik gerilimi; γ , gövde etkisi faktörü olup 0.4 V-0.5 V aralığında değişmektedir. Gövde etkisi geçit oksit kapasitesine, silikon geçirgenliğine ve diğer parametrelere bağlıdır ve Eşitlik 15'te verilmektedir.

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}} \quad (15)$$

Burada; ϵ_{si} , silikon dielektrik geçirgenliği; N_A , katkılama oranı, C_{ox} ise oksit kapasitesidir. [28,29,30]

Eşitlik 14'ten de görüldüğü gibi eşik voltajı V_{BS} gerilimine bağlı olarak değişmektedir. $V_{BS} = V_{GS} = 0$ durumunda eşik gerilimi yükselmekte, $V_{BS} = V_{GS} = V_{DD}$ durumunda eşik gerilimi azalmaktadır. [31] Yani DTMOS transistörün giriş geriliminin artması ile eşik gerilimi azalmaktadır.

DTMOS transistörün akıttığı akımı Eşitlik 16'da yer almaktadır.

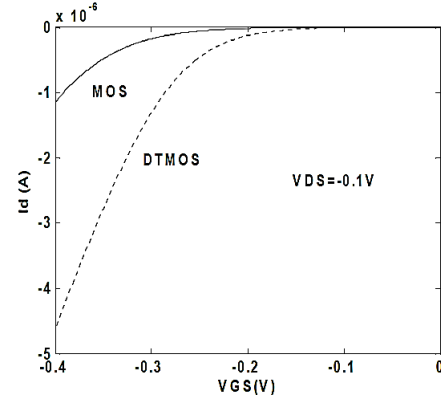
$$I_D = I_0 \cdot T^n \exp \frac{q(V_{GS} + \phi_{b1} \pm V_{GAP,0})}{kT} \quad (16)$$

Burada; ϕ_{b1} bariyer düşürme voltajı, $V_{GAP,0}$ ise malzeme bant aralığıdır ve Eşitlik 17 ve Eşitlik 18'de verilmektedirler.[32]

$$\phi_{b1} = \frac{\phi_{GW} C_{OX}}{C_{OX} + C_{depletion}(\phi_{b1})} \quad (17)$$

$$V_{GAP,apparent} = V_{GAP,0} \pm \phi_{b1} \quad (18)$$

DTMOS transistörler geleneksel MOSFET transistörlere göre daha hızlı akım taşırlar ve yüksek geçiş iletkenliğine sahiptirler. Eşik geriliminin düşük olması ve yüksek akım akıttıkları sebebiyle düşük gerilim düşük güçlü sistemlerde kullanılmaktadırlar.[33]



Şekil 11. $V_{DS} = -0.1 V$ iken DTMOS ve MOS transistörlerin $I_D - V_{GS}$ karakteristiği ($I_D - V_{GS}$ characteristic of DTMOS and MOS when $V_{DS} = -0.1 V$) [34]

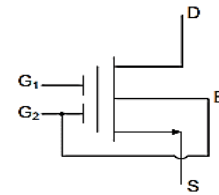
Karakteristik incelendiğinde DTMOS transistörlerin geleneksel MOSFET'lere göre daha fazla akım iletteği görülmektedir.[34]

DTMOS transistörler; eşik geriliminin düşük olması, yüksek geçiş iletkenliğine sahip olması, hızlı akım iletmesi gibi avantajlara sahiptirler. DTMOS transistörler; mandallama etkisine yol açması, yüksek gövde akımlarına neden olabilmesi, büyük boyutlu olması, giriş kapasitelerinin yüksek olması gibi dezavantajlara sahiptirler. [31,35,36]

7. GÖVDEDEN SÜRÜLEN YÜZEN GEÇİT MOS (BULK DRIVEN FLOATING-GATE MOS, BD-FGMOS)

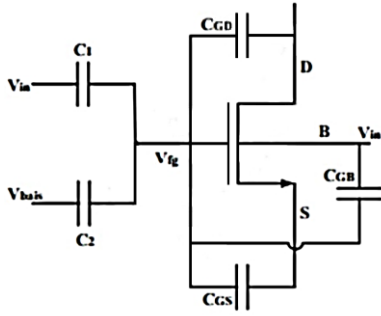
Düşük gerilim düşük güçlü sistemlerde eşik gerilimi problemini çözebilmek için geliştirilen yöntemlerden biri olan BD-FGMOS, gövdeden sürülen ve yüzen geçit yöntemlerinin dezavantajlarını ortadan kaldırmak amacıyla geliştirilen yeni yöntemlerden biridir.

Şekil 12'de BD-FGMOS sembolü Şekil 13'te ise eşdeğer devresi yer almaktadır. [37,38]



Şekil 12. BD-FGMOS sembolü (BD-FGMOS symbol) [37]

Geleneksel MOSFET'lerin iletme geçebilmesi için geçit terminaline uygulanan giriş geriliminin eşik geriliminden fazla olması gerekmektedir. Uygulanan giriş gerilimini düşürebilmek adına MOSFET yapısında bulunan gövde terminalinden giriş gerilimi verilir ve gövde-geçit bağlantısı yapılarak uygun ön gerilim uygulanır. Bu yüzden BD-FGMOS yapısında BDMOS tercih edilmiştir.[37]



Şekil 13. BD-FGMOS eşdeğer devresi (BD-FGMOS equivalent circuit) [38]

FGMOS transistörün geçiş iletkenliğini ve geçici frekans cevabını artırmak aynı zamanda BDMOS transistörün de düşük geçiş iletkenliğini artırmak için iki yöntem kombine edilerek BD-FGMOS yöntemi geliştirilmiştir. BD-FGMOS geçiş iletkenliği Eşitlik 19'da verilmektedir. [38,39]

$$g_{m,bdfg} = \left[\frac{C_1 + C_{GB}}{C_{TG}} \right] g_m + g_{mb} \quad (19)$$

Burada; g_m geçiş iletkenliği, g_{mb} gövde geçiş iletkenliklerinin toplamı, C_1 giriş voltajı ile ilgili kapasite değeri, C_{TG} yüzen geçitteki toplam kapasite, C_{GB} ise geçit-gövde kapasitesidir.[38]

BD-FGMOS transistörün çıkış iletkenliği ise Eşitlik 20'de verilmektedir.

$$\left(\frac{\partial I_D}{\partial V_{DS}} \right)_{bdfg} = \frac{C_{GD}}{C_{TG}} g_m + \lambda I_{D,sat} \quad (20)$$

Burada; C_{GD} ise geçit-akıttıcı kapasitesi, $\lambda I_{D,sat}$ geleneksel transistörün çıkış iletkenliğidir. Eşitlikte de görüldüğü gibi BD-FGMOS transistörün çıkış iletkenliği geleneksel MOSFET'lere göre daha yüksektir. Bir MOSFET'in daha iyi akım kaynağı özelliği sunabilmesi için çıkış iletkenliğinin düşük olması gerekir. Bu yüzden daha fazla çip alanı kaplaması göze alınarak C_1 , C_2 büyük giriş kapasiteleri bağlanılır ve $\frac{C_{GD}}{C_{TG}} g_m$ artış faktörü azaltılır. [38]

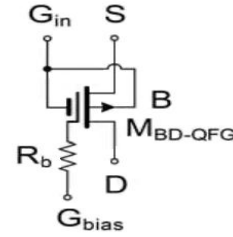
BD-FGMOS transistörler hem FGMOS hem de BDMOS transistörlerin avantajlarına sahip olmalarının yanı sıra FGMOS ve BDMOS transistörlerin düşük geçiş iletkenliği gibi dezavantajlarını da ortadan kaldıran kombine bir yapıdır.

8. GÖVDEDEN SÜRÜLEN SÖZDE YÜZEN GEÇİT MOS (BULK DRIVEN- QFGMOS)

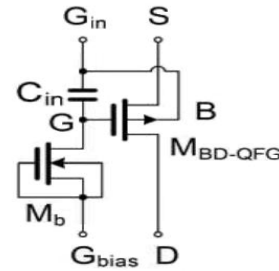
BDMOS transistörün geçiş iletkenliğini artırmak amacıyla literatürde birçok çalışma yapılmaktadır. Bu çalışmalardan biri olan BD-QFGMOS yöntemi, BDMOS transistörün DC davranışını etkilemeden AC performansını geliştiren bir yöntemdir. Şekil 14'te BD-QFGMOS transistörün sembolü yer almaktadır. [40,41]

R_b direnci çok yüksek değerli olduğundan kaplayacağı çip alanı düşünülerek direnç yerine MOS yapısının kullanılması tercih edilmektedir. Şekil 15'te R_b direnci

yerine MOS yapısı kullanılarak elde edilmiş devre yer almaktadır.



Şekil 14. BD-QFGMOS sembolü (BD-QFGMOS symbol) [41]



Şekil 15. BD-QFGMOS eşdeğer devresi (BD-QFGMOS equivalent circuit) [41]

BD-QFGMOS geçit terminaline bağlanan çok yüksek değerli direnç (R_b) üzerinden uygun ön gerilim (G_{bias}) uygulanması ile elde edilen bir yapıdır. Şekilden de görüldüğü üzere C_{in} kapasitesi kullanılarak G_{in} giriş gerilimi geçit terminaline uygulanır. Böylelikle QFG yapısı elde edilmektedir. Aynı zamanda giriş gerilimi gövde terminaline de uygulanarak BD-QFGMOS yapısı oluşturulmaktadır. [41] Eşitlik 21'de BD-QFGMOS transistörün geçit voltajı yer almaktadır.[41]

$$V_G = \frac{sR_b}{1+sR_bC_{Total}} [V_{in}(C_{in} + C_{gb}) + C_{gd}V_D + C_{gs}V_S] \quad (21)$$

$$C_{Total} = C_{in} + C_{gb} + C_{gd} + C_{gs} + C_{gdb} \quad (22)$$

Burada C_{gdb} , M_b diyot bağlantılı transistörün geçit-akıttıcı kapasitesidir. [41]

Zayıf evirtim bölgesindeki akıttıcı akımı Eşitlik 23'te yer almaktadır.

$$I_D = I_{D0} \cdot e^{qV_{GS}/nkT} e^{-qV_{BS}/nkT} (1 - e^{-qV_{DS}/kT}) \quad (23)$$

Burada I_{D0} ters sızıntı akımı, q elektron yükü, k Boltzmann sabiti ve T mutlak sıcaklıktır.[41]

BD-QFGMOS transistörünün BD-FGMOS transistöründen farkı bağlanan R_b direnci ve girişte tek kapasite olmasıdır. Böylelikle bant genişliği artmaktadır.[42]

BD-QFGMOS hem BDMOS hem de QFGMOS avantajlarını sağlamanın yanı sıra BDMOS ve QFGMOS yöntemlerine göre geçici frekans cevabının ve geçiş iletkenliğinin daha yüksek olması bu yapıyı daha avantajlı hale getirmektedir.[40]

BD-QFGMOS yapısının dezavantajlarından biri tek bir girişinin olması nedeniyle diferansiyel fark kuvvetlendiricisi ve diferansiyel fark akım taşıyıcısı gibi devre yapılarında kullanımı zorlaşmaktadır. [43] Bu probleminde üstesinden gelebilmek adına çok girişli BD-QFGMOS tasarımı literatürde yapılan çalışmalar arasında yer almaktadır.[44]

9. SONUÇ (CONCLUSION)

Yapılan incelemeler ile düşük gerilim düşük güçlü sistemlerde eşik gerilimi probleminin çözülmesi amacıyla geliştirilen değişik yöntemlerin devre yapılarına sağladıkları avantajlar ve dezavantajlar detaylı bir şekilde incelenmiştir. Bu çalışma, devre tasarım süreçlerine fikir sağlamayı hedefleyerek, geliştirilen bu yöntemlerin karşılaştırılmasını sunmaktadır. Son dönemlerde yöntemlerin dezavantajlarını ortadan kaldırmak adına iki veya daha çok yöntemin birleştirilmesiyle oluşturulan yöntemler geliştirilmiş ve analog devre yapılarında kullanılmaya başlanmıştır.

Literatürdeki çalışmalarda bu yöntemler kullanılarak filtreler, işlemsel yükselteçler (operational amplifier-Op-Amp), işlemsel geçiş iletkenliği kuvvetlendiricileri (operational transconductance amplifier- OTA), akım taşıyıcılar, akım aynaları, voltaj çarpıcı devreleri gibi birçok analog devre yapısı tasarlanmıştır. Bu yöntemlerin kullanılması ile bu yapıların daha az güç tüketen, daha

düşük besleme voltajı ile çalışan, daha yüksek bant genişliğine sahip yeni tasarımları gerçekleştirilmektedir.

Tablo 1'de literatürde yer alan ve düşük gerilimli ve düşük güçlü MOSFET tasarım yöntemi kullanılarak yapılan OTA çalışmalarının benzetim sonuçları yer almaktadır. Bu tabloda yer alan literatürde yapılan çalışmalardan elde edilen veriler kullanılarak düşük gerilim ve düşük güçlü MOSFET tasarım yöntemleri karşılaştırılması yapılmıştır.

Tablo verilerine göre, BDMOS yöntemi kullanılarak elde edilen güç tüketiminin $0.14 \mu\text{W}$ seviyesinde olduğu gözlemlenmiştir. [46] Bu sonuç, diğer yöntemlerle yapılan benzer çalışmalar ile karşılaştırıldığında daha düşük bir güç tüketimi sağladığını ortaya koymaktadır. Aynı çalışma kapsamında elde edilen voltaj kazancı ise 71.35 dB düzeyindedir [46], bu da diğer yöntemlerle yapılan çalışmalarda elde edilen voltaj kazançlarına göre daha yüksek bir değeri temsil etmektedir.

Tablo verilerine göre, DTMOS yöntemi kullanılarak elde edilen geçiş iletkenliği $314.73 \mu\text{A/V}$ düzeyindedir [45] ve bu sonuç, diğer yöntemlerle yapılan benzer çalışmalara göre daha yüksek bir geçiş iletkenliği sağladığını göstermektedir. Ayrıca, DTMOS yöntemiyle elde edilen bant genişliği 53.44 MHz olarak ölçülmüştür. Bu değer, diğer yöntemlerle gerçekleştirilen çalışmalar ile karşılaştırıldığında DTMOS'un daha geniş bir bant genişliğine ve lineer çalışma sahasına sahip olduğu görülmektedir.

Çizelge 1. Düşük gerilim ve düşük güçlü MOSFET tasarım yöntemleri kullanılarak yapılan literatürdeki OTA çalışmalarının karşılaştırılması (Comparison of OTA studies in the literature using low voltage and low power MOSFET design methods)

Karşılaştırılan Çalışmalar	2018 [37]	2018 [37]	2020 [38]	2016 [45]	2019 [46]	2017 [47]
MOSFET Tasarım Yöntemi	FGMOS	BD-FGMOS	BD-QFGMOS	DTMOS	BDMOS	QFGMOS
Devre Yapısı	FVF-OTA	FVF-OTA	FVF-OTA	FVF-OTA	FVF-OTA	FVF-OTA
Kullanılan Teknoloji	$0.18 \mu\text{m}$ TSMC	$0.18 \mu\text{m}$ TSMC	$0.18 \mu\text{m}$ TSMC	$0.18 \mu\text{m}$ TSMC	$0.18 \mu\text{m}$ TSMC	$0.5 \mu\text{m}$ CMOS
Besleme Gerilimi	$\pm 0.5\text{V}$	$\pm 0.5\text{V}$	$\pm 0.5\text{V}$	$\pm 0.5\text{V}$	0.7 V	$\pm 0.9 \text{ V}$
Güç Tüketimi	$136 \mu\text{W}$	$158 \mu\text{W}$	$158 \mu\text{W}$	$70.19 \mu\text{W}$	$0.14 \mu\text{W}$	$51.84 \mu\text{W}$
Geçiş İletkenliği	$68 \mu\text{A/V}$	$67.88 \mu\text{A/V}$	$60.31 \mu\text{A/V}$	$314.73 \mu\text{A/V}$	337.332 nA/V	-
Kazanç Bant Genişliği Çarpımı	16.53 MHz	18.81 MHz	14.11 MHz	53.44 MHz	1.07 kHz	226.6 kHz
Voltaj Kazancı	22 dB	21.09 dB	20.19 dB	39 dB	71.35 dB	42.12 dB
Kullanılan Alan	-	$5800 \mu\text{m}^2$	$5886 \mu\text{m}^2$	-	-	$23000 \mu\text{m}^2$
İzlenen Yöntem	Benzetim	Benzetim	Benzetim	Benzetim	Benzetim	Benzetim

*FVF-OTA: Eviren voltaj takipçili OTA (Flipped voltage follower OTA)

ETİK STANDARTLARIN BEYANI
(DECLARATION OF ETHICAL STANDARDS)

Bu makalenin yazar(lar)ı çalışmalarında kullandıkları materyal ve yöntemlerin etik kurul izni ve/veya yasal-özel bir izin gerektirmediğini beyan ederler.

YAZARLARIN KATKILARI (AUTHORS' CONTRIBUTIONS)

Pelin DOĞAN SEKRETER: Literatür araştırması ve derlemesini yapmış, makalenin yazım işlemlerini gerçekleştirmiştir.

Atilla UYGUR: Derlemenin kontrolünü ve değerlendirmesini gerçekleştirmiştir.

Mustafa ALÇI: Derlemenin kontrolünü ve değerlendirmesini gerçekleştirmiştir.

ÇIKAR ÇATIŞMASI (CONFLICT OF INTEREST)

Bu çalışmada herhangi bir çıkar çatışması yoktur.

KAYNAKLAR (REFERENCES)

- [1] Rak'us M., Stopjakov'a V., Arbet D., "Design techniques for low-voltage analog integrated circuits" *Journal of Electrical Engineering*, 68(4): 245–255, (2017).
- [2] Kuntman H., "Analog MOS Tümdrevre Tekniği", *İstanbul Teknik Üniversitesi Elektrik Elektronik Fakültesi*, İstanbul. (1997).
- [3] Razavi B., "Design of Analog CMOS Integrated Circuits", International Edition, *McGraw-Hill Series*, Los Angeles (2011).
- [4] Sharroush S. M., Abdalla Y. S., Yasser S., Dessouki A. A. and El-Badawy El-Sayed A., "Subthreshold MOSFET Transistor Amplifier Operation" *Design and Test Workshop (IDT)*, (2009 4th International) .
- [5] Sökmen Ö. G., "Akım ve Voltaj Modlu Aktif Elemanların Düşük Gerilim Düşük Güçlü Olarak Tasarlanması", *Doktora Tezi*, Fen Bilimleri Enstitüsü, Erciyes Üniversitesi, Kayseri, 15 p. (2018).
- [6] Rajput S. S., Jamuar S. S., "Low Voltage Analog Circuit Design Techniques", *IEEE Circuits and Systems Magazine*, 2(1): 24-42, (2002).
- [7] Khateb A., Musil V., Prokop R., "Rail-to-Rail Bulk-Driven Amplifier", *Electronics*, 21 – 23, Sozopol, BULGARIA, (2005).
- [8] Bhat, S., Choudhary S., & Selvakumar J., "Design of Low Voltage CMOS OTA Using Bulk-Driven Technique", *Indian Journal of Science and Technology*, 9(19): (2015).
- [9] Dewaker A., Gupta M., Srivastava R., Ninawe A., "Design of Low-Voltage, Low-Power FGMOS Based Voltage Buffer, Analog Inverter and Winner-Take-All Analog Signal Processing Circuits" *Scientific Research Publishing*, 7: 1-10, (2016).
- [10] Arora Y., Aggarwal B., Kaur J., "Low Voltage High Performance Floating Gate and Quasi Floating Gate CDTA", *Journal of Engg. Research ICAPIE Special Issue*, 144-152, (2022).
- [11] Gupta R., Sharma S., Gupta R., "Design of high speed and low power 4-bit comparator using FGMOS", *International Journal of Electronics and Communications*, 76: 125-131, (2017).
- [12] Maryan M. M., Azhari S. J., & Ghanaatian A., "Low power FGMOS-based four-quadrant current multiplier circuits", *Analog Integrated Circuits and Signal Processing*, 95(1): 115–125, (2018).
- [13] Sökmen Ö.G., Alçı M., "A novel current controlled DVCC design based on FGMOS and filter applications", *IEEE 22nd Signal Processing and Communications Applications Conference*, (2014).
- [14] Nurulain, D., Musa F. A. S., Mohamad Isa M., Ahmad N., & Kasjoo S. R., "Low voltage low power FGMOS based current mirror", *EPJ Web of Conferences*, 162, 01048, (2017).
- [15] Sharma U., Jhamb M., "Efficient Design of FGMOS-Based Low-Power Low-Voltage XOR Gate", *Circuits Systems and Signal Processing*, 42:2852–2871, (2023).
- [16] Rahin A. B., Kadivarian A., Akbar S. N., Rahin V. B., "Tunable Ring Oscillators Based on Hybrid FGMOS/CNTFET Inverters with High Frequency and Low Power", *International Conference on New Researches and Technologies in Electrical Engineering (ICNRTEE)*, University of Science and Culture (USC), Tehran, Iran, (2023).
- [17] Joshi S. B., Prajapati J. C., Soni B. H., "Analysis and Study of FGMOS Based CurrentMirror Circuit Using 0.35µm Technology", *International Journal of Engineering and Innovative Technology (IJEIT)*, 2(10): (2013).
- [18] Khateb F., Dabbous S. B. A., Vlassis S., "A Survey of Non-conventional Techniques for Low-voltage Low-power Analog Circuit Design", *Radioengineering*, 22(2): (2013).
- [19] Khateb F., Khatib N., Kubanek D., "Low-Voltage Ultra-Low-Power Current ConveyorBased on Quasi-Floating Gate Transistors", *Radioengineering*, 21(2): (2012).
- [20] Shibata T., & Ohmi T., "A functional MOS transistor featuring gate-level weighted sum and threshold operations", *IEEE Transactions on Electron Devices*, 39(6): 1444–1455, (1992).
- [21] Castaldo F. C., Rodrigues P., Cajueiro J. P. and Filho C. A. D. R., "Floating-Gate Analog Memory Cell Programming Environment", *Computer Science*, (2004).
- [22] Prakash B., Bansal U., & Gupta M., "Low-Power High Output Impedance-Improved Bandwidth Current Mirror Using FGMOS and QFGMOS", *Applications of Computing, Automation and Wireless Systems in Electrical Engineering*, 997–1006, (2019).
- [23] Miguel J. M. A., Lopez-Martin A. J., Acosta L., Ramirez-Angulo J., & Carvajal R. G., "Using Floating Gate and Quasi-Floating Gate Techniques for Rail-to-Rail Tunable CMOS Transconductor Design", *IEEE Transactions on Circuits and Systems I: Regular Papers*, 58(7): 1604–1614, (2011).
- [24] Gupta R. and Sharma S., "Voltage controlled resistor using quasi-floating-gate MOSFETs", *Maejo Int. J. Sci. Technol.* 7(01): 16-25, (2013).
- [25] Gupta R., Sharma S., & Jamuar S. S., "A low voltage current mirror based on quasi-floating gate MOSFETs", *2010 IEEE Asia Pacific Conference on Circuits and Systems*, (2010).

- [26] Aggarwal B., & Gupta A., “QFGMOS and FGMOS based low-voltage high performance MI-OTA”, *International Journal of Information Technology*, 13(2): 415–422, (2020).
- [27] Bhardwaj R., Srivastava R., Kandari R., Kumar A., “Comparative Analysis of Wilson Current Mirror utilizing FGMOS and QFGMOS Technique”, *IEEE Delhi Section Conference (DELCON)*, (2022).
- [28] Özer E., Başak M.E., Kaçar F., “A four-quadrant analog multiplier using DTMOS for low power applications”, *International Journal of Electronics*, 110(2):. (2022).
- [29] Yildirim M., “Design of Low-Voltage and Low-Power DTMOS Based Analog Multiplier Utilizing Current Squarer”, *International Journal of Electronics Letters*, 9(1): 1–13, (2021).
- [30] Garg S., Niranjana V., “DTMOS Transistor with Self-Cascode Subcircuit for Achieving High Bandwidth in Analog Applications”, *International Journal of Computer Applications (0975 – 8887)*, 127 (11): (2015).
- [31] Amin N. U., Hakim N., “SOI-DTMOS based Novel Structure: Modeling, LNA Implementation and Comparison”, *Electronics and Communications in Japan (IJECT)*, 4(Spl-2): 9-13, (2013).
- [32] Mustapa M., Mohd-Yasin F., Khawi M. K., Reaz M. B. I., & Kordesch A., “Low power ROM employing dynamic threshold-voltage MOSFET (DTMOS) technique”, *IEEE International Conference on Semiconductor Electronics*, (2008).
- [33] Dabas A., Kumari S., Gupta M., Yadav R., “Design and analysis of DTMOS based RFC with controlled positive feedback OTA using HSCCM and adaptive biasing technique”, *Integration*, 90–103, (2023).
- [34] Uygur A., “DTMOS Kullanan Düşük Gerilimli Analog Devre Tasarımında Yeni Olanaklar”, *Doktora Tezi*, Fen Bilimleri Enstitüsü, İstanbul Teknik Üniversitesi, İstanbul, 32 p. (2013).
- [35] Uygur A., Kuntman H., “An ultra low-voltage, ultra low-power DTMOS-based CCI design for speech processing filters”, *8th International Conference on Electrical and Electronics Engineering (ELECO)*, (2013).
- [36] Rahin A. B., Ghasemi M. H., Rahin V. B., “DTMOS-Based Low-Voltage and Low-Power Two-Stage OTA”, *IEEE 6th Conference on Technology In Electrical and Computer Engineering (ETECH 2021)*, Tafresh University, Tafresh, Iran, (2022).
- [37] Dubey T., Bhadauria V., “A low-voltage highly linear OTA using bulk-driven floating gate MOSFETs”, *Int. J. Electron. Commun. (AEÜ)* 98: 29–37, (2018).
- [38] Dubey T., & Bhadauria V., “Linearity Improvement of Bulk Driven Floating Gate OTA Using Cross-Bulk and Quasi-Bulk Techniques”, *Journal of Circuits, Systems and Computers*, (2020).
- [39] Khateb F., “Bulk-driven floating-gate and bulk-driven quasi-floating-gate techniques for low-voltage low-power analog circuits design”, *AEU- International Journal of Electronics and Communications*, 68(1): 64–72, (2014).
- [40] Rana C., Afzal N., Prasad D., “A high performance bulk driven quasi floating gate MOSEFT based current mirror”, *Procedia Computer Science* 79: 747 – 754, (2016).
- [41] Kumngern M., & Khateb F., “0.5 V fully differential current conveyor using bulk-driven quasi-floating-gate technique”, *IET Circuits, Devices & Systems*, 10(1): 78–86, (2016).
- [42] Raj N., Singh A. K., Gupta A. K., “Low Voltage High Output Impedance Bulk-Driven Quasi-Floating Gate Self-Biased High-Swing Cascode Current Mirror”, *Circuits Syst Signal Process* 35:2683–2703, (2016).
- [43] Khateb F., Kulej T., Veldandi H. & Jaikla W., “Multiple-input Bulk-driven Quasi-floating-gate MOS transistor for low-voltage low-power integrated circuits”, *AEU-International Journal of Electronics and Communications*, (2018).
- [44] Khateb F., Kulej T., Kumngern M., Jaikla W. & Kumar Ranjan R. “Comparative performance study of multiple-input Bulk-driven and multiple-input Gate-driven Quasi-floating-gate DDCCs”, *AEU- International Journal of Electronics and Communications*, (2019).
- [45] Narang N., Aggarwal B., Gupta M., “DTMOS based low voltage high performance FVF-OTA and its application in MISO filter”, *International Conference on Advances in Computing, Communications and Informatics (ICACCI)*, (2016).
- [46] Ghosh S., Tripathi S., Bhadauria V., “A Low Harmonic High Gain Sub-Threshold Flipped Voltage Follower Based Bulk-driven OTA Suitable for low frequency applications”, *International Conference on Communication and Signal Processing (VCAS)*, (2019).
- [47] De La Cruz-Blas C.A., Garde M.P., Lopez-Martin A., “Super Class AB Transconductor with Slew-Rate Enhancement using QFG MOS Techniques”, *European Conference on Circuit Theory and Design (ECCTD)*, (2017).