



Yeni bir BPSK modülatörün tasarımı Design of a new BPSK modulator

Mehmet SÖNMEZ^{1*}, Ayhan AKBAL¹

¹Elektrik-Elektronik Mühendisliği Bölümü, Mühendislik Fakültesi, Osmaniye Korkut Ata Üniversitesi, Osmaniye, Türkiye.

²Elektrik-Elektronik Mühendisliği Bölümü, Mühendislik Fakültesi, Fırat Üniversitesi, Elazığ, Türkiye.

msonmeztr@gmail.com, ayhanakbal@gmail.com

Geliş Tarihi/Received: 28.02.2016, Kabul Tarihi/Accepted: 29.06.2016

doi: 10.5505/pajes.2016.27037

* Yazışılan yazar/Corresponding author

Araştırma Makalesi/Research Article

Öz

Kablosuz haberleşme sistemleri için modülatör algoritmalarının sayısal devreler kullanılarak tasarımı günümüzde yaygın olarak gerçekleştirilmektedir. Ayrıca, seçilen sayısal tekniklerinin kaynak kullanımlarının düşürülmesi de oldukça önemlidir. Bu çalışmada kablosuz haberleşme sistemlerinde yaygın olarak kullanılan BPSK (Binary Phase Shift Keying: İkili Faz Kaydırmalı Anahtarlama) modülasyon tekniği için düşük RAM biti kullanımına sahip bir modülatör yapısı önerilmiştir. Önerilen mimari geleneksel mimariye göre RAM bit kullanımında %87.5'lik bir başarımla sağlanmıştır. Ayrıca yapılan çalışmada gerçek zamanlı olarak bir bilgi sinyali Altera DE-0 Nano FPGA (Field Programmable Gate Array: Alanda Programlanabilir Kapı Dizileri) kartı üzerine entegre edilmiş bir analog-sayısal dönüştürücü (ADC: Analog to Digital Converter) girişine uygulanmıştır. Sinyal, modülasyon ve demodülasyon işlemlerinden sonra sayısal-analog dönüştürücü (DAC: Digital to Analog Converter) çıkışında elde edilerek önerilen yapının uygulanabilir olduğu görülmüştür.

Anahtar kelimeler: FPGA, RAM bit kullanımı, BPSK

Abstract

In recently, the design of modulator algorithms for wireless communication systems by using digital circuits is widely realized. Moreover, it is crucial that resource utilization of the selected algorithm is reduced. In this paper, a modulator architecture which has lower RAM bit that of conventional BPSK is proposed for BPSK (Binary Phase Shift Keying) modulation technique that is used widely in wireless communication systems. The architecture can achieve to save RAM bit utilization by up to 87.5% with respect to conventional BPSK. In addition, a real-time message signal is applied on ADC (Analog to Digital Converter) which is integrated on Altera DE-0 Nano FPGA (Field Programmable Gate Array) in the paper. It is shown that proposed structure is practically realizable by achieving of message signal in output of DAC (Digital to Analog Converter) after modulation and demodulation processes.

Keywords: FPGA, RAM bit utilization, BPSK

1 Giriş

Günümüz haberleşme sistemlerinde donanımsal modülatör-demodülatör tasarımları oldukça önemlidir. Çünkü bazı tasarımlarda çoklu kullanıcılara hizmet vermek için daha fazla modülatörün aynı kart üzerinde uygulanması gerekebilmektedir. Dolayısıyla kullanıcı sayısının artırılması için daha az kaynak kullanımına sahip modülatör tasarımlarının önerilmesi büyük önem arz etmektedir. Ayrıca bazı uygulamalarda kablosuz ağlar için güç tüketimi konuları öne çıkmaktadır [1],[2]. Verimli güç tüketimi ve kaynak kullanımı sağlamak için literatürde FPGA [3], VLSI (Very-Large-Scale Integration: Çok Geniş Ölçekli Tümlenim) [4] ve CMOS (Complementary Metal Oxide Semiconductor: Bütünleyici Metal Oksit Yarı İletken) tabanlı [5],[6] birçok modülatör mimarisi önerilmiştir.

Literatürde gerçekleştirilen FPGA tabanlı BPSK modülatör mimariler arasında ikili modülasyon tekniklerinin tasarımı gerçekleştiren bir çalışmada NCO (Numerically Controlled Oscillator: Sayısal Kontrollü Osilatör) kullanılarak sinyal üretimi gerçekleştirilmiştir. Tasarımda mux tabanlı bir mimari önerilerek gerçek zamanlı uygulamalara yer verilmiştir [3]. Temel sayısal modülasyon tekniklerinin uygulanmasına yönelik geleneksel mux tabanlı mimariler kullanılarak gerçekleştirilen bir çalışmada sonuçlar Xilinx firmasının üretmiş olduğu xc3s500e-256 FPGA kartı ile elde edilmiştir. Bu çalışmada da geleneksel yapılar kullanılmıştır [7]. Bilgi biti iletimi için LFSR (Linear Feedback Shift Register: Lineer Geri beslemeli Kaydırmalı Kaydedici) kullanılan tasarımlar literatürde gerçekleştirilmiştir [8]. Yapılan bir çalışmada

önerilen mimari deneysel çalışmalar için önerilmiştir. Gerçekleştirilen mimari sadece benzetim sonuçlarına yer vererek pratik uygulanabilirliği tartışılmamıştır [9]. Gerçek zamanlı bir BPSK modülatör mimarisi de [10]'da önerilmiştir. Tasarım Xilinx firmasının üretmiş olduğu FPGA ile gerçekleştirilmiştir. Ancak, bu çalışmada da kullanılan bilgi sinyali FPGA tarafından rastgele üretilmiştir. FPGA tabanlı alıcı-verici tasarımları oldukça büyük ilgi görmektedir. Dolayısıyla literatürde birçok çalışmada FPGA tabanlı BPSK tekniği kullanan modem tasarımları gerçekleştirilmiştir [11],[12].

Yapılan çalışmaların hiç birisinde RAM bit kullanımının azaltılmasına yönelik iyileştirmelerde bulunulmamıştır. Ayrıca çalışmalar ya mux tabanlı olarak tasarlanmış ya da geleneksel çarpım blokları kullanılarak gerçekleştirilmiştir. Bizim gerçekleştirdiğimiz çalışmada literatürde daha önceden önerilmemiş daha az RAM biti kullanımına sahip bir algoritma önerilmiştir. Bilgi biti ise önceki çalışmalardan farklı olarak rastgele sayı üreten LFSR blokları yerine gerçek bir analog sinyal seçilmiştir. Analog sinyal FPGA üzerine entegre edilmiş bir ADC elemanına uygulanmış ve daha sonra bilgi bitinin durumuna göre BPSK sinyal üretilmiştir.

2 BPSK modülatör mimarisi

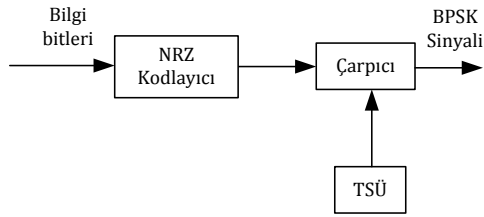
BPSK modülasyonunda iki taşıyıcı sinyal kullanılmaktadır ve bu taşıyıcı sinyaller arasında 180°'lik faz farkı bulunmaktadır. Genellikle bilgi sinyalinin '1' olması durumunda taşıyıcı sinyal üzerinde değişiklik yapmadan modülasyonlu sinyal oluşturuluyorken '0' bilgi sinyali için taşıyıcı sinyal -1 ile

çarpılarak BPSK sinyali oluşturulmaktadır [13]. Dolayısıyla BPSK için matematiksel gösterim denklem 1'de verildiği gibidir.

$$S(t) = A_0 \cos(2\pi f_0 t + \Phi_0); \text{iletilecek Sembol 0 ise} \quad (1)$$

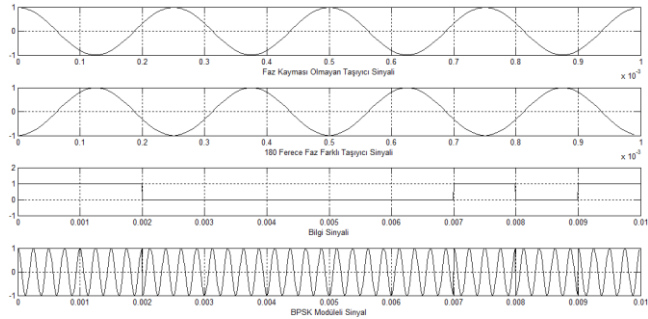
$$S(t) = A_0 \cos(2\pi f_0 t + \Phi_1); \text{iletilecek Sembol 1 ise}$$

Denklem 1'de verilen eşitlikler göz önüne alındığında iki sinyal arasında 180°'lik faz farkı olursa sinyallerden birisinin genliği A_0 olurken diğer sinyalin genliği ise $-A_0$ olmaktadır. Dolayısıyla Şekil 1'de BPSK modülörün blok şeması denklemde verilen açıklamaya göre oluşturulmuştur.



Şekil 1: BPSK modülör mimarisini.

Şekil 1'den de görüldüğü gibi NRZ (Not Return-to-Zero: Sıfıra Dönmeyen) kodlayıcı sayesinde gelen bilgi sinyali '0' ise TSÜ (Taşıyıcı Sinyal Üretici) -1 ile çarpılarak BPSK sinyalini oluşturmaktadır. NRZ kullanılabildiği verilen modülör şeması OOK (On-Off Keying: Aç-Kapa Anahtarlama) tekniğini kullanan BASK (Binary Amplitude Shift Keying: İkili Genlik Kaydırmalı Anahtarlama) modülasyonu gibi çalışacaktır. Şekil 1'de verilen modülör mimarisinin kullanılmasıyla Şekil 2'de verilen sonuçlar elde edilmiştir.



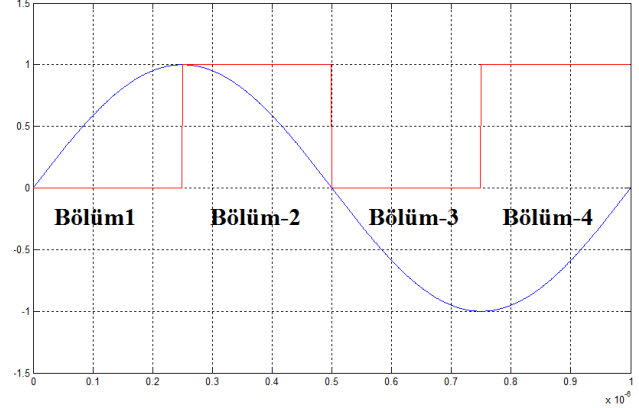
Şekil 2: BPSK için benzetim sonuçları.

Şekil 2'den görüldüğü gibi bilgi sinyali '1' olduğunda BPSK modülasyonu sinyali faz kayması olmayan taşıyıcı ile oluşturuluyorken, '0' bilgi sinyali ileteceği zaman 180°'lik faz farklı taşıyıcı sinyal BPSK sinyalini oluşturmaktadır.

3 Önerilen BPSK modülör mimarisini

Önerilen BPSK modülasyon tekniği şemasında iki rom bloğu yerine bir rom kullanılmaktadır. Ayrıca, bir rom bloğu içerisine taşıyıcı sinyalin sadece çeyrek periyotluk örnek değerleri kaydedilmiştir. Bu yöntem taşıyıcı sinyalin simetrik özelliğinden faydalanılarak geliştirilmiştir. Şekil 3'te görülen taşıyıcı sinüs sinyali dört bölüme ayrılmıştır. Bu bölümler sırasıyla farklı bir şekilde tanımlanarak 1-0-1-0 olarak ifade edilmektedir. Algoritma, geleneksel BPSK tekniğine göre karmaşık olmasına rağmen uygulanması oldukça basittir. Kullanılacak olan rom bloğuna Bölüm1'de bulunan örnek değerleri kaydedilerek her bir bölüm bu bölümden üretilmiştir. Bölümlerin sayısal bitler ile tanımlanması rom

bloğunun adres kontrolünü sağlayan sayacın değerini artırıp azaltması için kullanılmaktadır.



Şekil 3: Kontrol biti ile taşıyıcı sinyalin değişimi

Şekil 3'te görüldüğü gibi Bölüm1 0 biti ile ifade edilmektedir. Bu tanımlama sayacı kontrol eden bitin sayacı ileri doğru saymasını sağlamaktadır. Ancak, Bölüm2'de sayacı geri doğru sayacaktır çünkü kontrol biti '1'dir. Bu şekilde bütün 360 derecelik periyot tamamlanmış olacaktır. Sinüs yerine kosinüs sinyalinin kullanılması halinde sayacın ilk değeri değiştirilerek ve kontrol biti bölüm-1 için '1' yapılarak taşıyıcı sinyal üretilebilmektedir. Bu çalışmadaki amaç dörtte bir periyotluk bir sinyalden bütün taşıyıcı sinyalin üretilmesi ve modülasyonun sağlanmasıdır. Önerilen mimari için Algoritma-1'de programın akışı verilmektedir.

Algoritma-1:

Giriş: d, i_1, i_2 , bölüm,

Değişkenler: c

Çıkış: BPSK

if bölüm='1' then

$c:=c+1;$

else

$c:=c-1;$

end if;

if $d='1'$ and $alternans='1'$

then

BPSK $\leftarrow i_1;$

end if;

if $d='1'$ and $alternans='0'$

then

BPSK $\leftarrow i_2;$

end if;

if $d='0'$ and $alternans='1'$

then

BPSK $\leftarrow i_2;$

end if;

if $d='0'$ and $alternans='0'$

then

BPSK $\leftarrow i_1;$

end if;

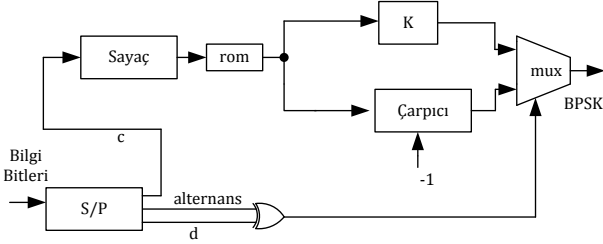
Algoritma 1'den yola çıkarak d biti ve alternans biti arasında oluşturulan doğruluk tablosu Tablo 1'de verilmektedir.

Tablo 1: Bir tablo örneği.

d	Alternans	BPSK
0	0	i_1
0	1	i_2
1	0	i_2
1	1	i_1

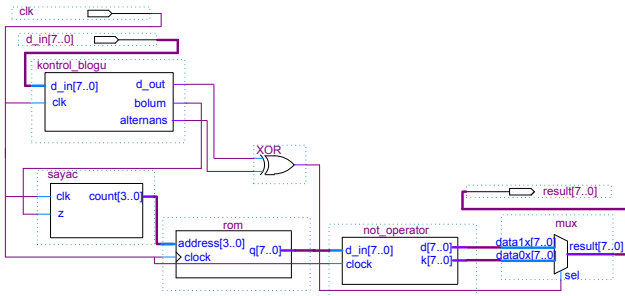
Algoritma-1'de bölüm etiketi sayacı kontrol eden bit olarak görev yapmaktadır. Ayrıca, d bilgi biti ile alternans aynıysa BPSK sinyal i_2 sinyali tarafından oluşturuluyorken, iki bit farklıysa BPSK sinyal i_1 sinyali tarafından oluşturulmaktadır. Şekil 3'te Bölüm1 ve Bölüm2'de alternans biti '0' iken Bölüm3 ve Bölüm4'te bu bitin durumu otomatik olarak '1' olmaktadır. Dolayısıyla bu durum Tablo 1'de verilen doğruluk tablosunda özetlenmiştir. Tablodan da görüldüğü gibi d biti ve alternans bitinin birlikte çalışması XOR kapısı ile sağlanmaktadır. Bu bit ile bilgi biti XOR işleminden geçirildikten sonra mux bloğunun girişine uygulanmaktadır. Mux bloğunun bir girişinden negatif

diğer girişinden ise pozitif taşıyıcı sinyal üretilmektedir. Bölüm1 ve Bölüm2'de pozitif alternans ileteceği için (1 bilgi biti durumunda) alternans ve bilgi bitinin XOR işlemi sonucu 1 olduğundan pozitif giriş aktif edilir. Bölüm3 ve Bölüm4'te alternans biti 1 olacaktır ve bilgi biti bu bölümlerde de '1'dir. Dolayısıyla XOR çıkışı '0' olur ve mux bloğu negatif alternansı aktif eder. Dolayısıyla 1 bilgi biti için BPSK sinyal başarılı bir şekilde elde edilmiş olur. Önerilen BPSK modülatör şeması Şekil 4'te verilmektedir.



Şekil 4: Önerilen BPSK modülatör şeması.

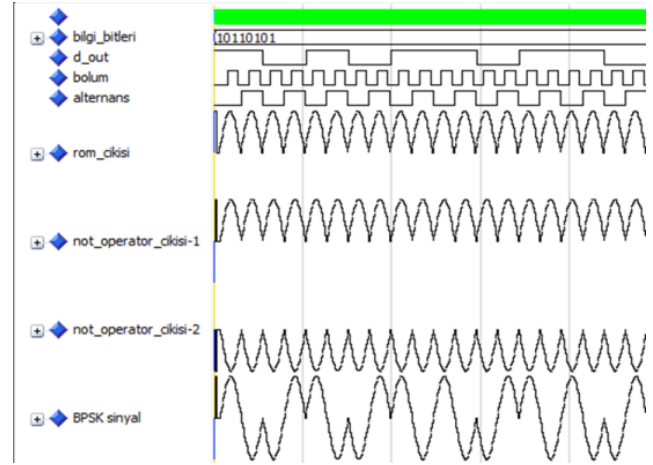
Şekil 4'te görülen K kaydedici bloğu mux bloğu girişine uygulanan sinyallerin eş zamanlı olarak uygulanması için kullanılmıştır. Çünkü alt koldan gelen sinyal, -1 ile çarpılarak tersi alınırken üst kolun da bir saat darbesi süresince bekletilmesi gerekir ki senkronizasyon sağlanabilsin. Şekilden de görüldüğü gibi mimari literatürde daha önceden önerilmemiş bir yapıdan oluşmaktadır. Daha önceki mimarilerde mux bloğunun girişine uygulanan sinyaller iki farklı rom tarafından bir periyotluk sinyalin kaydedilmiş örneklerini içermekteydi. Bu yöntemle rom kullanımını %87.5 oranında azaltarak birden fazla modülatör kullanan bir sistem için bellek verimliliği sağlanmış olmaktadır. Önerilen mimarinin FPGA ortamında elde edilmiş şeması Şekil 5'te görüldüğü gibidir.



Şekil 5: Önerilen BPSK modülatörün FPGA ortamında tasarımı.

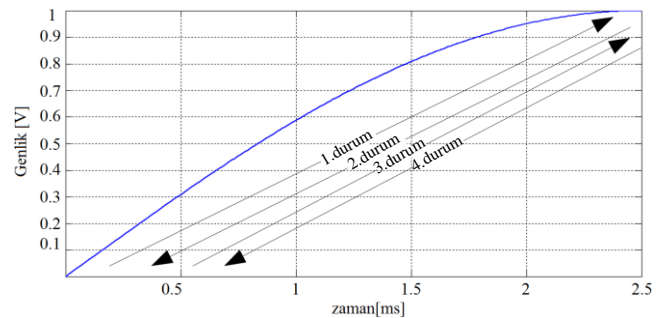
Şekil 5'ten de görüldüğü gibi bilgi biti ve alternans biti bir XOR işleminden geçirildikten sonra mux bloğunun seçici pinine uygulanmıştır. Dolayısıyla literatürde mevcut olan uygulamalarda RAM bit verimliliğini iyileştirmeye yönelik çalışmalar gerçekleştirilmediğinden bilgi biti doğrudan mux bloğunun seçici pinine uygulanmıştır. Dolayısıyla rom bloğundan sonra gelen not_optrr bloğu gelen verinin hem negatifini almakta hem de senkronizasyonu sağlamaktadır. Bir bit periyodu süresince mux bloğunun eşit zamanlı olarak hem negatif veri girişinin hem de pozitif veri girişinin aktif edilmesi gerekmektedir. Bir bit periyodu süresince bilgi biti değiştirilemediğinden dolayı alternans bitine ihtiyaç duyulmuştur. Alternans biti ile bilgi bitinin alacağı değerlere göre çıkışından alınması gereken sinyal de algoritma-1'den çıkarılan doğruluk tablosundan elde edilmiştir. Şekil 5'te verilen şemanın modelsim-altera programında oluşturulmuş benzetim sonuçları Şekil 6'da verilmektedir.

Şekil 6'dan da görüldüğü gibi rom çıkışı sadece pozitif alternans oluşmaktadır. Ancak, pozitif alternans her iki çeyrek periyot da çıkışta mevcuttur. Dolayısıyla bolum biti '0' olduğunda sayaç ileriye doğru sayarken bolum biti '1' olduğunda geriye doğru saymaktadır. Bu durum Şekil 7'de detaylandırılmıştır.



Şekil 6: Önerilen BPSK modülatör için benzetim sonuçları.

Şekil 7'de görülen sinyal için her bir durum sayacın kontrolünü gerektirmektedir. Şekil 7'de 1.durum için sayaç değeri artırılırken 2.durumda sayaç değeri azaltılmakta ve 3. durum ile 4. durumda da sayaç değeri önce artırılmakta daha sonra azaltılmaktadır. Dolayısıyla XOR bloğuna ihtiyaç 3. durum ve 4.durumda ortaya çıkmaktadır. Bunun nedeni negatif alternans sinyallerinin üretilebilmesi içindir. Şekil 7'de birinci durumda ilk çeyrek periyotlu sinyal ve ikinci durumda da ikinci çeyrek periyotlu sinyal üretilir. Sinyalin pozitif alternansı üretilmiş olur. Negatif alternans için ise 3. ve 4. durum kullanılmıştır. Tablo 2'de önerilen ve mux tabanlı BPSK mimarileri için kaynak kullanım miktarları verilmiştir.



Şekil 7: rom bloğuna kaydedilen sinyal.

Tablo 2. MUX tabanlı ve önerilen mimariler (Ö-BPSK) için derleme sonuçları.

Modülasyon Tipi	TLE	Kaydedici	TBB	MÇF [MHz]
MUX-BPSK	108	66	832	175.19
Ö-BPSK	102	57	104	176.27

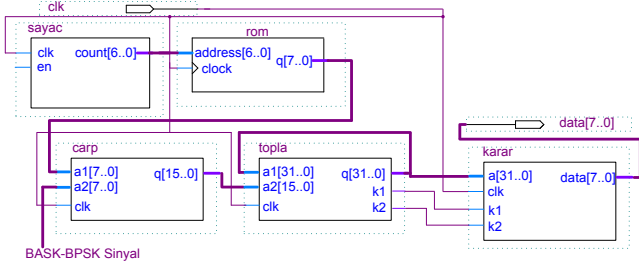
Tablo 2'den görüldüğü gibi TLE (toplam lojik eleman), kaydedici ve MÇF (Maksimum çalışma frekansı) arasında belirgin bir fark yokken TBB (Toplam bellek bit) sayısında %87.5'lik bir başarımlık söz konusudur.

3.1 BPSK demodülatör

Yapılan çalışmada modülasyonlu sinyalden bilgi sinyalinin yeniden elde etmek için demodülatör mimarisinin tasarımı

gerçekleştirilmiştir. BPSK Demodülatör için kullanılan mimari Şekil 8’de verilmiştir.

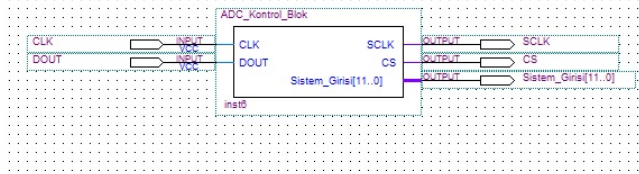
Şekil 8’deki mimaride sayaç ve rom blokları taşıyıcı sinyalin üretimini sağlarken çarp bloğu ise gelen modülasyonlu sinyal ile taşıyıcı sinyalin çarpımını sağlamak için kullanılmıştır. Çarpma sonucundaki sinyal bir topla bloğuna uygulanarak bir bit periyodu süresince sinyalin integrali alınmıştır ve karar bloğu sayesinde topla bloğunun çıkışındaki değer kullanılarak bilgi bitinin durumu tahmin edilmiştir.



Şekil 8: BPSK demodülatör.

3.2 Analog sinyalden sayısal sinyale dönüşüm süreci

Kullandığımız FPGA üzerine entegre edilmiş 8 kanallı ve 12 bit çözünürlüklü bir Analog Sayısal Dönüştürücü bulunmaktadır. Kullanılan ADC 0.8 MHz ile 3.2 MHz arasındaki frekanslara sahip saat darbesi ile çalışmaktadır. Yaptığımız çalışmada dönüşüm için gerekli olan saat darbesi 2.5 MHz olarak seçilmiştir. Analog Sayısal Dönüştürücü için kullanılan kontrol bloğu Şekil 9’da görüldüğü gibidir.



Şekil 9: ADC kontrol bloğu.

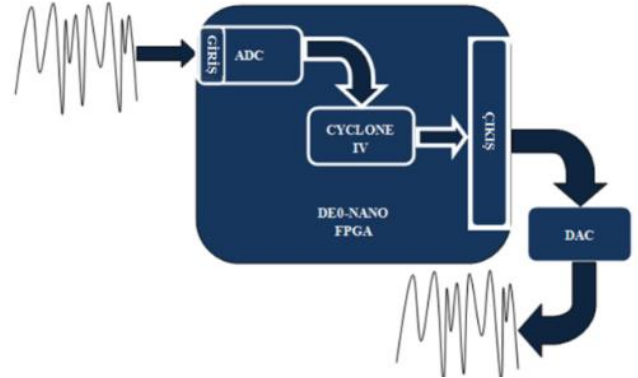
BPSK modülatör girişine ADC’nin Sistem_girişi çıkışı bağlanarak analog sinyalin durumuna göre ilgili modülasyonlu sinyal üretilmiştir. Şekildeki her bir pinin görevi aşağıda özetlenmiştir.

- SCLK : ADC elemanı için 3.2MHz ile 0.8 MHz frekans aralığında uygulanan saat girişidir,
- DOUT : ADC’nin sayısal çıkışıdır,
- CS : Bu pin dönüşümün başladığını bildirmektedir.

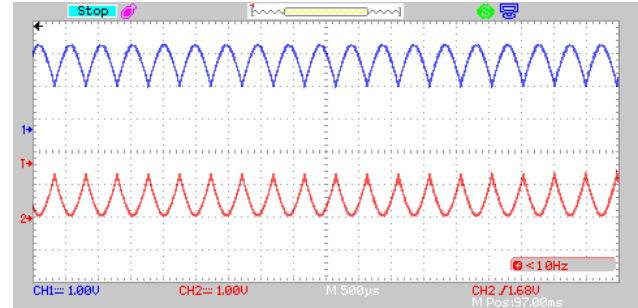
4 Deneysel Sonuçlar

Gerçekleştirilen çalışmada analog bir sinyal FPGA girişine uygulanmakta ve BPSK modülasyon tekniği ile modülasyonlu sinyal elde edilmektedir. BPSK sinyal demodülatör girişine uygulandıktan sonra demodülatör çıkışında kullanılan bir DAC yardımıyla yeniden bilgi sinyali elde edilmiştir. Alıcı-verici sisteme ait genel bir yapı Şekil 10’da verilmiştir. Sistemdeki BPSK modülasyonlu sinyal için elde edilen benzetim ve osiloskop sonuçlarına göre ‘1’ bilgi sinyali için pozitif taşıyıcı sinyal, ‘0’ bilgi biti için ise negatif taşıyıcı sinyal iletilmektedir. Dolayısıyla önerilen BPSK modülatörün blok şemasından dikkat edilir ise alternans biti ile d bilgi biti XOR işleminden geçirilerek mux bloğunun seçici pin girişine uygulanmaktadır. Dolayısıyla anahtarlama geleneksel BPSK modülasyonundan farklı olarak önerilen bir alternans bitinin ve bilgi bitinin XOR işlemi sonucuna göre yapılmaktadır. Dolayısıyla BPSK

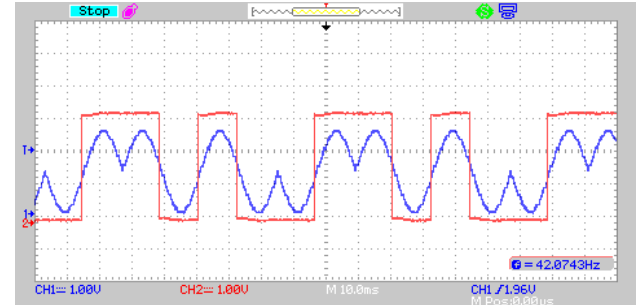
modülasyonlu sinyalin üretimi için kullanılan mux bloğunun veri girişine uygulanan sinyallerin osiloskop çıktıları, XOR anahtarı ve d biti ile BPSK sinyalin zamana göre değişimleri Şekil 11, Şekil 12 ve Şekil 13’te görüldüğü gibidir.



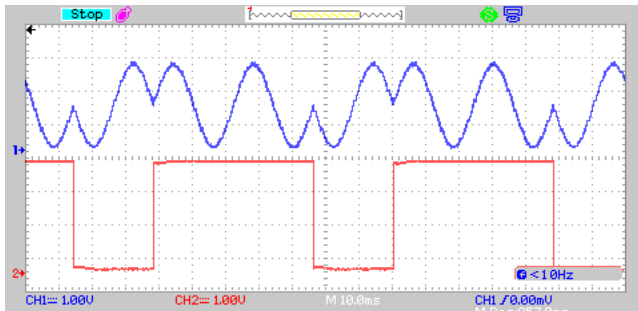
Şekil 10: Genel alıcı-verici sistem yapısı.



Şekil 11: rom bloğuna kaydedilen sinyal.



Şekil 12: BPSK sinyal ile XOR anahtarı çıkışı.



Şekil 13: BPSK sinyali ile d biti.

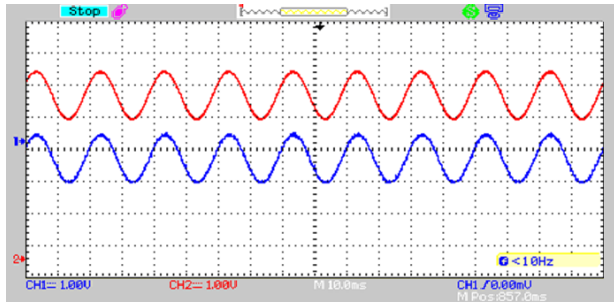
Şekil 6 incelenirse görülecektir ki Şekil 13’te verilen sinyalin benzetim sonuçları ile aynıdır. Şekil 11’den alternans biti ile d bitinin XOR sonucu ‘1’ olduğunda Şekil 11’de verilen sinyallerden mavi renkli sinyal mux bloğu çıkışında aktif edilmiştir. Diğer durumda kırmızı renkli sinyal aktif edilmiştir. Şekil 13’te verilen değişimde ise bilgi sinyali ile BPSK modülasyonlu sinyalin değişimi görülmektedir. Şekilden de

görüldüğü gibi '1' bilgi sinyali için taşıyıcı sinyal pozitif gerilim değerinden başlarken '0' bilgi biti için de negatif gerilim değerinden başlamaktadır. Bu çalışmada taşıyıcı sinyal olarak sinüs seçilmiştir. Ayrıca, Şekil 12 ve Şekil 13 için verilen kırmızı sinyal bitlerinin birbirlerine göre XOR işlemleri alınırsa alternans biti elde edilecektir.

Şekil 14'te bilgi sinyali ile demodülatör çıkışındaki sinyallerin zamana göre değişimleri verilmektedir.



(a)



(b)

Şekil 14: (a): Genel alıcı-verici sistemin deneysel kurulumu, (b): Bilgi sinyali ile DAC çıkışındaki sinyalin Osiloskop çıktısı.

Yaklaşık olarak 10KHz'lik bir bilgi sinyali ADC girişinden uygulanarak sayısal dönüştürülmüş ve düşük kaynak kullanımlı BPSK modülatör ile modülasyon işlemi sağlanmıştır. Şekil 14 (b)'de görülen sinyal ise 100 Hz'lik bilgi sinyali için elde edilmiştir. Şekil 14 (a)'dan görüldüğü gibi sistemde gürültü olmadığı için bilgi sinyali alıcı tarafta başarılı bir şekilde oluşturulmuştur.

5 Sonuçlar

Yapılan çalışmada iki rom yerine tek rom kullanılarak taşıyıcı üretimi için gerekli olan bit sayısı %87.5 oranında düşürülmüştür. Hem negatif alternans sinyali hem de pozitif alternans sinyali çeyrek periyotluk bir sinüs sinyalinin örnekleri kullanılarak üretilmiştir. Ayrıca, literatürdeki çalışmalardan farklı olarak mux bloğu alternans biti ve d bitinin XOR işlemi sonucunda elde edilen yeni bir bit ile kontrol edildiğinden önerilen yöntem daha önceki çalışmalarda uygulanmamıştır.

6 Kaynaklar

- [1] Çalhan A. "Trafik duyarlı kablosuz vücut alan ağlarının başarımları analizi". *Pamukkale Üniversitesi Mühendislik Bilimleri Dergisi*, 21(5), 172-177, 2015.
- [2] Okay, FS, Özdemir, S. "Kablosuz algılayıcı ağlarda kapsama alanının çok amaçlı evrimsel algoritmalar ile artırılması". *Journal of the Faculty of Engineering and Architecture of Gazi University*, 30(2), 143-153, 2015.
- [3] Erdoğan C, Myderrizi I, Minaei S. "FPGA implementation of BASK-BFSK-BPSK digital modulators". *IEEE Antennas and Propagation Magazine*, 54(2), 262-269, 2012.
- [4] Cho H, Kim H, Kim M, Jang J, Lee Y, Lee K, Bae J, Yoo HJ. "A 79 J/b 80 Mb/s full-duplex transceiver and a 42.5µW 100 kb/s super-regenerative transceiver for body channel communication". *IEEE Journal Solid-State Circuits*, 51(1), 310-317, 2016.
- [5] Pere PS, Jordi BD, Alexis L R, Moncunill FX, Lopez FA, Rosa G. "Superregenerative reception of narrowband FSK modulations". *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 62(3), 791-798, 2015.
- [6] Bohorquez JL, Dawson JL, Chandrakasan AP. "A 350µW CMOS MSK transmitter and 400µW OOK super-regenerative receiver for medical implant communications". *IEEE Journal Solid-State Circuits*, 44(4), 1248-1259, 2009.
- [7] Prasad BKV, Kumar PS, Charles BS, Priya RS "Implementation and reconfiguration of basic digital modulation and demodulation techniques on FPGA". *International Journal of Applied Engineering Research*, 11(10), 6901-6910, 2016.
- [8] Popescu, SO, Gontean AS, Budura G. "Simulation and implementation of a BPSK modulator on FPGA". *6th IEEE International Symposium on Applied Computational Intelligence and Informatics*, Timisoara, Romania, 19-21 May 2011.
- [9] Ahamed F, Scarpino FA. "An educational digital communications project using FPGAs to implement a BPSK detector". *IEEE Transactions on Education*, 48(1), 191-197, 2005.
- [10] Chye YH, Ain MF, Zawawi NM. "Design of BPSK transmitter using FPGA with DAC". *9th Malaysia International Conference on Communications*, Kuala Lumpur, Malaysia, 15-17 December 2009.
- [11] Zhao Z, Yongliang S, Yuan B. "Design and implementation of the BPSK modem based on software defined radio". *First International Conference on Instrumentation, Measurement, Computer, Communication and Control*, Beijing, China, 21-23 October 2011.
- [12] Krivić, P, Goran, Š. "Fpga implementation of BPSK modem for telemetry systems operating in noisy environments". *34th International Convention*, Oparija, Croatia, 23-27 May 2011.
- [13] Ertürk S. *Sayısal Haberleşme*. 1. Baskı. İstanbul, Türkiye, Birsen Yayınevi, 2005.