

## Şebeke bağlantılı tek fazlı dokuz seviyeli asimetrik evirici tasarımı ve analizi

### Design and analysis of a grid-tied single phase nine level asymmetrical inverter

Ersan KABALCI<sup>1\*</sup>, Rıdvan CANBAZ<sup>2</sup>

<sup>1</sup>Elektrik-Eletronik Müh. Bölümü, Mühendislik-Mimarlık Fakültesi, Nevşehir Hacı Bektaş Veli Üniversitesi, Nevşehir, Türkiye.  
kabalci@nevsehir.edu.tr

<sup>2</sup>Elektronik ve Otomasyon Bölümü, Meslek Yüksekokulu, Nevşehir Hacı Bektaş Veli Üniversitesi, Nevşehir, Türkiye.  
ridvancanbaz@nevsehir.edu.tr

Geliş Tarihi/Received: 11.03.2016, Kabul Tarihi/Accepted: 24.01.2017

\* Yazılan yazar/Corresponding author

doi: 10.5505/pajes.2017.22220

Araştırma Makalesi/Research Article

#### Öz

Günümüzde yaygın olarak kullanılan çok seviyeli Eviriciler (ÇSE) için giriş tarafındaki gerilim seviyeleri önemli bir sınırlayıcı olmaktadır. Yüksek güçlü enerji sistemlerinde, iki seviyeli eviricilerde kullanılacak anahtarlama elemanının gücünün yetersiz kalması, çıkış dalga şeklinin sinüzoidalden uzak olması ve düşük gerilim üretilmesinden kaynaklı transformatör kullanılması klasik iki seviyeli eviricilerin dezavantajlarıdır. Ayrıca iki seviyeli eviricilerde toplam harmonik distorsiyonunu (THD) azaltmak için yüksek anahtarlama frekansının kullanılması anahtarlama kayıplarını arttırmaktadır. Bu çalışmada, asimetrik eviricinin THD oranını düşürmek ve şebeke bağlantısını gerçekleştirmek için Matlab/Simulink ortamında modelleme yapılmıştır. Çalışma kapsamında, üçlü besleme gerilimi yapısında asimetrik H-köprü evirici modellenmiş ve sinüzoidal darbe genişlik modülasyonu (SDGM) kontrol algoritması ile anahtarlama işaretleri üretilmiştir. Eviricinin şebeke bağlantısı, geliştirilen PI kontrol algoritması ve PLL kontrol algoritmalarıyla denetlenmiştir. Tasarlanan PI ile elde edilen sonuçlarda THD oranının düştüğü görülmektedir. Ayrıca sistemin açık döngüye göre dinamik ve hızlı çalıştığı gözlemlenmiştir. Sistem hem açık döngü çalıştırılarak hem PI kontrolcü ile hem de PI-PLL ile çalıştırılarak THD oranları incelenmiş ve önerilen tek fazlı şebeke etkileşimli evirici kontrol yöntemi doğrulanmıştır. Yapılan çalışmalar sonucunda sistemin kontrolünde PI ve PI-PLL kontrollerinden elde edilen sonuçların yaklaşık aynı olduğu ancak PI-PLL kontrol yönteminin daha verimli sonuçlar sağladığı görülmüştür. Ayrıca, tasarlanan PLL yöntemiyle karışık kontrol yöntemlerine ve algoritmalara ihtiyaç olmadan sistem şebekeye bağlanmıştır.

**Anahtar kelimeler:** Asimetrik evirici, PI kontrolcü, PLL kontrolcü, Güneş enerjisi, Toplam harmonik distorsiyonu

#### Abstract

The supply voltage levels of the multilevel inverters (MLIs) that are widely used nowadays are the significant limiting parameters. The major drawbacks of conventional two-level inverters used in the high power systems are the insufficient switch power against the power range, non-sinusoidal output waveforms, and increasing line transformer requirements. Furthermore, the higher switching frequency requirement to reduce the total harmonic distortion (THD) increases the switching losses. This study presents the design and analysis of a controller that is performed by using Matlab/Simulink environment. The asymmetrical MLI topology is constituted in trinary DC supply structure, and the switching frequencies are generated in sinusoidal pulse width modulation (SPWM) scheme. The grid connection of the inverter is controlled by the implemented proportional-integral (PI) controller and phase locked loop (PLL) control algorithm. The proposed control method is compared to conventional controllers in terms of THD rates and observer structure. It is observed that the designed PI controller decreases the THD ratio, with higher dynamic response. The improved control mechanism is tested under open-loop, PI controlled, and PI-PLL controlled structures to determine the THD ratios where the proposed single phase grid-tied control method is verified. The performed analysis results have shown that the PI and PI-PLL controllers provide almost same result, but the PI-PLL controller draws faster dynamic response comparing to PI control algorithm. Besides, the proposed PLL controller ensures the grid connection of inverter without complex control methods or complex algorithm requirement.

**Keywords:** Asymmetrical inverter, PI controller, PLL controller, Solar energy, Total harmonic distortion

## 1 Giriş

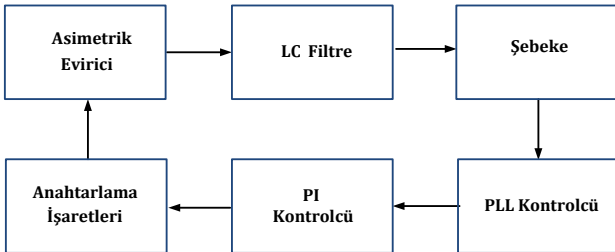
Yaşadığımız dünyada gelişen teknoloji ve nüfusumuzda meydana gelen artışla birlikte daha çok enerjiye ihtiyaç duyulmaktadır. Fosil yakıt rezervlerindeki azalmalar ve doğaya verdikleri zarar göz önüne alındığında, sürdürülebilir enerji üretimini sağlamak için alternatif enerji kaynaklarına yönelik araştırma zorunlulukları ortaya çıkmaktadır. Bu durum yenilenebilir enerji kaynaklarında kullanılan güç elektroniği devrelerinde de farklı çalışmaların gerçekleştirilmesini sağlamaktadır. Özellikle rüzgâr türbinleri ve güneş panellerinde şebeke bağlantılı birçok güç elektroniği topolojisi ve devre tipi ortaya çıkmıştır. Bu topolojilerin temel mantığı, yenilenebilir enerji kaynaklarından üretilen enerjinin mevcut enerji sistemine aktarılmasıdır. Burada en önemli

konu, yenilenebilir enerjinin verimliliği ve aktarılan sistemle birlikte kararlı çalışabilme durumudur.

Güneş panelleri, Doğru Akım (DA) üretmektedirler ve kurulu alternatif akım şebekelerine adapte edilmek istendiğinde mutlaka bir evirici kullanılmaktadır. Eviriciler, güç ihtiyacına göre tek fazlı ve üç fazlı olarak üretilmektedirler. Endüstriyel olarak uygulamalarda 2 kVA'ya kadar olan güç ve gerilim seviyelerinde tek faz eviriciler, daha yüksek güç ve gerilim seviyelerinde ise üç fazlı eviriciler kullanılmaktadır [1]. Çok seviyeli gerilim beslemeli eviriciler, güç elektroniği alanındaki hızlı gelişmelerden dolayı birçok endüstriyel uygulamalarda kullanılmaya başlanmıştır. Bu gelişmelerin sonucunda evirici/çevirici yapılarında yenilikler ve gelişmeler meydana gelmiştir. Özellikle harmoniklerin azaltılması amacı ile çok seviyeli eviriciler (ÇSE) kullanılmaktadır. Çok seviyeli

eviriciler de, giriş gerilimlerine bağlı olarak ikiye ayrılmaktadır. Her kaskad hücrenin giriş gerilim seviyelerinin eşit olmasıyla oluşturulan yapılar simetrik evirici, farklı seviyede DA kaynaklarla oluşturulan yapılar ise asimetrik evirici olarak tanımlanmaktadır. Asimetrik eviricilerde, anahtarlama elemanı sayısı simetrik eviricilere göre sabit kalırken giriş gerilim oranlarına bağlı olarak çıkış seviyeleri artırılabilir. Böylece, daha yüksek seviyeli eviricilerin daha az anahtarlama elemanı ile oluşturulması ve kurulum maliyetinin azaltılması sağlanmaktadır [2]. Ayrıca yenilenebilir enerji teknolojisinin hızla büyümesi şebeke bağlantılı sistemleri ve buna bağlı olarak bu sistemlerin farklı algoritmalarını PLL ve güç kontrol sistemlerinde değişik yapıların ortaya çıkmasını sağlamıştır [2],[3].

Bu çalışmada tek faz şebeke bağlantılı 9-seviyeli asimetrik eviricinin Simulink benzetim çalışmaları yapılarak, toplam harmonik distorsiyonu (THD) ve şebeke bağlantı durumları incelenmiştir. Çok seviyeli eviricilerde bulunan H-köprülere uygulanan DA besleme gerilimleri, binary ( $V_{da} - 2V_{da}$ ) ya da trinary ( $V_{da} - 3V_{da}$ ) oranlarında uygulanarak çıkış gerilim dalga şeklinin 7-seviyeli ya da 9-seviyeli olması sağlanmaktadır [4],[5]. Bu çalışmada, hücrelere uygulanan DA gerilim seviyeleri trinary olarak seçilmiştir. Benzetim çalışması yapılan sistemin ileride uygulama çalışmaları yapılabilmesi için 9-seviyeli evirici kullanılmıştır. Şekil 1'de Simulink benzetim çalışması yapılan şebeke bağlantılı asimetrik eviricinin blok diyagramı görülmektedir. Tasarlanan sistemde, evirici ile şebeke arasında bir alçak geçiren LC filtre kullanılmıştır. Sistemde çıkış geriliminin sabitlenmesi PI kontrol yöntemiyle, şebeke bağlantısı ise geliştirilen PLL yöntemiyle gerçekleştirilmiştir. Modellenen PLL kontrol yönteminde, karışık algoritmalara ve fazladan devre elemanına ihtiyaç olmadan şebeke bağlantısı sağlanmıştır.

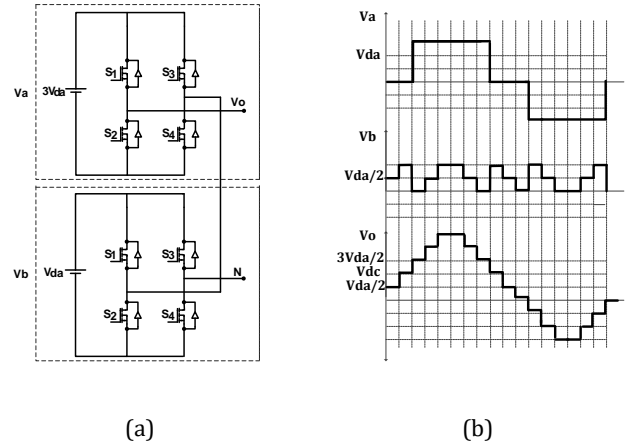


Şekil 1: Şebeke bağlantılı asimetrik eviricinin blok diyagramı.

## 2 Modellenen asimetrik evirici topolojisi ve güç sistemi

Asimetrik eviriciler, giriş geriliminin uygulanması yönünden klasik çok seviyeli evirici topolojilerinden farklıdır. Asimetrik evirici topolojilerinin temel özelliği, girişindeki DA kaynakların farklı seviyelerde olmasıdır. Klasik çok seviyeli evirici (ÇSE) topolojilerinde giriş DA gerilimi (V) her bir hücre için sabittir. Kaskad eviricilerin de giriş gerilim seviyeleri eşittir. Ancak asimetrik besleme durumunda ise giriş DA gerilimleri  $V_{da} - 2V_{da}$  ya da  $V_{da} - 3V_{da}$  gibi farklı oranlardadır [2],[3]. Bu tip evirici yapıları, asimetrik ÇSE olarak adlandırılmaktadır [4]-[6]. Asimetrik eviricinin bu özelliği sayesinde daha az sayıda eleman kullanılarak çıkış gerilimindeki seviye artırılabilir. Şekil 2'de tek faz dokuz seviye asimetrik evirici ve çıkış gerilimleri görülmektedir. Asimetrik eviricinin çıkış dalga seviyesi, giriş DA gerilimlerine ve yarıiletken elemanlar üzerindeki anahtarlama durumlarına

bağlıdır. Burada, her bir H-köprü hücrelerine sırasıyla  $V_{da}$  ve  $3V_{da}$  gerilimi uygulanarak dokuz seviyeli bir çıkış dalga şekli elde edilmiştir. H-Köprülerin seri bağlanmasıyla oluşturulan bu topolojide yarıiletken anahtarlar üzerinde gerilim paylaşımı sağlanmaktadır. Gerilim paylaşımı, aynı seviyedeki bir ÇSE'ye göre daha az eleman kullanılması ve çıkış gerilimindeki THD oranının azaltılmasıyla birlikte asimetrik eviricilerin temel avantajlarından [7]. Şekil 2b'de  $V_a$  ile gösterilen çıkış gerilimi birinci H-köprü eviricinin çıkış gerilimidir.  $V_b$  ikinci H-köprü eviricinin,  $V_o$  ise seri bağlı asimetrik eviricinin çıkış gerilimidir. Burada,  $V_a$  ve  $V_b$  seri bağlı H-köprülerden oluştuğundan çıkış gerilimlerinin toplamı  $V_o$  gerilimini üretmektedir.



Şekil 2: Tek fazlı 9-seviye asimetrik evirici topolojisi ve çıkış gerilimi dalga şekilleri.

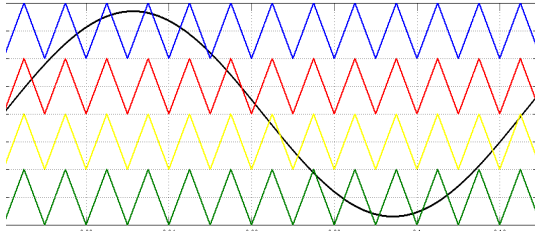
Kaskad ve hibrit asimetrik eviricilerde güç paylaşımı ana ve yardımcı hücreler arasında olmaktadır. Yardımcı hücre daha düşük güç üretmekte iken ana hücre daha yüksek güç üretmektedir [4]. Eviriciler için literatürde çeşitli Darbe Genişlik Modülasyonları (DGM) kontrol teknikleri önerilmektedir. Yaygın olarak kullanılan DGM yöntemleri, uzay vektör modülasyonu (UVM), seçmeli harmonik eleme DGM (SHE DGM) ve sinüsoidal DGM (SDGM) kontrol teknikleridir [4],[8],[9]. Asimetrik eviricilerde, SDGM kontrol yöntemi temel frekans anahtarlama kayıplarının azaltılması için sıkça kullanılmaktadır.

Özellikle çok taşıyıcı SDGM kontrol yöntemi, asimetrik eviricilerin performansını arttırmak için kullanılmaktadır. Şekil 3(a)'da faz yer değiştirmeli darbe genişlik yöntemi görülmektedir. Bu yöntemde taşıyıcı işaretlerin fazları kaydırılmadan sinüs işareti ile karşılaştırılması sonucu anahtarlama işaretleri üretilmektedir. Bu yöntemde, yüksek frekanslı bir taşıyıcı üçgen ile daha düşük frekanslı sinüs işareti karşılaştırılmaktadır. Şekil 3(b)'de karşılaştırılan işaretlerin kesişme noktalarında darbeler üretilmektedir [10],[11].

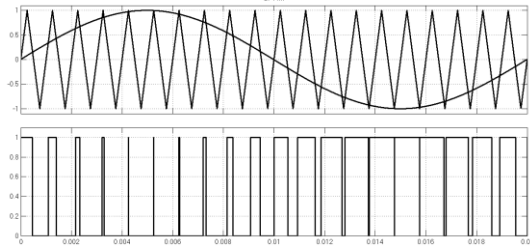
### 2.1 Anahtarlama işaretlerinin üretilmesi

Asimetrik eviricilerde kullanılan SDGM kontrol tekniğinde amaç anahtarlama kayıplarını azaltmaktır [1]. Çoklu taşıyıcı SDGM tasarımları, dikey çoklu taşıyıcı ve yatay çoklu taşıyıcı olarak sınıflandırılmaktadır [12],[13]. Bu çalışmada, dikey çoklu faz yer değiştirmeli (PD) darbe genişlik modülasyonu kullanılmıştır. Şekil 4'te dokuz seviyeli bir asimetrik eviricinin anahtarlama işaretlerinin nasıl üretildiği görülmektedir.

Burada tek bir referans işarete karşılık toplam 8 adet taşıyıcı işaret kullanılmıştır.



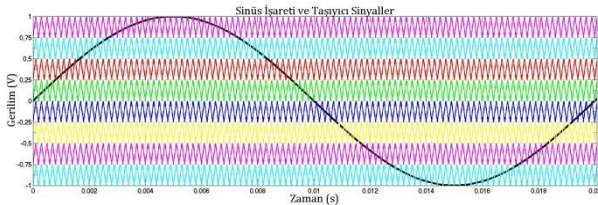
(a): Faz yer değiştirmeli DGM yöntemi.



(b): Sinüzoidal DGM yönteminin temel prensibi.

Şekil 3: Anahtarlama işaretlerinin üretilmesi.

Modülasyon şeması Şekil 4'te görüldüğü gibi taşıyıcı işaretin negatif bileşeni 90° kaydırılır. Diğer taraftan PD darbe genişlik modülasyonu 1. ve 2. H-köprüleri için anahtarlama işaretlerini üretir. Mantık olarak anahtarlama işaretlerini üretmek için sinüs işareti taşıyıcı işaretler ile karşılaştırılır. Baz bantlarında harmonikleri azaltmak için kullanılan  $S_{sw}$  tetikleyici işaretinin Fourier serilerindeki açılımı (1)'te görüldüğü gibi yapılmaktadır [14].



Şekil 4: Dokuz seviyeli evirici için anahtarlama işaretlerinin üretilmesi (PD PWM).

Burada,  $a_0$  anahtarlama işaretinin ortalama DA değerinin ifade etmektedir. Bu denklemde bazı yan bant harmonikleri ihmal edilmiştir. Tasarlanan modülatörün harmonik yok etme yeteneği, Bessel fonksiyonuna dayalı interpolasyon metodu ile dijital filtreleme kullanılarak geliştirilmiştir. Birincil dereceden Bessel fonksiyonu Gradshchey ve Ryzhik tarafından (2)'de görüldüğü gibi tanımlanmıştır ve burada  $\Gamma$  gama fonksiyonunun,  $\alpha$  ise Bessel fonksiyonun derecelerini ifade etmektedir. Bessel fonksiyonları  $a = 0$  ve  $a = 1$  dereceye göre (3) ve (4)'teki gibi bir SDGM denklemi elde etmek için düzenlenmiştir [14].

$$S_{sw}(t) = \frac{a_0}{2} + \sum_{n=1}^{\infty} (a_n \cos(n\omega t) + b_n \sin(n\omega t)) \quad (1)$$

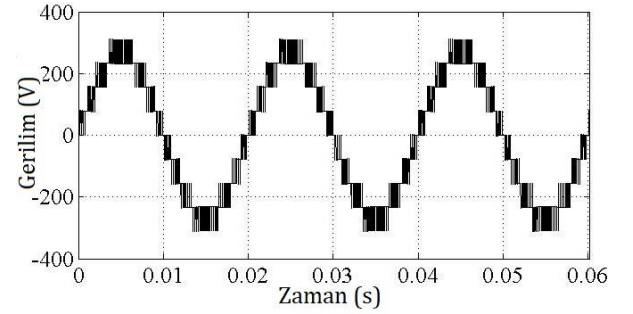
$$J_a(x) = \left(\frac{x}{2}\right)^a \sum_{k=0}^{\infty} \frac{(-1)^k}{k! \Gamma(\alpha + k + 1)} \left(\frac{x}{2}\right)^{2k} \quad (2)$$

$$J_0(x) = \sum_{k=0}^{\infty} (-1)^k \frac{x^{2k}}{2^{2k} k! (k+1)!} \quad (3)$$

$$J_1(x) = \frac{x}{2} \sum_{k=0}^{\infty} \frac{(-1)^k x^{2k}}{2^{2k} k! (k+1)!} \quad (4)$$

$$V_0(t) = \frac{m_i V_{da}}{2} \cos(\omega_r t) + \frac{2V_{da}}{\pi} \sum_{k=1}^{\infty} J_0\left(km_i \frac{\pi}{2}\right) \sin\left(k \frac{\pi}{2}\right) \cos(k\omega_c t) + \frac{2V_{da}}{\pi} \sum_{k=1}^{\infty} \sum_{l=-\infty}^{\infty} \frac{J_n\left(km_i \frac{\pi}{2}\right)}{k} \sin\left[\left((k+l) \frac{\pi}{2}\right)\right] \cos(k\omega_c t + l\omega_r t) \quad (5)$$

Denklem (5)'te görülen  $m_i$  modülasyon katsayısı,  $V_{da}$  sağlanan da voltajı,  $\omega_r$  sinüsoidal referans frekansı,  $\omega_c$  üçgensel referans frekansını  $J_0$  ve  $J_n$  Bessel fonksiyonlarını ifade eder [14]. Bir sonraki bölümde açıklanan tasarım çalışmalarıyla oluşturulan benzetim çalışmalarının sonucunda, dokuz seviyeli gerilim üretilmiş ve THD analizleri yapılmıştır. Şekil 5'te benzetim çalışmaları sonucunda elde edilen dokuz seviyeli gerilim dalga şekilleri görülmektedir.



Şekil 5: Dokuz seviyeli asimetrik evirici çıkış gerilimi

Burada, iki adet H-köprü eviricinin seri bağlanmasıyla iki eviricinin toplam gerilimi elde edilmiş ve her bir anahtarlama elemanı için daha düşük  $dv/dt$  gerilim oranı sağlanmıştır.

### 3 Benzetim çalışmaları

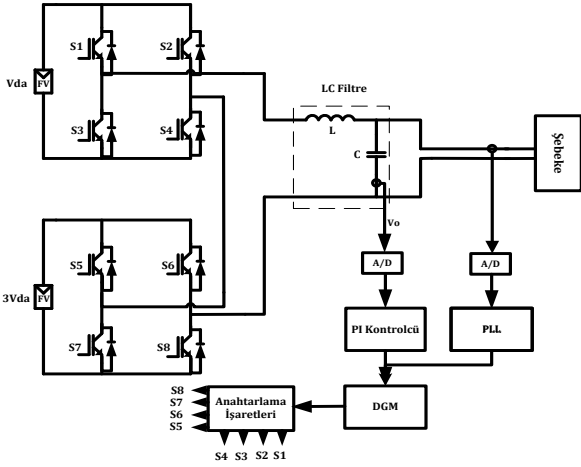
Benzetim çalışmaları yapılan tek faz şebeke bağlantılı asimetrik eviricinin açık devre şeması Şekil 6'da görülmektedir. Burada giriş gerilimleri farklı olan iki adet seri bağlı H-köprü evirici kullanılmıştır. Evirici giriş gerilimleri birbirinin 3 katı olacak şekilde tasarlanmıştır. Üçlü (*trinary*) asimetrik yapıların DA kaynak değerleri

$$V = 1, \quad V_2 = \frac{1}{3}, \quad V_3 = \frac{1}{9}, \quad V_4 = \frac{1}{27}, \quad V_5 = \frac{1}{81}, \quad , V_n = \frac{1}{3^n}$$

oranlarında olmalıdır [1],[15]-[18].

Tablo 1'de sisteme ait parametreler ve değerleri gösterilmiştir. Burada,  $V_1$ ;birinci güneş dizisinden elde edilen DA gerilim,  $V_2$  ise ikinci güneş dizisinden elde edilen gerilimdir. DA bara gerilimi, şebeke bağlantısında meydana gelecek kayıplar, modülasyon indeksinde belirlenen geçiş aralıkları ve anahtarlama kayıpları göz önünde bulundurularak 360 V olacak şekilde planlanmıştır. Besleme gerilimleri ve sistemin çıkışındaki alçak geçiren filtre değerleri Tablo 1'de görülmektedir. Sistemde  $L$  ve  $C$  değerlerinin hesabı Eş. 6, 7 ve 8'teki gibi gerçekleştirilmiştir.  $f_s$ ; şebeke frekansını ve sinüs referans işaretinin frekansını ifade etmektedir. Sistemin anahtarlama frekansı ise  $f_{cr}$  ile belirtilmektedir. Bu da üçüncü

harmonik nedeniyle üçün katı şeklinde seçilmiştir. Şebekenin modellenmesi 220V 50 Hz ideal koşulda bir şebeke için tek faz AA kaynak kullanılmış olup, hat modeli tasarlanmamıştır.



Şekil 6: Benzetimi yapılan şebeke bağlantılı asimetrik eviricinin açık devre şeması.

Tablo 1: Sistem parametreleri ve değerleri.

Parametre	Değer
$V_1$	90 V
$V_2$	270 V
$L$	1 mH
$C$	10 $\mu$ F
$f_s$	50 Hz
$f_{cr}$	5100 Hz
$R_{yük}$	10 $\Omega$
$L_{yük}$	3 mH

Benzetim çalışmaları Matlab/Simulink ortamında yapılmış olup Simulink ayarları Tablo 2'de verilmiştir.

Tablo 2: Matlab/Simulink ayarları.

Parametre	Değer
Matlab sürümü	2014a
Örnekleme zamanı	1e-6
Solver	Ode45
Max. Step Type	Auto
Min Step Type	Auto

### 3.1 LC filtre tasarımı

Kesim frekansı ve LC filtre değerlerinin belirlenmesinde aşağıdaki eşitlikler kullanılmıştır. LC filtrede kullanılacak bobin ve kondansatör değerlerinin hesabı Denklem (6) ve Denklem (7)'de görülmektedir. Denklem (8)'de ise tasarlanan sisteme ait kesim frekansının hesaplanması görülmektedir. Kesim frekansının temel dalga ve anahtarlama frekansına yakın seçilmemesi gerekmektedir. Kesim frekansının temel dalgaya yakın seçilmesi halinde sistemin aşırı akım çekmesine ve düzgün çalışmamasına neden olduğu görülmektedir.

$$L = \frac{R}{2 \cdot \pi \cdot f_g} \quad (6)$$

$$C = \frac{1}{2 \cdot \pi \cdot f_g \cdot R} \quad (7)$$

$$10f_g \leq f_r \leq \frac{f_{sw}}{2} \quad (8)$$

$$f_r = \frac{1}{2 \cdot \pi \cdot \sqrt{L \cdot C}} \quad (9)$$

Eşitliklerde;

- $R$  = Yük değeri,
- $L$  = Endüktans değeri,
- $C$  = Kapasitans değeri,
- $f_g$  = Temel dalganın frekansı,
- $f_r$  = Kesim frekansı,
- $f_{sw}$  = Anahtarlama frekansdır.

### 3.2 PI kontrol

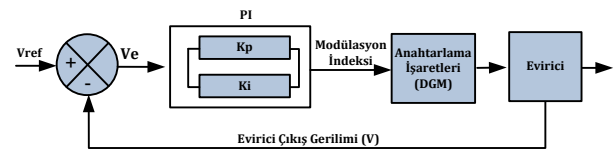
Bu yöntemde,  $P$  ve  $I$  parametrelerinin belirlenmesi için Ziegler Nichols frekans cevap yöntemi kullanılmıştır. Yöntemde ilk olarak  $G(s)$  transfer fonksiyonuna sahip sistemin Nyquist eğrisinin negatif reel eksen kestiği nokta belirlenir. İlk başta sistem açık döngü olarak çalıştırılarak kazanç artırılmış ve sistemin osilasyona gitmesi sağlanmıştır. Sistem osilasyona başladığında  $K_p$  belirlenip bu değer kritik kazanç  $K_c$  olarak tanımlanmıştır. Kontrolsüz sistemin kazanç payıdır kritik kazanç değeri vermektedir. Kritik frekans ise osilasyon periyodu  $P_c$  ile elde edilmektedir. Kritik frekans değeri ise kontrolsüz sistemin faz kesim frekansıdır. Hesaplanan bu değerlere bağlı PI parametreleri Tablo 3'te verilmiştir [19],[20].

Tablo 3: PI kontrolcü Ziegler Nichols yöntemi.

Kontrolcü Tipi	$K_p$	$K_i$
$P$	$K_p = 0.5K_c$	0
$PI$	$K_p = 0.45K_c$	$K_i = 0.536K_c/P_c$

Bu hesaplamalar sonucunda  $K_p$  değeri 0.07 ve  $K_i$  değeri 0.2 olarak bulunmuştur.

Şekil 7'de ise PI kontrol bloğunun içyapısı görülmektedir.  $V_{ref}$  referans gerilimini ifade etmektedir. Evirici çıkışından alınan değer ile referans değeri birbirinden çıkartılarak hata sıfıra götürülmektedir. Ayrıca PI kontrolcünün çıkışında elde edilen değer modülasyon indeksini de belirlemektedir.

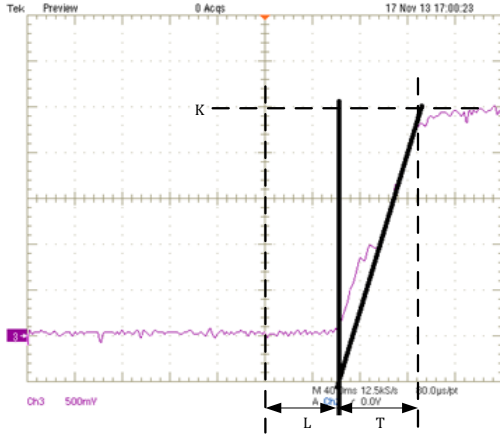


Şekil 7: PI kontrol blok diyagramı.

Şekil 8'de eviricinin analog kanalına gelen gerilimin açık döngü çalışması görülmektedir. Nichols tarafından ortaya atılmış olan ilk tasarım metodu açık çevrim basamak yanıtındaki sistem bilgisine dayanmaktadır. Basamak yanıtı yöntemi reaksiyon eğrisi metodu olarak da anılır. Basamak yanıtı, Şekil 8'de gösterilen biri zaman gecikmesi  $L$  ve diğeri zaman sabiti  $T$  olmak üzere sadece iki parametre ile nitelenir. Bu parametreler bulunurken; öncelikle açık çevrim basamak yanıtı eğrisinin maksimum eğime sahip olduğu nokta (bükülme noktası) bulunur. Şekil 8'de PI parametrelerinin elde edilmesi için gerekli teğetlerin çizildiği görülmektedir. Teğet doğrusu ile koordinat eksenlerinin kesişimi  $L$  ve  $T$  parametrelerini verir. Zaman gecikmesi  $L$ , basamak girişinin sisteme uygulanmasından sistem yanıtının görülmesine kadar geçen zamandır. Diğer parametre ise zaman sabiti  $T$ 'dir.



Ziegler Nichols yöntemi ile bulunan zaman gecikmesi değeri sistemin gerçek ölü zamanından biraz daha fazladır.

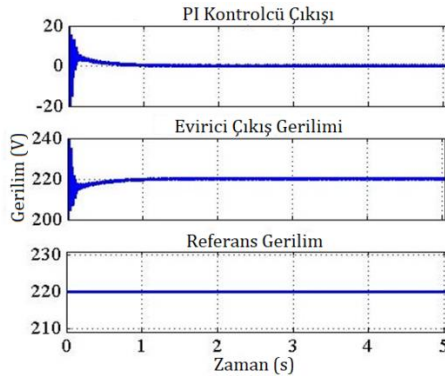


Şekil 8: Eviricinin açık döngü kalkış anı.

Yukarıda hesaplanan PI değerlerinin sistem cevabı Şekil 9'da görülmektedir. Sistemde PI kontrolcü, referans değere 0.6 sn. de ulaşmaktadır. Sistemin referans değeri 220 V olarak belirlenmiştir. Sistem çıkışı PI kontrolcünün sıfıra gitmesiyle 0.6 sn. de 220 V değerine ulaştığı görülmektedir.

### 3.3 Faz kilitli döngü- PLL

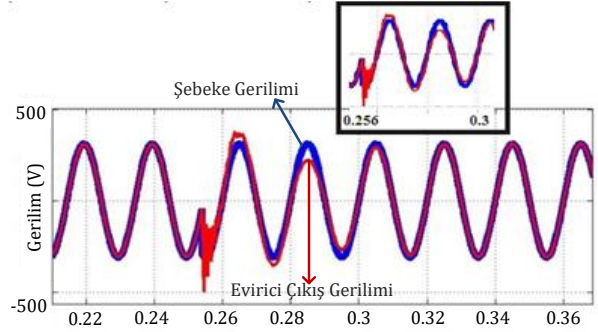
İdeal tek faz kilitlemeli döngünün (PLL); harmonik, gerilim düşmesi-yükselmesi, dengesizlik ve giriş işareti bozulmalarının diğer türlerinde hızlı ve doğru senkronize bilgi vermesi beklenir. Sistemdeki alçak geçiren filtre PLL de zaman gecikmesi yapabilmektedir. Bunun için filtre değerleri küçük seçilmelidir. Şebeke bağlantısında karşılaşılan sorunlardan birisi de mevcut şebekenin faz açısıyla üretilen enerjinin faz açısıdır.



Şekil 9: Sistemin PI kontrol ile çıkış geriliminin sabitlemesi.

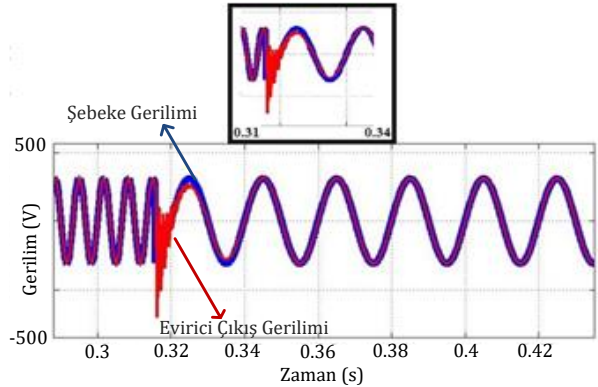
Eviricilerde üretilen enerjinin şebekeye uygun hale getirilerek minimum THD ve faz kayması ile AA şebekeye aktarılması amaçlanmaktadır. Şebekenin faz açısı ve frekans eşitliği kısmı ise tasarlanan PLL kontrolcüsü yardımıyla yapılmıştır. Eviricilerde kullanılan SDGM yönteminde bir sinüs-kare dalga oluşturulmak için, sinüs ve üçgen işaretleri karşılaştırılmaktadır. Burada üçgen sinyalin frekansını eviricinin anahtarlama frekansını belirlemekte, sinüs sinyalinin frekans ve faz açısı ise evirici çıkış geriliminin frekansını ve faz açısını belirlemektedir. Buradan yola çıkılarak tasarlanan PLL kontrolcüsünde sinüs işareti yerine şebeke referans alınarak evirici çıkış geriliminin frekans ve faz açısı şebeke geriliminin frekansına ve faz açısına eşitlenmiştir. Bu yöntem sayesinde

farklı bir algoritma ve devre ihtiyacı olmadan frekans ve faz açısı eşitliği sağlanmıştır. Şekil 10'da şebekedeki faz açısının değişimine karşılık sistemin cevabı görülmektedir. Burada şebekedeki faz açısının 100 rad/s değişimine karşılık sistemin yaklaşık 0.05 saniyede çıkış gerilimini şebeke faz açısına uyarladığı ve şebekeye bağlandığı görülmektedir.



Şekil 10: Şebekedeki faz açısı değişimine sistemin tepkisi.

Kullanıcıların güç talebi ve üretilen enerji arasındaki dengesizlik frekans dalgalanmalarına sebep olmaktadır. Frekans, güç kalitesi konusunda en önemli göstergelerden birisidir. Dolayısıyla şebeke bağlantılı sistemlerde, sistem frekansı şebeke frekansıyla eşit tutulmak zorundadır [21],[22]. Şekil 11'de şebekedeki frekans değişimine karşılık sistemin cevap süresi görülmektedir. Burada gerçekleştirilen analizde, şebeke frekansı için aşırı bir değişiklik öngörülerek 150 Hz keyfi bir değere ayarlanmıştır. Ardından, evirici çıkışı bu değere adapte olup şebeke frekansı tekrar 50 Hz'e düşürülmüş ve sistem şebekedeki bu değişikliğe 30 ms'de cevap vermiştir.

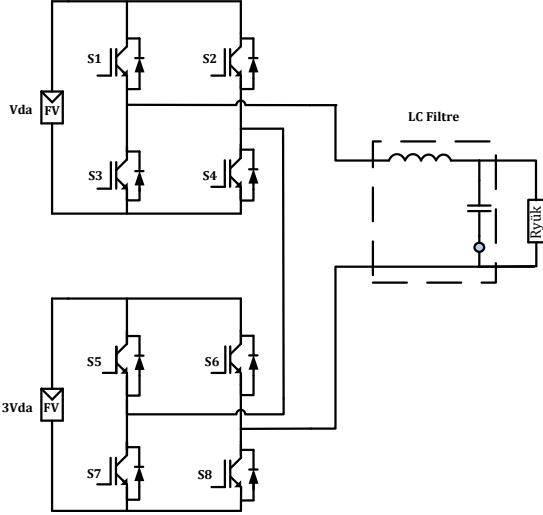


Şekil 11: Şebekedeki frekans değişimine sistemin tepkisi.

### 3.4 Toplam harmonik distorsiyonu THD

Sistemde anahtarlama kayıplarını azaltmak için anahtarlama frekansı 5100 Hz seçilmiştir. Evirici bu anahtarlama frekansında çalışırken THD analizleri yapılmıştır. Ayrıca yapılan deneysel çalışmalar esnasında modülasyon indeksinin harmonik üzerinde değişimler oluşturduğu görülmüştür. Bu sebeple harmonik analizleri, giriş gerilimi sabit anahtarlama frekansında değiştirilerek farklı modülasyon indeksi değerlerinde gerçekleştirilmiştir. Sistemde PI kontrolcünün çıkış değeri modülasyon indeksi olarak atanmaktadır. PI kontrolcünün çıkış değeri 0.6 – 1 arasında değiştirilerek analiz edilmiş ve modülasyon indeksinin 0.85'te en düşük THD sonuçlarına ulaştığı görülmüştür. Tasarlanan sistemde ilk anda giriş gerilimi sıfır olduğundan modülasyon indeksi 1 olarak gelmektedir. Eğer sistem belirtilen referans değerini

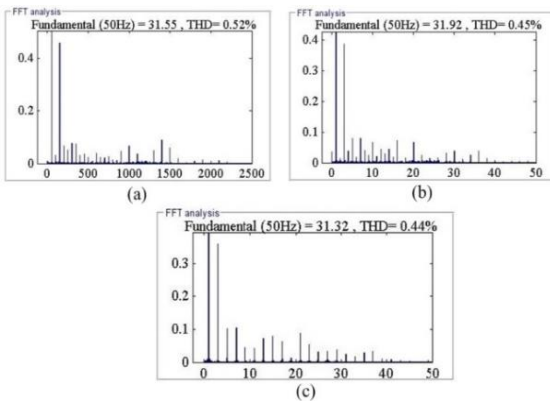
geçerse, hata oranı azalacak ve modülasyon oranı düşecektir. Şekil 12'de asimetrik 9-seviyeli eviricinin omik yük altındaki benzetim çalışması görülmektedir. Burada, omik yük değeri 10 ohm'dur. Benzetim çalışmalarının THD analizleri hem açık döngü hem sadece PI kontrolcü devredeyken hem de PI ve PLL kontrolcü birlikte çalışırken yapılmıştır.



Şekil 12: Benzetim çalışması yapılan açık döngü omik yüklü asimetrik evirici.

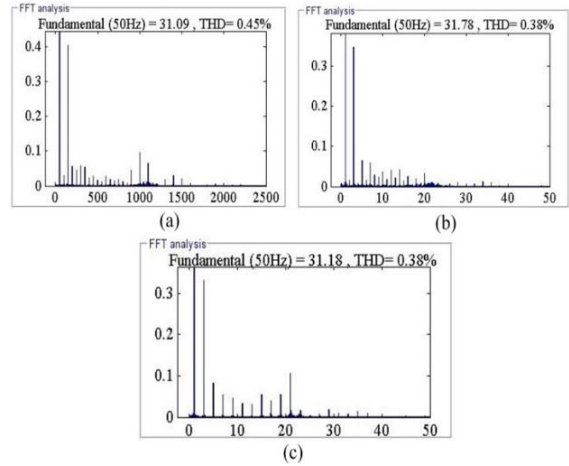
Şekil 13'te sistem çıkışına bağlanan 10 ohm'luk yük değerine karşılık çıkış akımındaki THD analizi görülmektedir. Şekil 13(a)'da sistem açık döngü çalıştırılmıştır. Burada, PI ve PLL kontrolcüsü bulunmadan harmonik analizi yapılmıştır. Bu durumda, 3. ve 5. harmoniklerin yanı sıra yüksek dereceli harmoniklerin de bulunduğu görülmektedir. Şekil 13(b)'de sistemde sadece PI kontrolcü devrededir. PI kontrolcü sadece çıkış gerilimini 220 V'a şebeke gerilimine eşitlemek için kullanılmış ve bu durumda yüksek dereceli harmoniklerin düştüğü görülmektedir. Ayrıca, PI kontrolcünün sistemin THD oranını da düşürdüğü gözlemlenmiştir. Burada sistem off-grid olarak çalışmaktadır.

Şekil 13(c)'de ise sisteme PI-PLL kontrol yöntemi eklenmiştir. Burada sistemde hem PI kontrolcü hem de PLL kontrolcü devrededir. PI kontrolcü sistemin hem 220 V şebeke değerine eşitlenmesinde hem de faz açısı ve frekans eşitliğinin tepki sürelerini kontrol etmektedir. PLL kontrolcü ise sistemin faz açısı ve frekans eşitliğini kontrol etmektedir.



Şekil 13: 10 Ohm yükte evirici çıkış akımının THD analizi. (a): Açık döngüde çalışma, (b): PI kontrolcü ile çalışma, (c): PI-PLL kontrolcü ile çalışma.

Burada, hem PI hem de PLL kontrolcüsü devredeyken toplam harmonik değerinin azaldığı görülmektedir. Burada üçüncü harmoniğin baskın olduğu ancak değer olarak küçük olduğundan THD değerinin düşük çıktığı gözlemlenmiştir. Şekil 14'te sistem çıkışına bağlanan 10 Ohm-3 mH yük değerine karşılık sistem çıkış akımındaki toplam harmonik bozunumu görülmektedir. Şekil 14a'da üçüncü harmoniğin giderek azaldığı buna karşılık yüksek seviyeden harmoniklerin ise giderek arttığı görülmektedir. Burada bobin etkisinin THD'yi düşürdüğü görülmektedir. Şekil 14b ve Şekil 14c'de ise toplam harmonik bozunumunun daha az olduğu incelenmiştir. Burada, yüksek seviyeden harmonikler açık döngü çalışmaya göre giderek azalmıştır. PI ve PI-PLL çalışmalarında THD oranları birbirine yakın çıkmaktadır.



Şekil 14: 10 Ohm 3 mH yükte evirici çıkış akımının THD analizi. (a): Açık döngüde çalışma, (b): PI kontrolcü ile çalışma, (c): PI-PLL kontrolcü ile çalışma.

### 3.5 Uygulamada karşılaşılabilecek sorunlar

Benzetim çalışması yapılan sistemin uygulama çalışmalarında karşılaşılabilecek sorunlar;

**Taşıyıcı Sinyallerin Üretilmesi:** Yazılım kısmında taşıyıcı sinyalleri üretmek zor ve karmaşık yazılıma neden olmaktadır. Bu nedenle DSP ve STM tarzı işlemcilerle Matlab/Simulink üzerinden yapılan benzetim çalışmaları taşıyıcı sinyal üretilebilmekte ve bunu yazılım olarak C diline çevirebilmektedir.

**Şebekeye Bağlantı:** Burada da sistemin frekansı şebekeye bağlanırken şebeke frekansından büyük olması gerekmektedir. Ayrıca çıkış gerilimi de şebeke gerilimine yakın ve büyük olması gerekmektedir.

**Aktif ve Reaktif Güç Çekme:** Aktif ve reaktif güç için şebeke bağlantılı eviricilerde droop kontrol yöntemleri kullanılmaktadır.

**Analog Kanal:** Karşılaşılan bir diğer sorun ise analog kanala gelen bilgilerdir. Burada, şebeke bağlantılı sistemlere analog kanal gürültü alabilmektedir. Bunun için hem analog hem dijital filtreler kullanılmalıdır.

## 4 Sonuçlar

Günümüzde yüksek güçlü enerji sistemlerinde, kesintisiz güç kaynaklarında ve fotovoltaik sistemlerde kullanılan iki seviyeli eviricilerde, kullanılacak anahtarlar elemanının gücü yetersiz kalmaktadır. Ayrıca, klasik iki seviyeli eviricilerde çıkış dalga şeklinin sinüzoidalden uzak olması, düşük gerilim

üretilmesinden kaynaklı transformatör kullanılması, yüksek anahtarlama frekansına ihtiyaç duymaları klasik iki seviyeli eviricilerin dezavantajlarıdır. Bu çalışmada, tek faz 9-seviyeli şebeke bağlantılı asimetrik eviricinin benzetim çalışması tasarlanmış ve incelenmiştir. Asimetrik evirici yapısı seçiminde günümüzde fotovoltaik sistemlerin giderek artan kullanımından dolayı ve çıkış gerilim seviyesinin daha az eleman kullanılarak artırılması sebebiyle göz önünde bulundurulmuştur. Evirici açık döngü, PI kontrollü ve PI-PLL kontrollü yöntemlerle çalıştırılarak her durum ayrı ayrı incelenmiştir. Yapılan benzetim çalışmalarında, evirici çıkış geriliminin faz, frekans ve genlik yönünden sabitlenmesi için PI kontrol yöntemi kullanılmıştır. Kullanılan yöntemin açık döngüye göre toplam harmonik distorsiyonunu azalttığı ve yüksek dereceli harmonikleri bastırdığı görülmüştür. Ayrıca, sistemde şebeke bağlantısı için geliştirilen PLL yöntemi kullanılmıştır. Geliştirilen yöntemde şebeke bağlantısı için kullanılan algoritmalar ve ek devrelere ihtiyaç olmadan şebeke bağlantısının gerçekleştiği gözlemlenmiştir. Yapılan çalışmalarda daha az anahtarlama elemanı kullanarak çıkış dalgasındaki seviye artırılmış ve düşük çıkış dalga formundaki harmoniklerin düştüğü görülmüştür.

## 5 Kaynaklar

- [1] Çolak I, Kabalci E, Bayindir R. "Review of multilevel voltage source inverter topologies and control schemes". *Energy Conversion and Management*, 52, 1114-1128, 2011.
- [2] Krishna KV, Suryawanshi HM, Shitole AB, Ajmal T. "Comparison between 2-level and 3-level grid connected inverters implemented using SRF PLL technique". *International Conference on Energy, Power and Environment: Towards Sustainable Growth (ICEPE)*, Shillong, India, 12-13 June 2015.
- [3] Li X, Balog RS. "PLL-less robust active and reactive power controller for single phase grid-connected inverter with LCL filter". *IEEE Applied Power Electronics Conference and Exposition (APEC)*, Charlotte, NC, 15-19 March, 2015.
- [4] Çolak I, Kabalci E, Keven G. "A review on asymmetric multi-level inverters". *EMO Bilimsel Dergi*, 2(3), 137-143, 2012.
- [5] Babaei E, Moeinian MS. "Asymmetric cascaded multilevel inverter with charge balance control of a low resolution symmetric subsystem". *Energy Conversion and Management*, 51(11), 2272-2278, 2010.
- [6] Kai D, Yunping Z, Lei L, Zhichao W, Hongyuan J, Xudong Z. "Novel hybrid cascade asymmetric inverter based on 5-level asymmetric inverter". *36th Power Electronics Specialists Conference*, Recife, Brazil, 16 June 2005.
- [7] Miranda H, Espinosa-Pe-rez G, Cárdenas V. "Passivity-based control of an asymmetric nine-level inverter for harmonic current mitigation". *Power Electronics*, 5(2), 237-247, 2012.
- [8] Colak I, Bayindir R, Kabalci E. "Design and analysis of a 7-level cascaded multilevel inverter with dual SDCSS". *International Symposium on Power Electrical Drives Automation and Motion*, Pisa, Italy, 14-16 June 2010.
- [9] Ludois DC, Reed JK, Venkataramanan G. "Hierarchical control of bridge-of-bridge multilevel power converters". *IEEE Transactions on Industrial Electronics*, 57(8), 2679-2690, 2010.
- [10] Li W. "A new approach to the harmonic analysis of SPWM waves". *IEEE International Conference on Mechatronics and Automation*, Luoyang, Henan, China, 25-28 June 2006.
- [11] Sabarad J, Kulkarni GH. "Comparative analysis of SVPWM and SPWM techniques for multilevel inverter". *International Conference on Power and Advanced Control Engineering*, Bangalore, India, 12-14 August 2015.
- [12] Colak I, Kabalci E, Bayindir R. "Review of multilevel voltage source inverter topologies and control schemes". *Energy Conversion and Management*, 52(2), 1114-1128, 2011.
- [13] Zambra DAB, Rech C, Pinheiro JR. "Comparison of Neutral-Point-Clamped, Symmetrical, and Hybrid Asymmetrical Multilevel Inverters". *IEEE Transactions on Industrial Electronics*, 57(7), 2297-2306, 2010.
- [14] Kabalci E, Kabalci Y, Canbaz R. and Gokkus G. "Single phase multilevel string inverter for solar applications". *4th International Conference on Renewable Energy Research and Applications*, Palermo, Italy, 22-25 November 2015.
- [15] Babaei E, Hosseini SH. "New cascaded multilevel inverter topology with minimum number of switches". *Energy Conversion and Management*, 50(11), 2761-2767, 2009.
- [16] Rodriguez J, Bernet S, Wu B, Pontt JO, Kouro S. "Multilevel voltage-source-converter topologies for industrial medium-voltage drives". *IEEE Transactions on Industrial Electronics*, 54(6), 2930-2945, 2007.
- [17] Babaei E, Hosseini SH, Gharehpetian GB, Tarafdar Haque M, Sabahi M. "Reduction of dc voltage sources and switches in asymmetrical multilevel converters using a novel topology". *Electric Power Systems Research*, 77(8), 1073-1085, 2007.
- [18] Corzine KA, Wielebski MW, Peng FJ, Wang, "Control of cascaded multi-level inverters". *IEEE International Electric Machines and Drives Conference*, Madison, WI, USA, 1-4 June 2003.
- [19] Barreto LHSC, Praca PP, Cruz CMT, Bascope RT. "PID digital control using microcontroller and FPGA applied to a single-phase three-level inverter". *22nd APEC Applied Power Electronics Conference*, Anaheim, CA, USA, 25 February-1 March 2007.
- [20] Datta A, Ho MT, Bhattacharyya SP. *Structure and Synthesis of PID Controllers*. London, Britain, Springer Science & Business Media, 2000.
- [21] Sezen S, Özdemir E. "Modeling, simulation and control of three phase three level multilevel inverter for grid connected PV system". *SOLAR TR2 Solar Electricity Conference and Exhibition*, Antalya, Turkey, 7-9 November 2012.
- [22] Ehara T. "Overcoming PV Grid Issues in The Urban Areas". IEA, Report IEA-PVPS T10-06, Japan, 2009.