



Darlington CMOS İnverter Tabanlı Paralel Analog-Sayısal Dönüştürücü Tasarımı

Oktay AYTAZ

Abant İzzet Baysal Üniversitesi, Mühendislik-Mimarlık Fakültesi, Elektrik Elektronik Mühendisliği Bölümü, 14030, BOLU

Öz

Yapılan bu çalışmada, CMOS eşik gerilimine göre çalışan Darlington CMOS İnverter devresi kullanılarak 4-bit paralel analog-sayısal dönüştürücü(A/S) yapısı önerilmiştir. Bu yüzden genel blok yapıda kullanılan nicemleme gerilimlerini elde etmek için gerekli olan direnç bölme dizisine ihtiyaç kalmamıştır. Darlington yapısı, genellikle bipolar transistör için kullanılan bir yapı iken burada CMOS yapısı için önerilmiştir. Bu sayede kullanılan inverter devresinin kazancı artırılmıştır. Önerilen 4-bit paralel A/S dönüştürücü için besleme gerilimi +1.8V, sistemin saat frekansı 10GHz, analog giriş işaretinin frekansı 100MHz alındığında elde edilen benzetim sonuçlarına göre güç tüketimi 96.6mW, INL hatası (0/-1.24)LSB, DNL hatası ise (-0.71/+0.82)LSB olarak ölçülmüştür. Tasarımı yapılan sistemin benzetim sonuçları şematik devre üzerinden alınmıştır

Makale Bilgisi

Başvuru: 26/11/2017

Düzeltilme: 06/02/2018

Kabul: 08/02/2018

Anahtar Kelimeler

Darlington CMOS
İnverter
Analog Sayısal
Dönüştürücü
Paralel A/S Dönüştürücü

Keywords

Darlington CMOS
İnverter
Analog-to-Digital
Converter
Parallel A/D Converter

Design of Parallel Analog to Digital Converter Based on Darlington CMOS Inverter

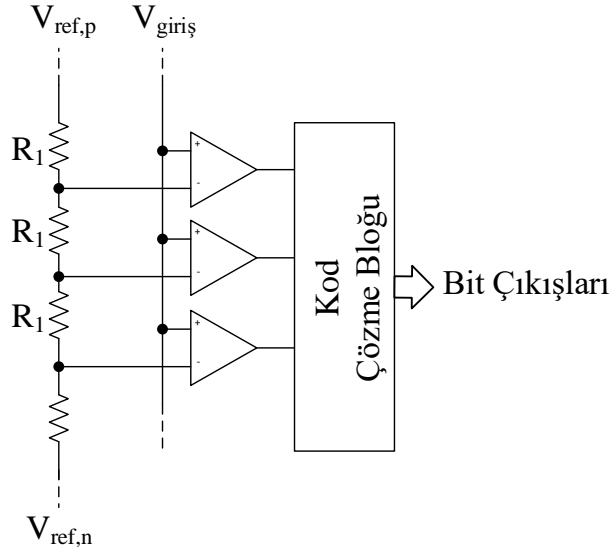
Abstract

This article presents a 4-bit parallel analog-to-digital converter was designed by using Darlington CMOS Inverter which is operated in accordance with CMOS threshold voltage. Thus, there is no need to use resistance array block for obtaining quantization voltage in this structure. Generally, the darlington structure is used on bipolar junction transistor circuits, however it is proposed for CMOS circuits in this study. Hence, the gain of inverter circuit increases. According to simulation results, power consumption is 96.6mW, DNL and INL errors are (-0.71/+0.82)LSB and (0/-1.24)LSB respectively. The provided power consumption, DNL and INL measures are observed at 100MHz input with 10GS/s sampling rate. All the simulation results were obtained from schematic circuits.

1. GİRİŞ (INTRODUCTION)

Analog-Sayısal dönüştürücüler, gerçek dünyada ki fiziksel büyüklüklerin sayısal dünyada kullanılması için gerekli olan sayısal bilgiye dönüşümü yapan ve bu iki dünya arasındaki ilişkiyi sağlayan en basit ve en önemli yapıdır. Özellikle çözünürlüğü, doğruluğu, hızı, güç tüketimi ve kapladığı alan oldukça önemlidir[1]. Bu yüzden, çok sayıda ve birbirinden farklı yapılarda Analog-Sayısal dönüştürücü tasarım teknikleri mevcuttur. Genel olarak bir sınıflandırma olmamasına rağmen, analog-sayısal dönüştürücüleri dönüştürme oranına göre, Nyquist A/S dönüştürücü ve aşırı örneklemeli A/S dönüştürücü olmasına göre sınıflandırabiliriz[2]. Burada yapılan Nyquist A/S dönüştürücü sınıflandırmasına göre de yapıları yüksek hızlı ve tümüyle paralel(flash), katlama ve ara-değerleme(folding-interpolating) ve boru tipi(pipeline) A/S dönüştürücü olarak sınıflandırabiliriz. Özellikle geniş band haberleşme(mobil, kablolu, kablosuz) sistemlerinde, yazılım radyo sistemlerinin sinyal işleme uygulamalarında ve geniş band alıcı-verici sistemlerinde çoğunlukla düşük çözünürlüklü ve yüksek hızlı analog-sayısal dönüştürücüler kullanılmaktadır[3-6]. Özellikle düşük gecikme süresi ve yüksek örnekleme hızına ihtiyaç duyan sistemler için gerekli olan bir yapıdır[7]. Bu yüzden, yüksek örnekleme hızına sahip olan paralel analog-sayısal dönüştürücüler bu sistemlerde ilgili yapının bir parçası olarak kullanılabilir gibi, tek başına da kullanılabilir[4,8]. Bu yapı, aynı zamanda “zaman ara-değerlemeli”, “ardışıl yaklaşımlı” ve “boru tipi analog-sayısal dönüştürücü” tiplerinin içyapılarında da kullanılmaktadır[5,9].

Genel olarak kullanılan paralel analog sayısal dönüştürücünün blok şeması Şekil-1’de gösterilmiştir. Bu yapı direnç dizisi, karşılaştırıcı bloğu ve sayısal kodlama bloğundan meydana gelmektedir. N-bit paralel analog sayısal dönüştürücü için 2^N adet karşılaştırıcı ve direnç ihtiyacı vardır[8]. Burada karşılaştırıcı girişine uygulanan giriş işareti, direnç dizisi yardımı ile elde edilen nicemleme gerilimleri ile karşılaştırılır. Bu geçiş noktalarında, giriş işareti genliğinin, nicemleme geriliminden büyük ya da küçük olmasına göre termometre kod elde edilir. Elde edilen bu koddan sonrada binary ya da gray koduna dönüşüm sağlanır. Bu dönüştürme işlemi de saat işaretinin bir periyodunda tamamlanır.



Şekil 1. Paralel analog sayısal dönüştürücü blok şeması.

Analog sinyalin sayısal bilgiye dönüştürme işlemine ilk başladığı ve işaretin ilk kez örneklediği nokta karşılaştırıcı yapısıdır. Aslında 1-bitlik analog-sayısal dönüştürücü olarak da söylenebilir[2]. Bu yüzden paralel analog-sayısal dönüştürücülerin en önemli bloklarından birisi olarak tanımlanır[4]. Çünkü sistemin band genişliğini, analog giriş gerilim aralığını ve güç tüketimini etkileyen en önemli bloklardan birisidir[10,11]. Bu yüzden literatürde karşılaştırıcı devresi olarak kullanılan birçok yapı mevcuttur. Genel olarak yüksek hıza çıkabilmek için kullanılan karşılaştırıcı devreleri iyileştirilmiş kilitli karşılaştırıcılar(regenerative latched comparator), çok katlı açık çevrim karşılaştırıcılar(multistage open loop comparator) ve ön-yükselteçli kilitli karşılaştırıcılar(pre-amplifier latched comparator) olarak sınıflandırılabilir[2,12]. Yüksek hız ve doğruluk için açık çevrim karşılaştırıcılar kullanılabilir, fakat örnekleme hızını 1GS/s’den daha fazla artırmak zor olacaktır[13]. Bu yüzden daha yüksek hıza çıkabilmek için ön yükselteçli kilitli karşılaştırıcılar kullanılabilir[13]. Fakat bu yapının en büyük dezavantajlarından biri de off-set geriliminin büyüklüğüdür. Off-set gerilimini azaltmak için de auto-zero tekniği kullanılmaktadır[14]. Genel olarak Şekil 1’de gösterilen blok şemada kullanılan direnç dizisi ve karşılaştırıcı bloğu hem güç tüketiminde hem de yonga alanında artışa neden olmaktadır[15]. Bu yüzden son yıllarda paralel analog-sayısal dönüştürücülerde inverter tabanlı karşılaştırıcı kullanımı popüler hale gelmeye başlamıştır. Bu yapılardan en çok tercih edileni iki adet cmos inverter devresinin birbirini ardına seri bağlanması ile elde edilen eşik evirmeli nicemleyici(EEN,TIQ) devresidir. Bu yapı CMOS inverter devresinin eşik gerilimlerinin ayarlanması ile çalışmaktadır[16,17]. Karşılaştırıcı olarak kullanılan bu yapı daha sonra farklı analog sayısal dönüştürücü tiplerinde de kullanılmıştır[18,19]. Bu yapının geliştirilmesi sayesinde sadece tek başına cmos inverter devresi kullanılarak da tasarımı yapılmış paralel analog sayısal dönüştürücüler mevcuttur[15,20,21]. Bunlarda sadece inverter devresinin eşik gerilimine göre çalışan yapılardır.

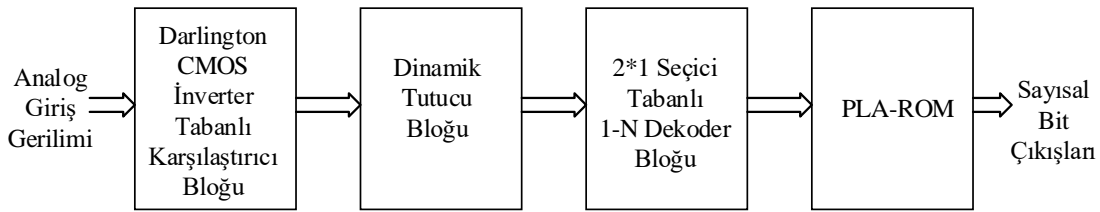
Yapılan bu çalışmada ise geleneksel cmos inverter devresinden daha fazla kazanca sahip olduğu belirtilen[22,23] ve yine eşik gerilimine göre çalışan Darlington CMOS İnverter tabanlı bir karşılaştırıcı kullanılmıştır. Darlington CMOS İnverter tabanlı karşılaştırıcı daha önce bu tip bir tasarımda hiç kullanılmamıştır.

Genel olarak inverter tabanlı karşılaştırıcı kullanılarak tasarlanan analog sayısal dönüştürücü devrelerinde, karşılaştırıcı bloğunun arkasına, kazancı artırmak için birbiri ardına seri bağlanan inverter devrelerinden oluşan ve sayısal kuvvetlendirici devresi olarak isimlendirilen bir blok devresi bağlanmaktadır[24-27]. Bu yüzden kazancı yüksek olan Darlington CMOS İnverter yapısı kullanılarak hem gecikme süresinin hem de yonga alanının azaltılacağı düşünülmektedir.

Tasarımı yapılan bu çalışmada, Şekil 1’de gösterilen dirençsel gerilim bölme ve karşılaştırıcı devreleri yerine, farklı nicemleme gerilimlerinde çıkış sağlayan Darlington CMOS İnverter devrelerinden oluşan bir karşılaştırıcı bloğu, dinamik tutucu bloğu(Latch block), 2*1 seçici tabanlı kodlayıcı bloğu ve pla-rom devresinden oluşan bir sistem önerilmiştir.

2. 4 BİT PARALEL ANALOG SAYISAL DÖNÜŞTÜRÜCÜ (4 BIT PARALLEL ANALOG DIGITAL CONVERTER)

Tasarımı yapılan bu çalışmanın blok şeması Şekil 2’de gösterilmiştir. Önerilen yapı farklı nicemleme gerilimlerinde çalışan Darlington CMOS İnverter devrelerinden oluşan karşılaştırıcı bloğu, dinamik tutucu bloğu, kodlayıcı bloğu ve pla-rom bloğundan oluşmaktadır.



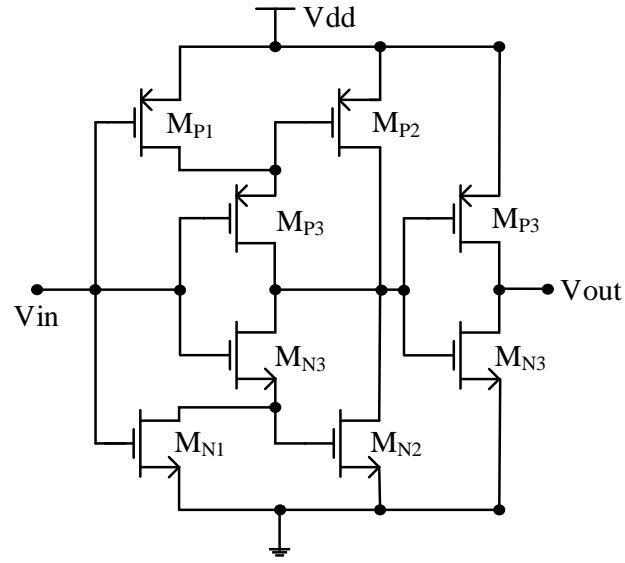
Şekil 2. 4-Bit darlington cmos inverter tabanlı paralel analog-sayısal dönüştürücü blok şeması.

2.1 Darlington CMOS İnverter Bloğu (Darlington CMOS Inverter Block)

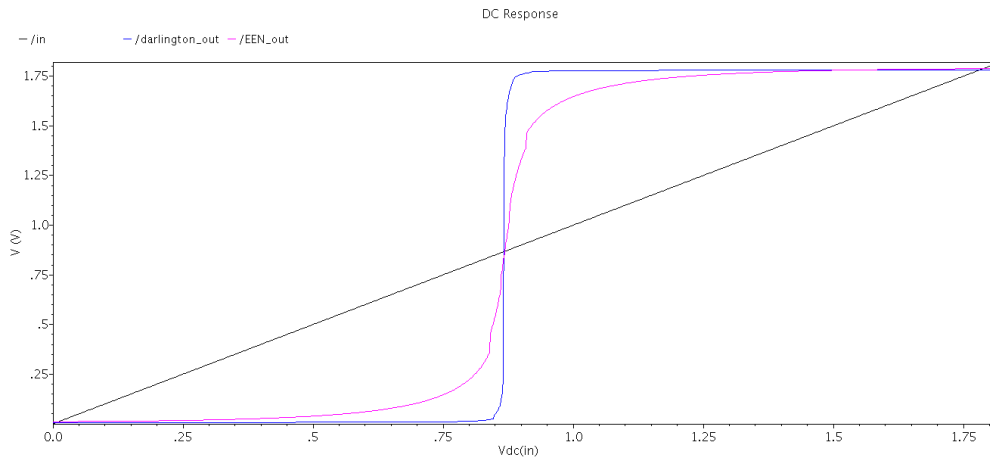
Popüler BJT(Bipolar Junction Transistör) devrelerinin en bilinen tasarımlarından bir tanesi darlington yapısıdır. Çıkış katındaki akım kazancı artırmak, böylece girişten uygulanan giriş akım değerinin azaltılmasını sağlamak için kullanılan bir yapı olarak tanımlanmaktadır[28]. Bu çalışmada BJT darlington yapısı, şekilsel olarak MOSFET yapısına dönüştürülmüş ve inverter devresine uygulandığında elde edilen şekilsel yapı Şekil 3’te gösterilmiştir. Tasarımı yapılan bu devrenin geleneksel inverter devresine göre kazancının yüksek olduğu [22] ve [23] nolu çalışmalarda belirtilmiştir. Yapılan bu çalışmada ise 0.18µm CMOS teknoloji parametrelerine göre yeniden tasarlanmıştır. Elde edilen bu devre ile eşik evirmeli nicemleyici tekniğinin yaklaşık olarak $V_{in}=V_{dd}/2$ ’de ki transfer karakteristikleri Şekil 4’te gösterilmiştir.

Aynı zamanda inverter devrelerinin kazancının $\frac{dV_{out}}{dV_{in}}$ olduğu bilindiğine göre, bu transfer

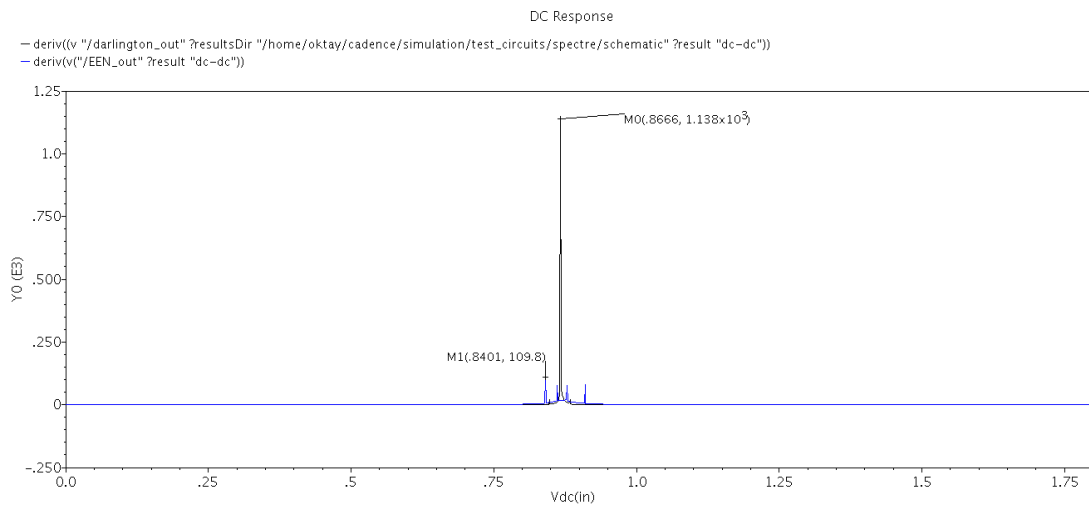
karakteristikleri yardımı ile elde edilen kazanç grafikleri Şekil 5’te gösterilmiştir. Burada eşik evirmeli nicemleyici tekniğinde kullanılan devrenin kazancı 109.8 iken, darlington tabanlı CMOS inverter devresinin kazancı yaklaşık olarak 1138’dir. Yapılan bu simülasyon sonuçlarına göre darlington tabanlı CMOS inverter devresinin kazancı, EEN devresinin kazancından yaklaşık 10 kat daha fazladır. Şekil 3’te gösterilen yapıda M_{P2} - M_{P3} ile M_{N2} - M_{N3} mosfetleri Darlington CMOS yapısı gibi düşünülmüştür. Bilindiği üzere bu yapı mosfetlerde kullanılamaz. Bu yüzden M_{P1} ve M_{N1} mosfetleri, darlington bağlantılı mosfetleri kutuplama amaçlı kullanılmıştır. Kullanılan bu mosfetlerden dolayı, önerilen yapının güç tüketiminde artış meydana gelmektedir. Önerilen analog-sayısal dönüştürücü de karşılaştırıcı olarak kullanılan bu yapıda M_{P1} ve M_{N1} mosfetlerinin kanal boyu ve genişlik (W/L) oranı sabit tutulmuştur. Burada farklı nicemleme gerilimi elde etmek için M_{P2} - M_{P3} ile M_{N2} - M_{N3} mosfetlerinin W/L değerleri değiştirilmiştir. Böylece farklı nicemleme gerilimlerinde çalışan karşılaştırıcı devreleri elde edilmiştir. Burada 0.18µm CMOS teknoloji kütüphanesinin NMOS ve PMOS eşik gerilim değerlerine göre analog giriş gerilim aralığı ayarlanmıştır. Analog giriş gerilim aralığı 0.38V ile 1.6V arasındadır. Böylece nicemleme gerilimi 76.25mV’tur. Şekil 6’da Darlington CMOS İnverter bloğunun çıkışında elde edilen işaretler gösterilmektedir.



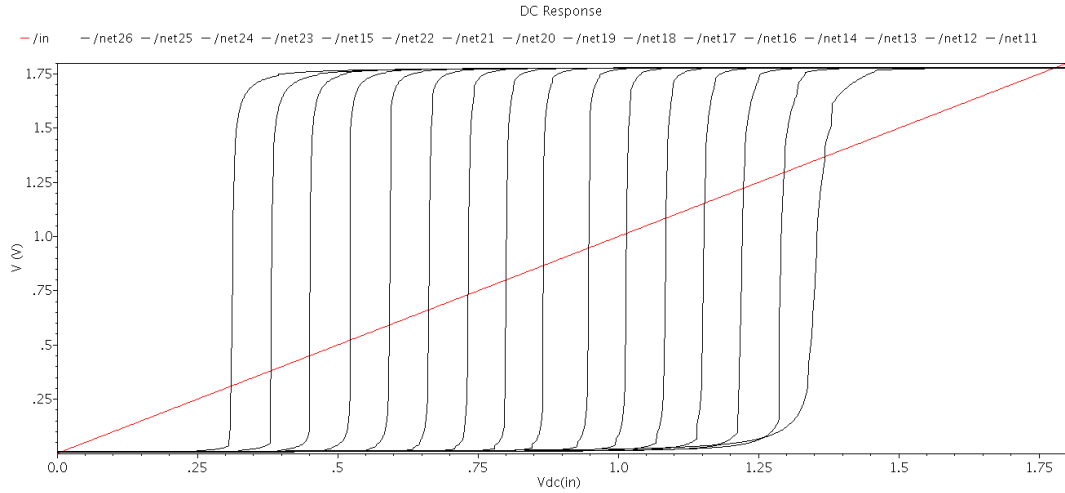
Şekil 3. Darlington cmos inverter devresi.



Şekil 4. Darlington cmos inverter ve eşik evirmeli nicemleyicinin transfer karakteristikleri.



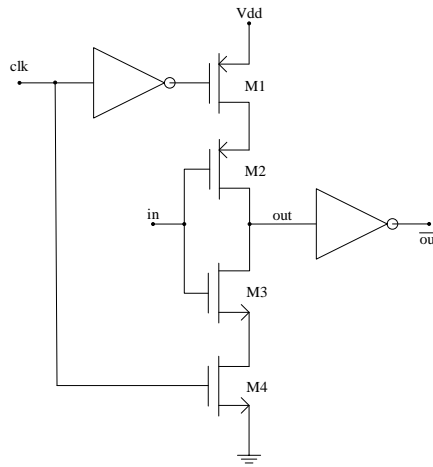
Şekil 5. Darlington cmos inverter ve eşik evirmeli nicemleyicinin kazanç grafikleri.



Şekil 6. Darlington cmos inverter tabanlı karşılaştırıcı bloğu dc sonuçları.

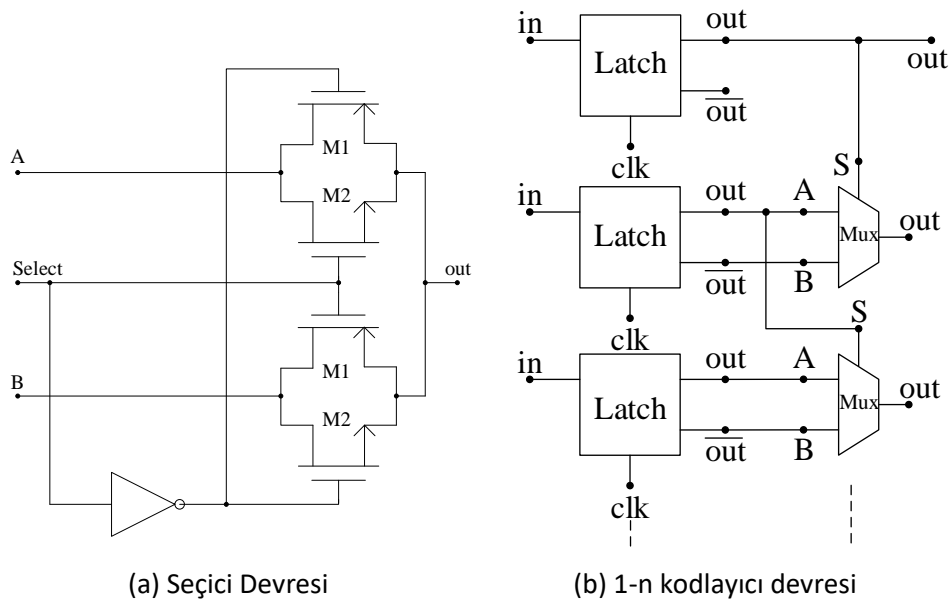
2.2 Sayısal Kod Çözme Bloğu (Digital Encoder Block)

Sayısal kod çözme bloğu; dinamik tutucu devresi, 1-n kodlayıcı ve pla-rom bloğundan oluşmaktadır. A/S dönüştürücü tasarımlarında analog ve sayısal bloklar arasında ki kontrolü sağlamak için dinamik tutucu devresine ihtiyaç vardır.[10,29]. Dinamik tutucu devresi, tasarlanan sisteme uygulanan saat işaretinin durumuna göre devre girişindeki işareti çıkışa verir ya da devre çıkışındaki işareti tutar. Bu tasarımda kullanılan dinamik tutucu devresi Şekil 7’de gösterilmiştir.

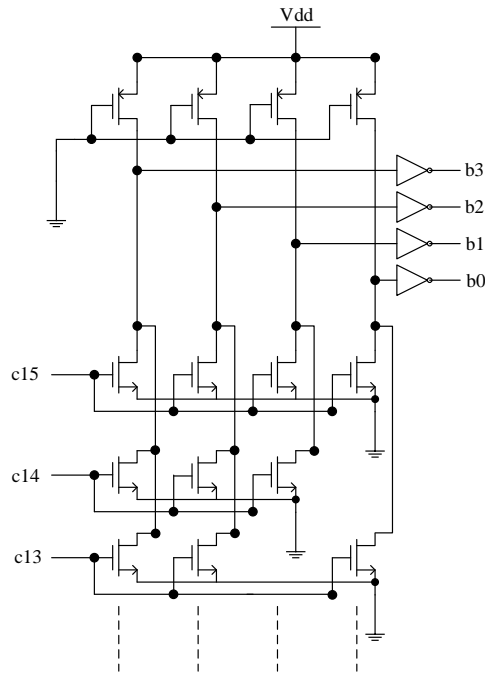


Şekil 7. Tasarımda kullanılan dinamik tutucu devresi

Termometre kod çözücü devresi, sayısal kod dizilerinin sınırını belirlemek için kullanılır. Sayısal kodların 1’ler ve 0’lardan oluştuğu göz önünde bulundurulursa, bu değerlerin sınırlarını belirlemek oldukça önemlidir. Burada kullanılan termometre kod çözücü devresi seçici tabanlıdır. Seçici devresinin giriş ve kontrol işaretleri, gerekli bit çıkışlarını elde edecek şekilde karşılaştırıcı bloğu çıkışlarından seçilmiştir. Burada toplam 2^n-1 adet seçici devresi kullanılmıştır. Bu bloğa giren kod, çıkışta sayısal 0’ların arasında gezinen tek bir sayısal “1” bitinden oluşur. Oluşan bu bitin her bir konumu farklı bir binary koda denk gelir. Kullanılan termometre kod çözücü devresi ve eşlenik CMOS anahtar tabanlı seçici devresi Şekil 8(a) ve (b)’de gösterilmiştir. Pla-Rom devresi, kodlayıcı devresi çıkışında elde edilen ve sadece bir tane sayısal “1”den oluşan veriyi n-bitlik binary koda dönüştürür. Bu yapı her bir bit için lineer bölgede çalışan bir PMOS ve şekilsel olarak sayısal kodun dizilişi ile aynı yapıda olan NMOS transistörlerin düzenli yerleştirilmesi ile elde edilir. Analog giriş işaretinin frekansı arttıkça pla-rom devresinin daha az güç tükettiği belirtilmiştir[30]. Dolayısıyla bu tasarımda pla-rom yapısı seçilmiştir. 1-n kod çözücü devresinin çıkışları, pla-rom devresinin girişine uygulanan giriş işaretleridir. Şekil 9’da pla-rom yapısının bir bölümü gösterilmiştir.



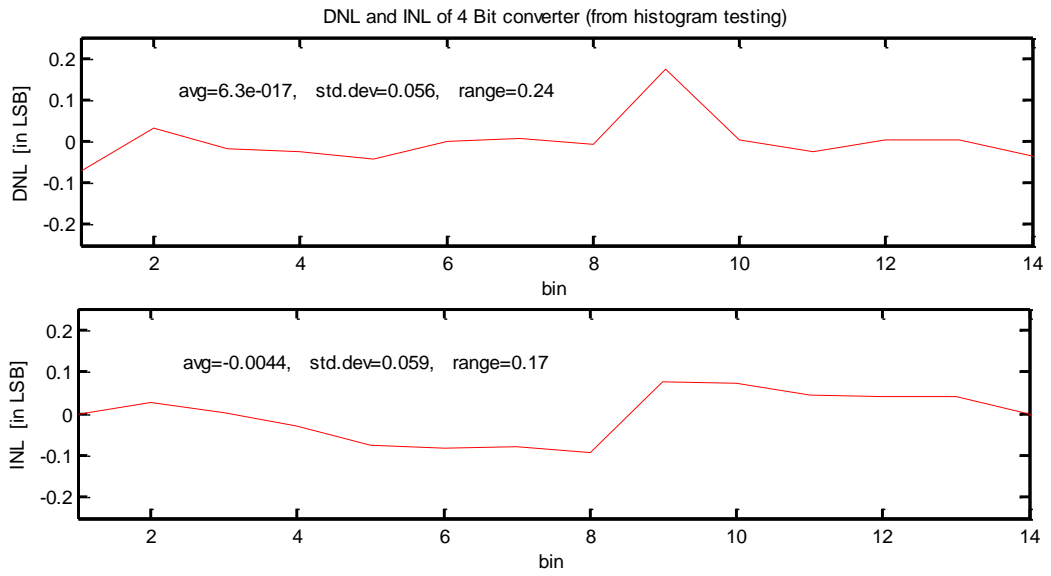
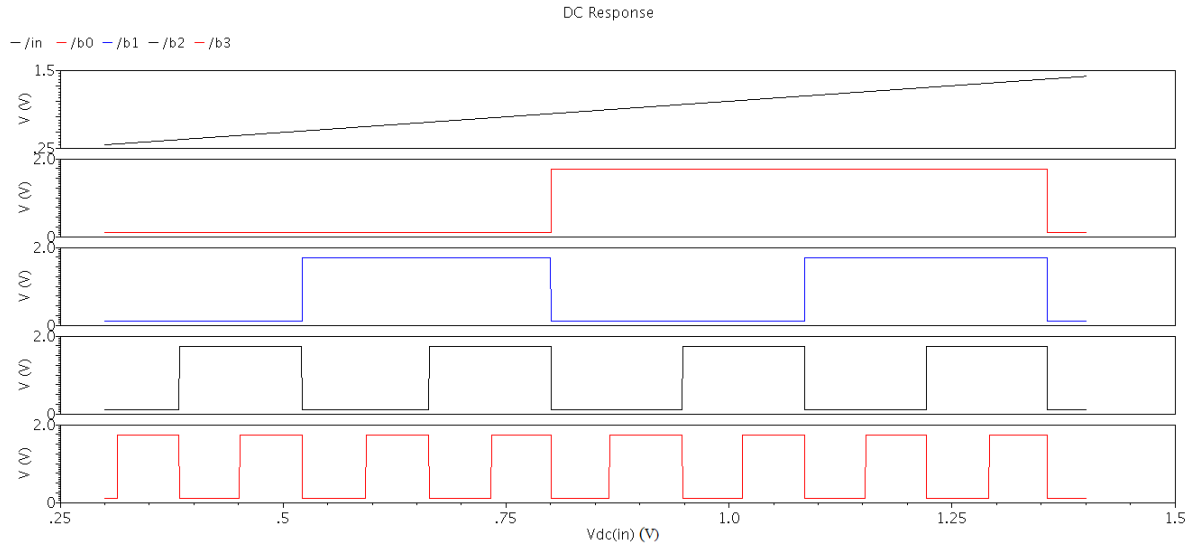
Şekil 8. Tasarımda kullanılan 1-n kodlayıcı devresi



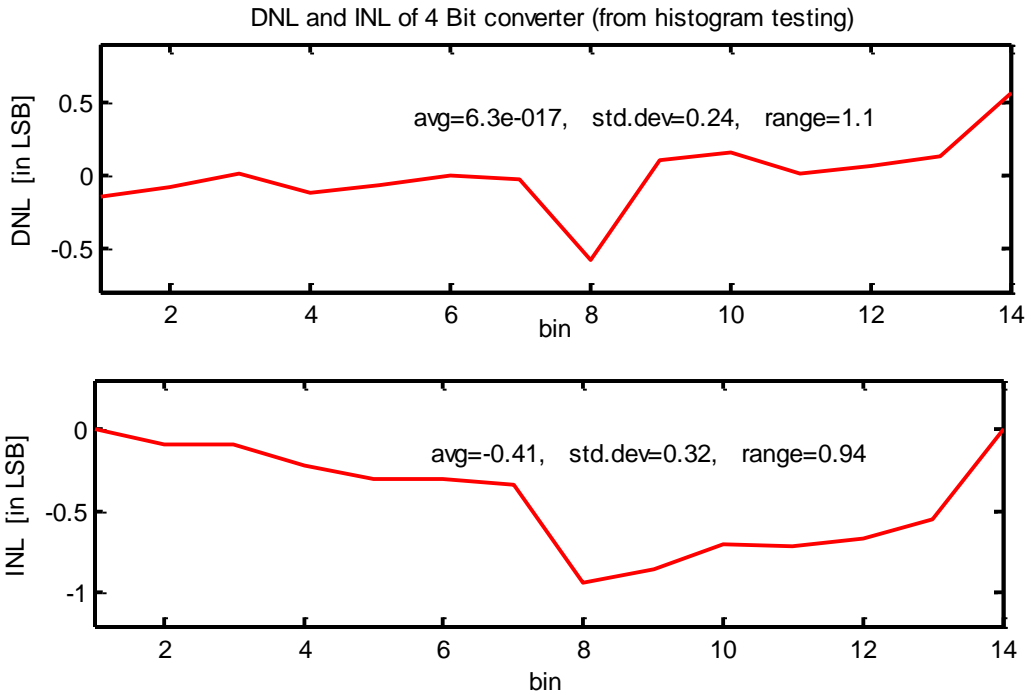
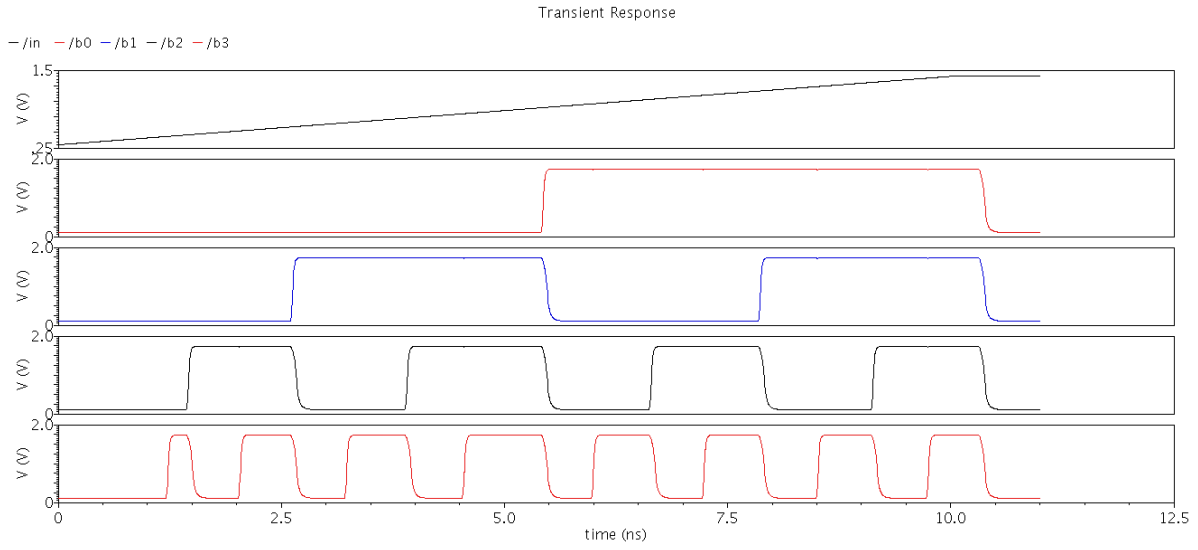
Şekil 9: Tasarımda kullanılan pla-rom devresi

3. BENZETİM SONUÇLARI (SIMULATION RESULTS)

Önerilen yapının, Cadence IC5141 tasarım programı NCSU tasarım kitinde 0.18µm CMOS teknoloji kütüphanesi kullanılarak yapılan analizleri şematik devre üzerinden alınmıştır. Tasarımı yapılan sistemin besleme gerilimi 1.8V'tur. Sisteme analog giriş gerilimi olarak 0.38V ile 1.6V arasında değişen bir rampa işareti uygulanmıştır. Şekil 10'da sistemin DC analiz sonucu elde edilen sayısal çıkışlar ve bu çıkışlar yardımı ile elde edilen INL-DNL değişimi gösterilmektedir. A/S dönüştürücünün yapılan DC analizine göre INL hatası (+0.074 /-0.093)LSB, DNL hatası ise (+0.17/-0.07)LSB arasında değişmektedir. Şekil 11'de ise giriş işaret frekansı 100MHz olan rampa işareti ve sistemin saat işareti frekansı 10 GHz için elde edilen sayısal çıkışlar ve bu çıkışlar yardımı ile elde edilen INL-DNL değişimi gösterilmektedir. Yapılan bu analize göre INL hatası (0/-1.24)LSB, DNL hatası ise (-0.71+0.82)LSB olarak gözlemlenmiştir.

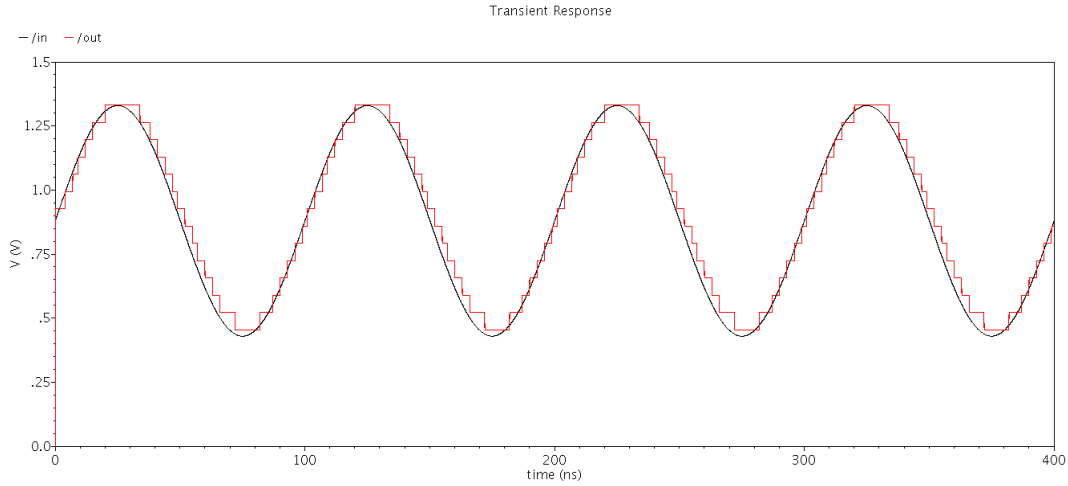


Şekil 10: DC sonuç ve INL-DNL grafiği

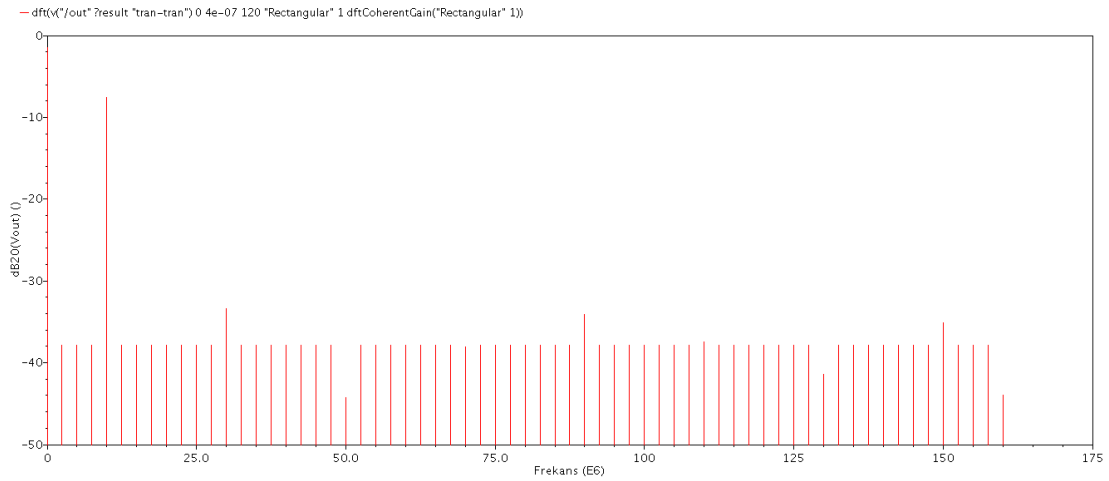


Şekil 11: $f_{in}=100$ MHz $-f_{clk}=10$ GHz için sayısal bit çıkışları ve INL-DNL grafiği

İdeal A/S dönüştürücü devrelerinde DNL = 0LSB olarak kabul edilmektedir[31]. Eğer DNL hatası 1LSB'ye eşit veya daha küçük ise, tasarımı yapılan A/S dönüştürücü de herhangi bir kod kaybının olmadığı ve böylece transfer karakteristiğinin tekdüze olduğu garanti edilir[31]. Yapılan DNL analizlerine göre, tasarımı yapılan A/S dönüştürücünün giriş işaretini frekansı 100MHz ve saat işaretini frekans 10GHz olduğunda sistemin tekdüze olduğu söylenebilir. INL hatası ise, elde edilen transfer karakteristiğinin, ideal transfer karakteristiğinden ne kadar saptığını gösterir[31,32]. Tasarımı yapılan A/S dönüştürücünün INL hataları 1LSB'den daha küçüktür. Önerilen A/S dönüştürücünün girişine, giriş işaretini frekansı 10MHz olan bir sinüs işaretini ve sistemin saat işaretini frekansı 10GHz olan bir işaret uygulandığında, elde edilen sayısal çıkışlar ideal bir Sayısal/Analog(S/A) dönüştürücüye uygulanmıştır. İdeal S/A dönüştürücü çıkışında elde edilen işaretini grafiği Şekil 12'de gösterilmiştir. Bu çıkış işaretine göre elde edilen DFT analizi de Şekil 13'de gösterilmiştir.



Şekil 12: $f_{in}=10\text{ MHz}$ – $f_{clk}=10\text{ GHz}$ için ideal S/A dönüştürücü çıkışı



Şekil 13: $f_{in}=10\text{ MHz}$ – $f_{clk}=10\text{ GHz}$ için ideal S/A dönüştürücü çıkışı elde edilen işaretin DFT sonucu

5. SONUÇ (CONCLUSION)

Bu çalışmada Darlington CMOS İnverter tabanlı karşılaştırıcı kullanılarak önerilen bir yüksek hızlı ve tümüyle paralel 4-bit A/S dönüştürücünün şematik tasarımı yapılmıştır. Önerilen A/S dönüştürücü tasarımının toplam güç tüketimi 96.66mW olup, bloklara göre bu güç tüketimleri Tablo-1’de gösterilmiştir.

Tablo 1. Blok güç tüketimleri

Blok	Güç Tüketimi(mW)
Karşılaştırıcı Bloğu	29,52
Dinamik Tutucu ve 1-n Dekoder	66,187
Pla-Rom	0,95

Özellikle yüksek hızlı ve düşük çözünürlüğe ihtiyaç duyan kablosuz ve kablolu haberleşme sistemleri, yazılım radyo sinyal işleme sistemleri için alternatif bir çözüm olabileceği düşünülmektedir. Yapılan bu çalışmada ki en önemli hedeflerden birisi sistemin saat işaret frekansının yüksek olmasıdır. Tasarlanan sistemin genel performans tablosu ise Tablo -2'de gösterilmiştir. Önerilen sistemin güç tüketiminin diğer çalışmalara göre fazla olması bir dezavantaj gibi görünmektedir. Burada en fazla güç tüketiminin olduğu blok dinamik tutucu ve 1-n dekode bloğudur. Farklı sayısal kod çözme yapıları ile buradaki güç tüketiminin azaltılması da bundan sonraki çalışmaların hedeflerinden bir tanesidir. Bir diğer öncelikli hedef ise önerilen bu yapının band genişliği ve çözünürlüğünün artırılmasıdır.

Tablo 2. Sistemin Performans Tablosu

Analog Giriş Gerilim Aralığı	0,3V – 1,6V
Besleme Gerilimi	1,8V
Güç Tüketimi	96.66mW
INL	(+0.074/-0.093)LSB (DC) (0/-1.24)LSB (fin=100MHZ / fclk=10 GHz)
DNL	(+0.17/-0.07)LSB (DC) (-0.71/+0.82)LSB (fin=100MHZ / fclk=10 GHz)
Sistemin Maksimum Saat İşareti	10 GHz
Kalibrasyon	Yok
Kullanılan Teknik	Flash
Çözünürlük	4 bit
Teknoloji	0.18µm CMOS

KAYNAKLAR (REFERENCES)

- [1] J. Waldemar, An Ultra-Low-Energy Analog Comparator for A/D Converters in CMOS Image Sensors. Circuits, Systems, and Signal Processing, 36.12 (2017), 4829-4843.
- [2] P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, 2nd Edition, Oxford University Press, (2002).
- [3] C. H. Chan, Y. Zhu, S. W. Sin, U. Seng-Pan, R. P. Martins, F. Maloberti, A 7.8-mW 5-b 5-GS/s Dual-Edges-Triggered Time-Based Flash ADC. IEEE Transactions on Circuits and Systems I: Regular Papers. 64 : 8 (2017) 1966 – 1976.
- [4] N. Faure, S. Sinha, High-speed Cherry Hooper flash analog-to-digital converter. Microelectronics International. 34:1(2017) 22-29.
- [5] Y. Shu, F. Mei, Y. Yu, A single-channel 5bit 333MS/s asynchronous digital slope ADC based on CMOS technology. 3rd IEEE International Conference on In Computational Intelligence & Communication Technology (CICT). (2017) 1-4.
- [6] G. T. Varghese, K. Mahapatra, A Low Power Reconfigurable Encoder for Flash ADCs. Procedia Technology. 25(2016) 574-581.
- [7] A. Couto-Pinto, J. R. Fernandes, M. Piedade, M. M. Silva, A flash ADC tolerant to high offset voltage comparators. Circuits, Systems, and Signal Processing. 36:3(2017) 1150-1168.

- [8] B. Razavi, The Flash ADC [A Circuit for All Seasons]. IEEE Solid-State Circuits Magazine. 9:3(2017)9-13.
- [9] Y. Shu, F. Mei, Y. Yu, J. Wu, A 5-bit 500-MS/s Asynchronous Digital Slope ADC with Two Comparators. IEEE Transactions on Circuits and Systems II: Express Briefs, (2017)
- [10] Aytar, O, Design of A 5-Bit Fully Parallel Analog to Digital Converter Using Common Gate Differential Mos Pair-Based Comparator. Journal of Electrical Engineering, 66:5(2015) 250-256.
- [11] S. Kumar, R. Yadev, Design of 4-Bit Flash ADC using 180 nm Technology. International Journal for Scientific Research and Development 5:4(2017)1179-1181.
- [12] A. Majumder, M. Das, B. Nath, A. J. Mondal, B. K. Bhattacharyya, Design of low noise high speed novel dynamic Analog Comparator in 65nm technology. 26th International Conference In Radioelektronika (RADIOELEKTRONIKA), (2016).115-120
- [13] S. Zhang, L. Zheyang, L. Bo, Design of high-speed and low-power comparator in flash ADC. Procedia Engineering, 29(2012) 687-692.
- [14] M. Gustavsson, W.J. Jacob, T. Nianxiang, CMOS data converters for communications.. Kluwer Academic Publishers, (2002).
- [15] D. V. Morozov, M. M. Pilipko, I. M. Piatak, A 6-bit CMOS inverter based pseudo-flash ADC with low power consumption. In East-West Design & Test Symposium, (2013)1-4.
- [16] A. Tangel, VLSI Implementation of The Threshold Inverter Quantization (TIQ) Technique for CMOS A/D Converter Applications. Ph.D. Thesis, Penstate University.(1999).
- [17] A. Tangel, K. Choi, The CMOS Inverter as a Comparator in ADC Design. Analog Integrated Circuits and Signal Processing. 39(2004)147–155.
- [18] A. Çelebi, O. Aytar, A. Tangel, A 10-Bit 500Ms/s Two-Step Flash ADC. The International Conference on Computer as a Tool (EUROCON). (2005).898-901.
- [19] O. Aytar, A. Tangel, Employing threshold inverter quantization (TIQ) technique in designing 9-Bit folding and interpolation CMOS analog-to-digital converters (ADC). Scientific Research and Essays. 6:2(2011)351-362.
- [20] S. Tanaka, K. Niitsu, K. Nakazato, A low-power inverter-based CMOS level-crossing analog-to-digital converter for low-frequency biosignal sensing. Japanese Journal of Applied Physics. 55:3S2(2016)03DF10.
- [21] D. Malathi, R. Greeshma, R. Sanjay, B. Venkataramani, A 4 bit medium speed flash ADC using inverter based comparator in 0.18 μm CMOS. 19th International Symposium In VLSI Design and Test (VDAT). (2015)1-5.
- [22] O. Aytar, A. Tangel, 'Darlington CMOS Inverter Tabanlı Auto-Zero Karşılaştırıcı. Elektrik – Elektronik -Bilgisayar Mühendisligi Sempozyumu, ELECO. (2002)44-46.
- [23] O. Aytar, A. Tangel, A CMOS Auto-Zero Comparator for High Speed&High Resolution Data Converters. Journal of Naval Science and Engineering. 3(2005)61-70.
- [24] A. Dutta, S. R. Ghimiray, M. Kumar, Performance comparison of 3 bit ECRL ADC with conventional logic style. International Conference In Electrical, Electronics, and Optimization Techniques (ICEEOT), (2016)444-448.
- [25] L. Nazir, R. N. Mir, A 4 GS/s, 1.8 V multiplexer encoder based flash ADC using TIQ technique. International Conference on Signal Processing and Integrated Networks (SPIN), (2014)458-463.

- [26] J. E. Proesel, L. T. Pileggi, A 0.6-to-1V inverter-based 5-bit flash ADC in 90nm digital CMOS. IEEE 2008 Custom Integrated Circuits Conference. (2008)153-156.
- [27] P. G. Sankar, G. Sathiyabama, A novel CNFET technology based 3 bit flash ADC for low-voltage high speed SoC application. International Journal of Engineering Research in Africa. 19(2016)19-36.
- [28] A.S. Sedra, K.C. Smith. Microelectronic circuits: theory and applications. Oxford University Press, (2013).
- [29] O. Aytar, A. Tangel, K. Şahin, A 5-bit 5 Gs/s flash ADC using multiplexer-based decoder. Turkish Journal of Electrical Engineering & Computer Sciences. 21:Sup. 1(2013)1972-1982.
- [30] O. Aytar, Eşik Evirmeli Nicemleyici Tekniği Kullanılarak Yapılan 5 bit Yüksek Hızlı Paralel A/S Dönüştürücülerde Sayısal Kodlama Devreleri Performanslarının İncelenmesi. SDU International Journal of Technological Science, 6(2).(2014)1-17.
- [31] INL/DNL Measurements for High-Speed Analog-to-Digital Converters (ADCs), Maxim Integrated Technical Documents, Erişim Tarihi: 24.12.2017, <https://www.maximintegrated.com/en/app-notes/index.mvp/id/283>
- [32] Understanding Data Converters Application Report, Texas Instruments, Erişim Tarihi: 24.12.2017, <http://www.ti.com/lit/an/slaa013/slaa013.pdf>