



## Paralel diyot doğrusallaştırıcılı 2.4 GHz güç yükseltici tasarımı

**Bilge ŞENEL\***

Süleyman Demirel Üniversitesi, Elektronik ve Haberleşme Mühendisliği Bölümü, Isparta  
[bilgeturkel@sdu.edu.tr](mailto:bilgeturkel@sdu.edu.tr), Tel: (246) 211 13 72

Geliş: 31.07.2017, Kabul Tarihi: 06.12.2017

### Öz

*Bu çalışmada öncelikle 2.4 GHz frekansında ATF501p8 pseudomorfik yüksek elektron hareketli transistör (pYEHT) kullanılarak yüksek Çevrim Güç Kazancı (G), Güç Ekli Verim (GEV%), optimum giriş yansımaya katsayısı ( $S_{11}$ ) ve çıkış yansımaya katsayısı ( $S_{22}$ ) gibi tasarım parametrelerine sahip tek katlı A-sınıfı bir Güç Yükseltici (GY) tasarlanmıştır. GY'nin doğrusallık performansını arttırmak için, doğrusal olmayan Diyot Tabanlı (DT) bir doğrusallaştırma tekniği uygulanmış ve doğrusallaştırıcı devrenin eleman değerleri optimize edilmiştir. Tasarımı yapılmış olan GY'nin doğrusallık performansını arttırmak için Paralel Diyot Doğrusallaştırıcı (PDD) devre elemanları optimize edilerek GY'ye uygulanmıştır. PDD devresinde HMPP-386X serisi HMPP-3860 Radyo Frekans (RF) PIN diyot kullanılmıştır. Çalışmada devre tasarım ve simülasyonları Keysight ADS yazılımı ile yapılmıştır. PDD devre optimizasyonu ise ADS simülatörü içinde yer alan Benzetimli Tavlama (BT) optimizasyon algoritması ile yapılmıştır. Doğrusallık performansı artırılmış PDD'li GY 15 dBm giriş gücü ( $P_{giriş}$ ) değerinde 10.901 dB G ile 25.901 dBm'lik çıkış gücü ( $P_{çıkış}$ ) ve %27.906 GEV performansına sahiptir. Ayrıca tasarlanan PDD'li GY -8.348 dB'lik  $S_{11}$  ve 13.715 dB'lik  $S_{22}$  performansına sahiptir.*

*Çalışmada PDD devresinin yükselteç doğrusallık performansını artırdığı Genlik-Genlik (G-G), Genlik-Faz (G-F) ve  $G_C$  karşılaştırmalı grafikleri ile detaylı olarak gösterilmiştir. PDD'siz GY 21.36 dBm Üçüncü Derece Giriş Kesim Noktası ( $GKN_3$ ), 32.74dBm Üçüncü Derece Çıkış Kesim Noktası ( $ÇKN_3$ ), -18.742 dBc Üçüncü Derece Modülasyonlar Arası Bozunum ( $MAB_3$ ) değerlerine sahipken PDD'li GY ise 25.38 dBm  $GKN_3$ , 35.54 dBm  $ÇKN_3$ , -26.702 dBc  $MAB_3$  değerlerine sahiptir. Elde edilen karşılaştırmalı simülasyon sonuçlarına göre PDD devresinin pYEHT A-sınıfı tek katlı 2.4 GHz GY'nin doğrusallık performansını artırdığı görülmüştür.*

**Anahtar Kelimeler:** 2.4 GHz, ATF501p8 pYEHT, güç yükseltici, paralel diyot doğrusallaştırıcı

\* Yazışmaların yapılacağı yazar

## Giriş

Güç Yükselteçleri (GY), mobil haberleşme sistemlerinde güç tüketimine ( $P_T$ ) karar veren kritik ve önemli elemanlardan bir tanesidir. Güç tüketiminde meydana gelen azalma ile batarya ömrü artmaktadır. Batarya ömrünün artması ise modül büyüklüğü, besleme gerilimi ve akımı değerlerinde azalma meydana getirmektedir. Artan Bant Genişliği (BG) ve veri hızı ihtiyacı, mobil haberleşme sistemlerinde kullanılan GY'ler için, doğrusallığı en az batarya ömrü kadar önemli hale getirmiştir (Şenel vd., 2014). Modern telekomünikasyon sistemlerinin daha yüksek veri hızlarını desteklemesi gerekmektedir. Bu durum daha karmaşık olan ve artırılmış Tepe Ortalama Güç Oranı (TOGO) değerinden muzdarip olan Geniş bant Kod Bölmeli Çoklu Erişim (GKBÇE) ve Ortogonal Frekans Bölmeli Çoğullama (OFBÇ) gibi modülasyon şemalarının kullanılmasına neden olur. Modülasyonlu sinyalin yüksek TOGO değerinden dolayı bu sistemlerde kullanılacak olan GY'lerin, yüksek güç Geri Çekme (GÇ) değeri ile yüksek doğrusal bölgelerde çalıştırılması gerekmektedir (Fritzin, 2009). Diğer bir taraftan yükseltecin GÇ bölgesinde çalıştırılması, veriminin düşmesine sebep olur. Bu durum, doğrusallık gereksinimlerini karşılayan, ancak yine de yüksek verimlilik performansına sahip olması istenen GY tasarımında, tasarımcılara büyük zorluklar getirmektedir. Bahsi geçen sebeplerden dolayı yüksek doğrusallık performansına sahip veya doğrusallığı artırılmış GY tasarımı son yıllarda önemli bir araştırma konusu haline gelmiştir. Tasarlanan GY'lerde doğrusallığın; verim, Kazanç (G) ve Çıkış Gücünden ( $P_{\text{çıkış}}$ ) ödün vermeden minimum maliyet ve  $P_T$  ile hızla gelişen mobil cihaz marketi içinde elde edilmesi gerekmektedir.

GY'lerde sinyal bozulması; genlik-genlik (G-G) ve genlik-faz (G-F) bozulması, modülasyonlar arası bozunum (MAB), spektral yeniden büyümesi gibi farklı isimlerle tanımlanmaktadır. G-G ve G-F dönüşümleri hafızasız dar bant GY'ler için doğrusal olmayan davranışın genel tanımlarıdır (Gecan vd., 2017). Ayrıca İki Ton (İT) analizler ile elde edilen Üçüncü Derece

Giriş Kesim Noktası ( $GKN_3$ ) ve Üçüncü Derece Çıkış Kesim Noktası ( $ÇKN_3$ ) parametreleri de GY'lerde doğrusallık performansı hakkında bilgi vermektedir (Pedro ve Carvalho, 2003).

Bu çalışmada öncelikle mobil haberleşme cihazlarında kullanılmak üzere 2.4 GHz frekansında A-sınıfı ATF501p8 transistörlü GY tasarımı yapılmıştır. Daha sonra doğrusallık performansını artırmak için Paralel Diyot Doğrusallaştırıcı (PDD) devresi, eleman değerleri optimize edilerek GY'ye uygulanmıştır.

Literatürde GY'ler için araştırılan ve tartışılan birçok doğrusallık yöntemi mevcuttur. Analog Ön Bozunum (AÖB) yöntemi (Kang vd., 2017; Yu vd, 2016), Sayısal Ön Bozunum (SÖB) yöntemi (Juárez-Cázares vd., 2016), dinamik-adaptif-optimum besleme yöntemleri (Chen vd, 2017; Cho vd, 2016; Gecan vd, 2016; Gilabert vd, 2016; Kim vd., 2013; Lasser vd, 2017; Lee vd., 2017; Seth vd., 2016), Zarf İzleme Yöntemi, (ZİY) (Aryanian vd, 2016; Auer vd, 2016; Olavsbråten ve Gecan, 2017) bu yöntemlerden bazılarıdır. Bu çalışmada, doğrusallık performansı artırılmış GY elde etmek için, AÖB kategorisinde yer alan Diyot Tabanlı (DT) (Ando vd., 2008; Ando vd., 2009; Chen vd., 2016; Dawei vd., 2014; Kazuhisa vd., 2006; Kim vd, 2006; Shi, 2016; Türkel ve Caglar, 2012; Xian vd., 2007; Zhou vd., 2012) PDD (Kazuhisa vd., 2006; Uchida vd., 2012; Yamauchi vd., 1997) kullanılmıştır.

GY'lerde doğrusal olmayan bir elemanın (ki bunlar doğrusallaştırıcı olarak adlandırılır) doğrusallık performansı artırılmak istenen GY'ye eklenmesi yöntemi Ön Bozunum (ÖB) yöntemi olarak adlandırılır. Sayısal Ön Bozunum (SÖB) ve Analog Ön Bozunum (AÖB) olmak üzere iki çeşit ÖB yöntemi vardır. AÖB yönteminde, kazanç ve faz değişimlerini kompanze edecek Doğrusallaştırıcı Devre (DD), diyot veya transistör gibi doğrusal olmayan elemanlar kullanılır. GY'nin doğrusal olmayan Transfer Fonksiyonu (TF), başka bir doğrusal olmayan eleman tarafından kompanze edilir. Böylelikle sistemin toplam TF'sinin doğrusal

olması sağlanır. GY kazanç sıkışması özelliği gösteriyorsa DD kazanç genişletme özelliğine sahip olacak şekilde tasarlanmalıdır. Benzer şekilde DD faz değişimi GY faz değişimini kompanze edecek şekilde tasarlanmalıdır. DD'ler seri veya paralel, aktif ya da pasif olarak tasarlanabilir (Aparin, 2005).

Çalışmada, GY performans parametreleri (S-parametreleri, Güç Ekli Verim (GEV),  $GKN_3$ ,  $ÇKN_3$ ,  $MAB_3$ ) detaylı bir şekilde karşılaştırılmıştır. Ayrıca yükselteç doğrusallığı hakkında bilgi veren G-G ve G-F dönüşümleri her iki durum için de grafiksel olarak verilmiştir. GY, EGV değerini optimize eden Çıkış Uygunlaştırma Devre (ÇUD) ve DC devre tasarımları Transistör Doğrusal Olmayan Modeli (TDOM) kullanılarak yapılmıştır. PDD devresi ise Diyot Doğrusal Olmayan Modeli (DDOM) ile tasarlanmıştır. Giriş Uygunlaştırma Devre (GUD) tasarımı ve kararlılık analizi ise transistör S-parametre dosyası kullanılarak yapılmıştır. GEV,  $GKN_3$ ,  $ÇKN_3$ ,  $MAB_3$ , G-G ve G-F simülasyonları TDOM ve DDOM kullanılarak gerçekleştirilmiştir.

GY tasarımında makul değerlerde Çevrim Güç Kazancı (G) ve optimum yansıma katsayısı değerlerini ( $S_{11}$ -giriş yansıma katsayısı,  $S_{22}$ -çıkış yansıma katsayısı) elde edebilmek için mikroşerit tek-saplama uygunlaştırma devre yapısı kullanılmıştır. GY doğrusallık performans parametrelerini incelemede Tek Ton (TT) ve İT Harmonik Balans (HB) analizleri kullanılmıştır. HB analizinde, TDOM ve DDOM, GY s-parametreleri analizinde ise s-parametre (s2p) verileri kullanılmıştır. Çalışmadaki tüm tasarım ve simülasyonlar Keysight ADS yazılımı ile gerçekleştirilmiştir. Çalışma, transistör ve diyot hariç ideal eleman bazında tamamlanmıştır. GUD ve ÇUD için tasarlanan mikroşerit yapılar ise gerçekleştirilebilir boyutlardadır.

Çalışmada PDD devre elemanları, ADS yazılımı içindeki Benzetimli Tavlama (BT) algoritması ile optimize edilmiştir. PDD elemanlarına belirli aralıklarda değerler atanmıştır. Optimizasyon maliyet fonksiyonu olarak, yükseltecin 1 dB

kazanç sıkıştırma noktasını ( $P_{1dB}$ ) etkileyen Kazanç Azalması (KA) ve ikinci, üçüncü, dördüncü, beşinci harmoniklerin etkilediği Toplam Harmonik Bozunumu (THB) parametreleri formüleleştirilerek simülatöre eklenmiştir. Bu denklemler optimizasyon maliyet fonksiyonu olarak kullanılmıştır.

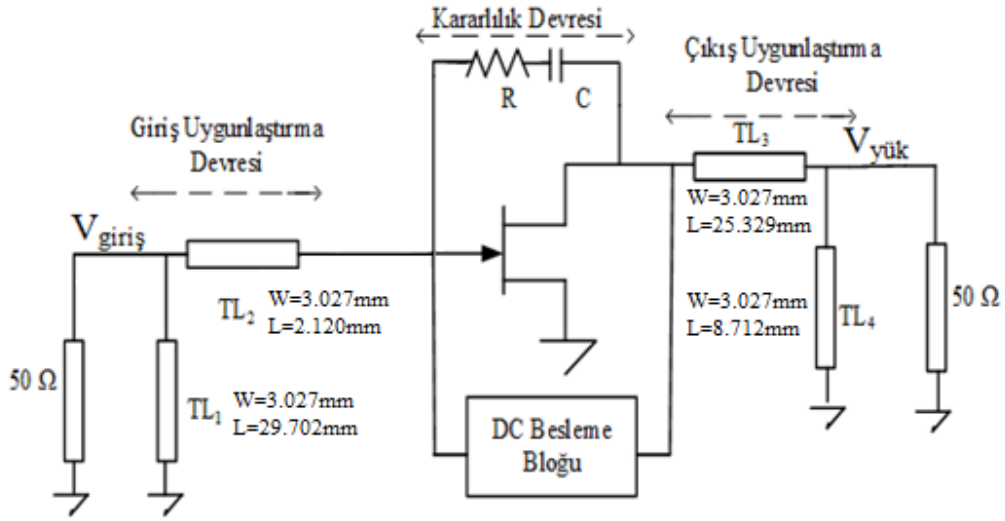
## Materyal ve yöntem

Çalışmada öncelikle 2.4 GHz Radyo Frekansı (RF) GY tasarımı yapılmıştır. Daha sonra, tasarlanan GY'nin doğrusallık performansını artırmak amacıyla, eleman değerleri optimize edilmiş DT PDD devresi GY'ye uygulanmıştır.

Tasarıma başlamadan önce, ilk olarak yüksek doğrusal RF güç transistör araştırması yapılmıştır. Transistör olarak tek besleme ile çalışma, düşük gürültü faktörü, yüksek doğrusallık ve  $P_{1dB}$ , özelliklerine sahip pseudomorfik Yüksek Elektron Hareketli (pYEHT) ATF501p8 transistörü seçilmiştir. GY besleme devresi A-sınıfında çalışacak şekilde tasarlanmıştır. Besleme devre tasarımı tamamlandıktan sonra, transistör doğrusal olmayan modelinden elde edilen S-parametreleri Avago<sup>1</sup>'dan alınan s2p dosyası ile karşılaştırılmış, sonuçların birbirine yeterli derecede yakın olduğu görülmüştür. Bu durum her iki s2p dosyasının da kullanılabilceğini göstermiştir. Bu sebeple GUD ve kararlılık devre tasarımları TDOM'dan elde edilen s2p dosyası kullanılarak tamamlanmıştır. Kararlılık devresi olarak birbirine seri bağlı kondansatör ve dirençten meydana gelen negatif geri besleme devresi kullanılmıştır. GUD ve ÇUD olarak mikroşerit tek-saplama uygunlaştırma devre yapısı tercih edilmiştir. Mikroşerit yapılar

FR4 (0.00148 tanδ, 4.6  $\epsilon_r$ , 1.6mm malzeme kalınlığı) malzeme üzerine tasarlanmıştır. GUD Maksimum Mevcut Kazanç (MAK) yaklaşıklığı, ÇUD ise optimum GEV (%) yaklaşıklığı ile tasarlanmıştır. Çalışmada tasarlanan 2.4 GHz RF GY blok diyagramı Şekil 1'de gösterilmiştir. GY tasarımının tamamlanmasından sonra, DD tasarımına

<sup>1</sup> www.avagotech.com

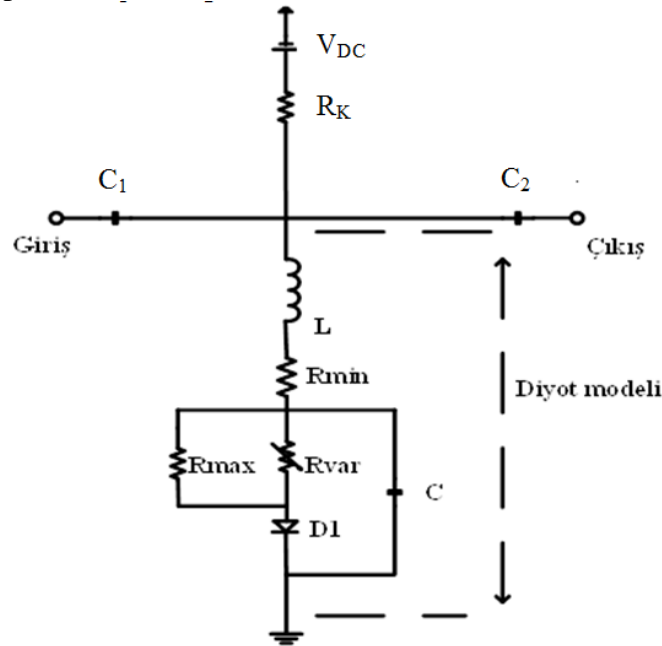


Şekil 1. GY blok diyagramı

geçilmiştir. Çalışmanın giriş bölümünde de bahsedildiği gibi RF yükselteçlerde doğrusallık performansını artırmak için kullanılan optimum-adaptif-dinamik besleme yöntemleri, AÖB, DÖB yöntemleri, ZİY gibi birçok yöntem bulunmaktadır. Bu çalışmada literatürde AÖB ana başlığı altında kabul gören doğrusal olmayan DT PDD (Yamauchi vd., 1997) devresi kullanılmıştır. Çalışmada Şekil 2'de gösterilen DT PDD devresi kullanılmıştır. Şekil 2'de gösterilen PDD, kutuplama direncine ( $R_K$ )

paralel diyot,  $C_1$  ve  $C_2$  DC blok kondansatörlerinden oluşmaktadır.

GY'lerde doğrusallaştırıcı blok olarak kullanılan PDD, pozitif kazanç ve negatif faz değişimlerine sahiptir.  $R_K$  direnci üzerindeki gerilim düşümünün sebep olduğu besleme noktası varyasyonları, pozitif kazanç ve negatif faz değişimlerine sebep olmaktadır (Yamauchi vd., 1997).



Şekil 2. DT PDD devresi

Şekil 2’de gösterilen PDD devresindeki tüm eleman değerleri ( $R_K$ ,  $C_1$  ve  $C_2$ ), BT optimizasyon algoritması ile optimize edilmiştir. Optimizasyon maliyet fonksiyonu olarak (1) (Shmilovitz, 2005) ve (2) denklemleri kullanılmıştır.

$$THB = \sqrt{\frac{\sum_{n=2}^{\infty} V_n^2}{V_1^2}} \quad (1)$$

$$KA = G_1(P_{giris} = P_1) - G_0(P_{giris} = P_0) \quad (2)$$

$$G = dBm(V_{yükl[1]}) - dBm(V_{giris}) \quad (3)$$

$$V_n = Genlik(V_{yükl[n]}) \quad (4)$$

$$V_{yükl[n]} = f(Z_{GY} \& Z_{PDD}) \quad (5)$$

$$V_{yükl[n]} = f(Z_{GY} \& R_K, C_1, C_2) \quad (6)$$

THB, gerilim ve akım sinyallerindeki harmonik seviyelerini ölçmek için kullanılan bir doğrusallık performans parametresidir. Çalışmada maliyet fonksiyonu olarak seçilen THB, yük üzerindeki gerilimin, harmonik değerlerinin toplamının, temel frekans yük gerilimine oranı olarak tanımlanmaktadır. (1) formülü, PDD devresi eleman değerlerini optimize edecek şekilde simülör içine eklenmiştir. Diğer bir maliyet fonksiyonu olan Kazanç Azalması (KA) ise  $P_{1dB}$  hakkında tahminde bulunmamızı sağlar.  $P_{1dB}$ , GY’nin doğrusal çalıştığı  $P_{giris}$  değerleri hakkında bilgi verir. Yükseltece uygulanan  $P_{giris}$ ,  $P_{1dB}$ ’nin yukarıdaki bölgelerde, ısıya veya modülasyonlar arası ürünlere dönüşmektedir. Bu sebeple çok geniş bir  $P_{giris}$  aralığında KA’nın olmaması,  $P_{giris}$ ’e karşı  $P_{çıkış}$ ’ın doğrusal değişmesi, yani  $P_{1dB}$ ’nin yüksek olması istenir.  $P_{1dB}$ ’nin GY doğrusallık performansı açısından önemli olması sebebiyle, çalışmada diğer bir maliyet fonksiyonu olarak yükseltecin  $P_{1dB}$ ’sini etkileyen KA parametresi (2) formülü ile ADS

simülörüne eklenmiştir. THB ve KA’nın PDD devre eleman değerlerine bağlı olduğu (3),(4),(5),(6) denklemleri ile gösterilmiştir.

## Uygulama

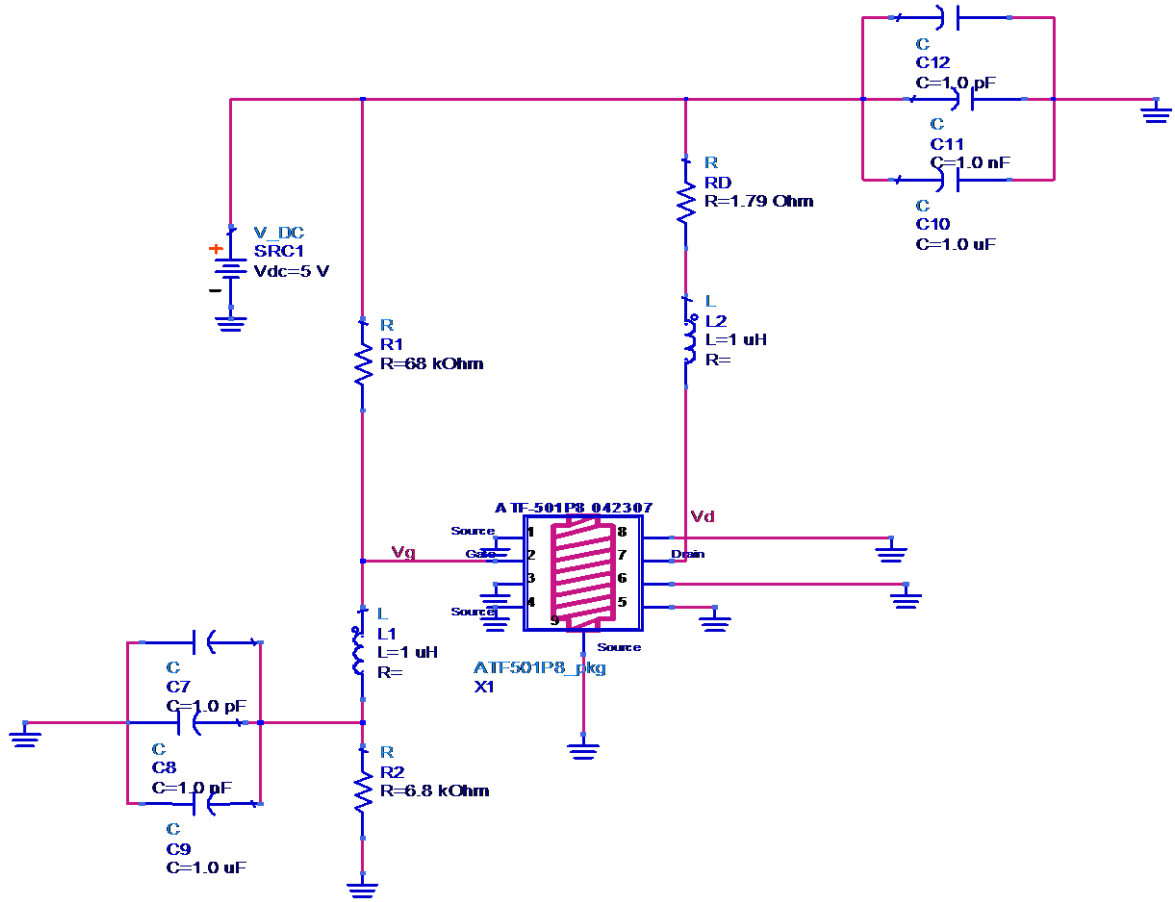
İlk olarak, GY’yi A-sınıfında çalıştıracak transistör DC koşulları ( $V_{DS}$ ;  $I_{DS}$ ;  $V_{GS} = 4.5V$ ;  $280mA$ ;  $0.45V$ ) olarak ayarlanmıştır. Bu seçim, transistör s2p dosyasındaki ( $V_{DS}$ ,  $I_{DS}$ ,  $V_{GS}$ ) değerlerine göre yapılmıştır. Transistör DC koşulları, kondansatör ve bobin blokları ile birleştirilmiş, ortak kaynak gerilim bölücü besleme devresi ile ayarlanmıştır. GY besleme devresi Şekil 3’te gösterilmiştir.

GY DC devre tasarımı tamamlandıktan sonra, transistör kararlılık analizi yapılmıştır. Transistör,  $172.5\Omega$ ’luk direnç ve  $449.6$  nF’lık kondansatörden oluşan negatif geri besleme devresi ile,  $0.1$  GHz- $18$  GHz arasında koşulsuz kararlı hale getirilmiştir. Sonraki adımda, GY’den makul değerlerde bir  $P_{çıkış}$  elde edebilmek için mikroşerit tek-saplama GUD ve ÇUD tasarımları yapılmıştır. GUD tasarımı eşlenik uygunlaştırma metodu ile ÇUD tasarımı yük empedansı değiştirme analizi ile yapılmıştır. Tasarlanan mikroşerit hatlar,  $50\Omega$  karakteristik empedans değerini sağlayan  $3$  mm genişliğindedir. GUD ve ÇUD hat uzunlukları ise minimum  $2$  mm olarak tasarlanmıştır.

$2.4$  GHz RF GY tasarımı tamamlandıktan sonra, Şekil 2’de gösterilen PDD devre tasarımı yapılmıştır. PDD devresinde, Yüzey Montajlı (YM) HMPP-386X serisi HMPP-3860 RF PIN diyot kullanılmıştır. Diyot doğrusal olmayan ADS modeli ise Şekil 5’te gösterilmiştir.

Diyot doğrusal olmayan modelinde diyot doğrusal olmayan davranışı (7) denklemi ile karakterize edilmektedir.

$$R_{degisken} = \frac{A}{I_D * K} \quad (7)$$



Şekil 3. GY besleme devresi

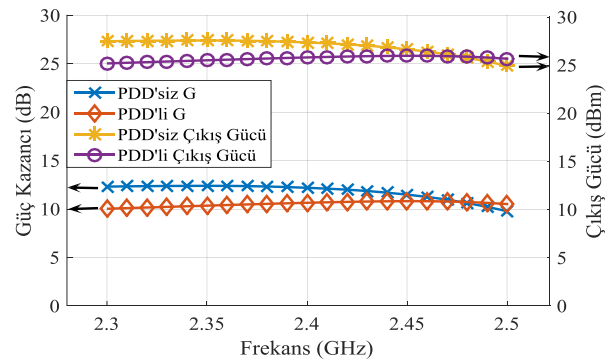
PDD elemanlarının (1) ve (2) denklemlerinde belirtilen maliyet fonksiyonlarına göre optimize edilmesi neticesinde,  $R_K=5k\Omega$ ;  $C_1=10nF$ ;  $C_2=10pF$  olarak bulunmuştur. Bu sonuçlara göre; THB değeri 0.011, KA ise 0.289 olarak hesaplanmıştır.

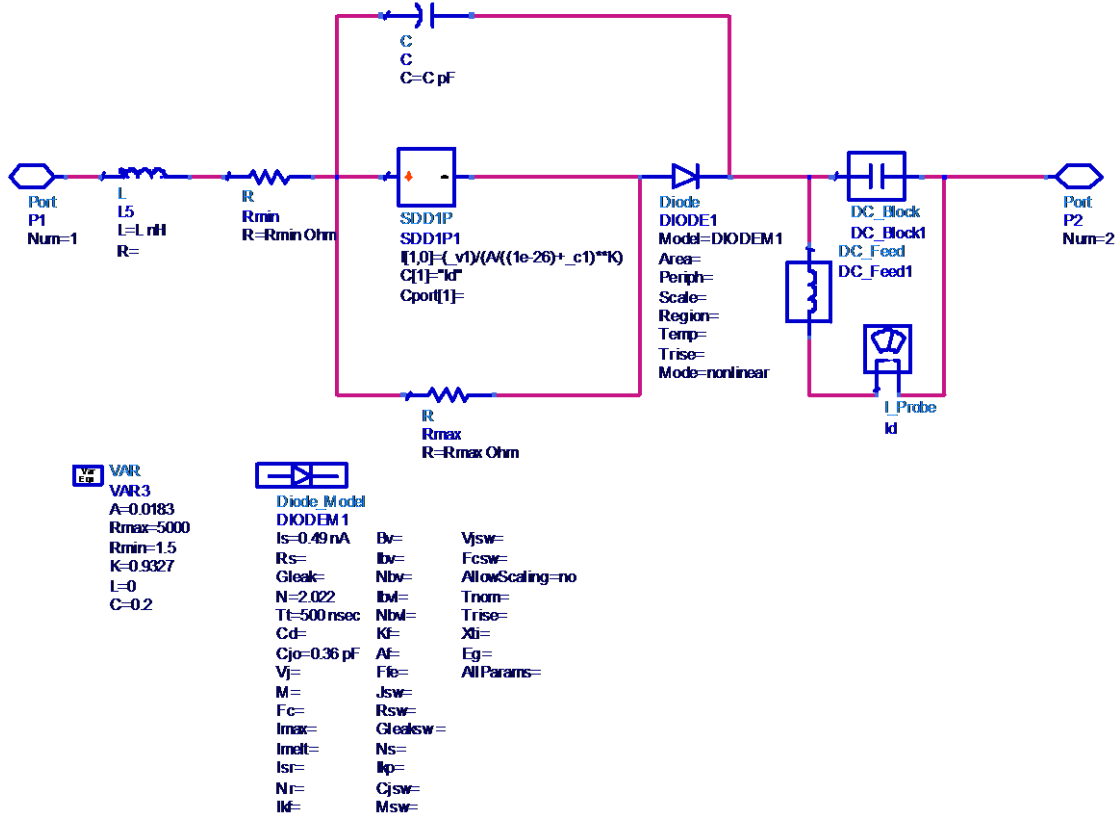
Bu çalışmada kullanılan metodolojiyi, literatürde mevcut DT doğrusallaştırıcı GY tasarımlarından ayıran en önemli fark, PDD devresindeki tüm eleman değerlerinin optimize edilmiş olmasıdır. PDD'siz ve PDD'li GY simülasyon sonuçları Başarımlar bölümünde verilmiştir.

### Başarımlar

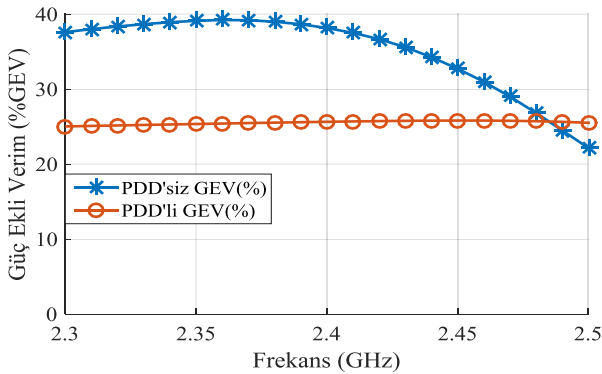
Çalışmanın bu bölümünde PDD'li ve PDD'siz GY karşılaştırmalı performans parametreleri tablo ve grafikler ile sunulmuştur.

15 dBm  $P_{giriş}$  için, 2.3 GHz-2.5 GHz frekans aralığında, PDD'siz ve PDD'li GY  $G-P_{çıkış}$  grafikleri Şekil 4'te, GEV(%) grafikleri ise Şekil 6'da gösterilmiştir.

Şekil 4. PDD'li ve PDD'siz  $G-P_{çıkış}$  grafikleri



Şekil 5. HMP-3860 RF PİN diyot doğrusal olmayan devre modeli



Şekil 6. PDD'li ve PDD'siz GEV (%) grafikleri

Şekil 4 ve Şekil 6'ya göre, PDD'siz GY'nin, 2.4 GHz frekansında, 15 dBm  $P_{giriş}$  için  $P_{çıkış}$ 'i, 27.443 dBm;  $G$ 'si, 12.443 dB, GEV'i ise %39.131'dir. PDD'li GY ise, 15 dBm  $P_{giriş}$  için 25.901 dBm  $P_{çıkış}$ , 10.901dB  $G$  ve %27.906 GEV değerlerine sahiptir. 2.4 GHz frekansında 15 dBm'e kadar olan  $P_{giriş}$  değerlerinde PDD'li

ve PDD'siz GY TT ve İT HB analiz sonuçları Tablo 1'de verilmiştir. Ayrıca PDD'li ve PDD'siz S-parametre sonuçları da Tablo 1'de gösterilmiştir.

Tablo 1'deki simülasyon sonuçlarına göre PDD'siz GY THB'si 0.043 iken,  $GKN_3$  23.36 dBm,  $ÇKN_3$  32.74 dBm,  $MAB_3$  ise -18.742 dBc olarak bulunmuştur. Ayrıca PDD'siz GY yaklaşık -38 dB  $S_{11}$ , -17 dB  $S_{22}$  ve 13 dB'lik  $S_{21}$  değerine sahiptir.

PDD'li GY, 0.011 THB, 25.38 dBm  $GKN_3$ , 35.54 dBm  $ÇKN_3$ , -26.702 dBc  $MAB_3$ , -8 dB  $S_{11}$ , -13 dB  $S_{22}$ , 11 dB  $S_{21}$ 'e sahiptir. PDD'siz GY'de THB 0.043 iken, PDD'li GY'de THB 0.032 azalarak 0.011 değerini almıştır. PDD'li GY için  $GKN_3$  davranışı yaklaşık 4 dB,  $ÇKN_3$  3 dB'lik artış,  $MAB_3$  davranışı ise 8 dB'lik azalış göstermiştir.

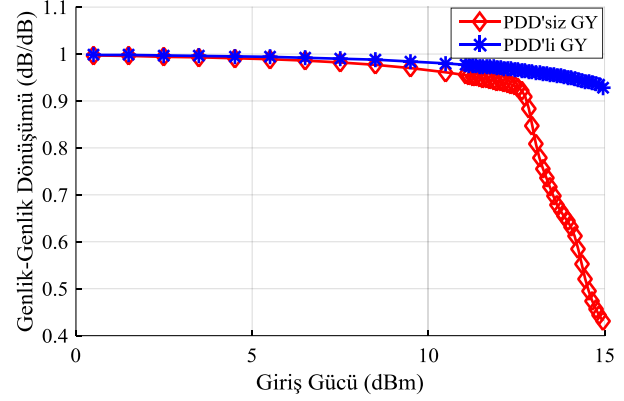
**Tablo 1.** PDD'li ve PDD'siz GY performans parametreleri karşılaştırılması

	PDD'siz GY	PDD'li GY
$I_{kaynak}$ (A)	0.283	0.289
$P_{DC}$ (W)	1.273	1.298
$P_{2nd}$ (dBm)	-0.418	-11.520
$P_{3rd}$ (dBm)	-5.544	-22.152
$P_{GC}$ (dB)	1.074	0.289
THB	0.043	0.011
KA (dB)	1.074	0.289
GKN <sub>3</sub> (dBm)	21.36	25.38
ÇKN <sub>3</sub> (dBm)	32.74	35.54
MAB <sub>3</sub> (dBc)	-18.742	-26.702
$S_{11}$ (dB)	-38.273	-8.348
$S_{22}$ (dB)	-17.910	-13.715
$S_{21}$ (dB)	13.556	11.179

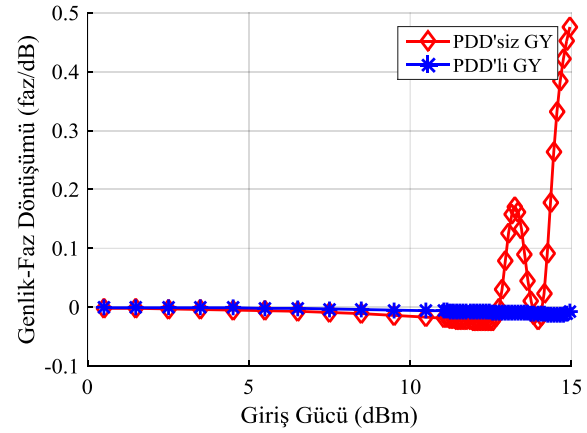
Elde edilen simülasyon sonuçlarına göre, PDD, THB, GKN<sub>3</sub>, ÇKN<sub>3</sub>, MAB<sub>3</sub> parametrelerinde belirgin bir iyileştirme meydana getirmiştir. Çalışmada elde edilen sonuçlara göre, PDD'nin, GY doğrusallık performansını artırdığı görülmüştür. Bununla beraber PDD devresindeki diyotun besleme geriliminden dolayı, PDD'li GY'nin güç tüketimi 0.02 W artmış ve yükselteç verimi %14 oranında azalmıştır. Aynı zamanda PDD GUD'den sonra uygulandığından dolayı yükselteç  $S_{11}$  performansını yaklaşık 30 dB azaltmıştır.

Tüm elektronik devre tasarımlarında, olduğu gibi GY tasarımında da, performans parametreleri arasında ödünleşim vardır. Bir performans parametresinde meydana gelen iyileşme diğer bir performans parametresini olumsuz yönde etkilemektedir. Çalışmada da bu durum görülmektedir. PDD devresi ile GY doğrusallık performansı iyileşirken,  $P_T$ , GEV(%) ve yansıma katsayısı parametrelerinde kötüleşme meydana gelmiştir. Fakat bu azalma tüm performans parametreleri için makul sınırlar içerisinde.

Son olarak GY doğrusallık performansı hakkında detaylı bilgi veren G-G, G-F dönüşümleri,  $G-P_{giriş}$  ve  $P_{çıkış}-P_{giriş}$  grafikleri incelenmiştir. Sonuçlar sırasıyla Şekil 7, Şekil 8, Şekil 9 ve Şekil 10'da gösterilmiştir.



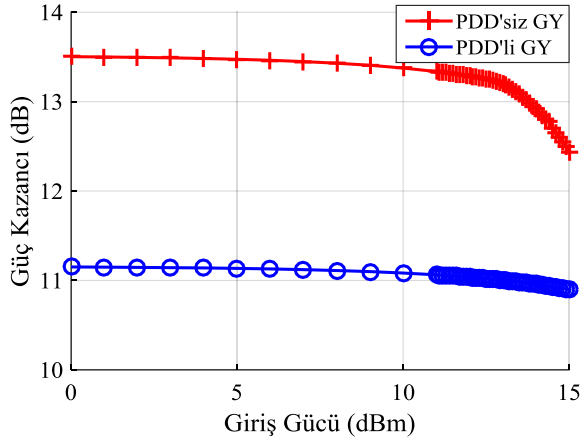
Şekil 7. PDD'li ve PDD'siz GY G-G grafikleri karşılaştırması



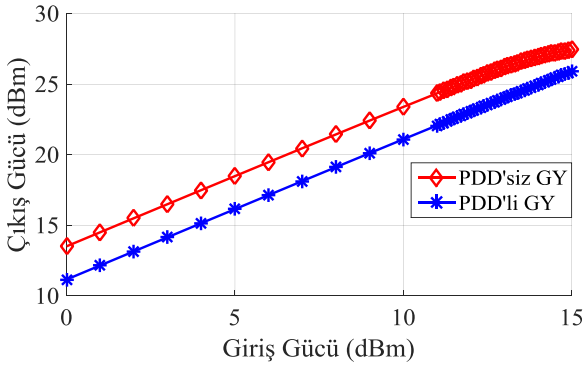
Şekil 8. PDD'li ve PDD'siz GY G-F grafikleri karşılaştırması

Şekil 7 ve 8'deki grafiklere göre, PDD, GY'nin genlik ve faz bozulmasını kompanze etmiştir. G-G ve G-F grafiklerinde düzlüğü sağlamıştır. Şekil 9 ve Şekil 10'daki grafiklere göre ise PDD'siz GY, KA'sı ise 1.074 dB iken PDD'li GY KA'sı 0.289dB'dir. KA'nın azalması GY  $P_{1dB}$  noktasını ötelemiştir. PDD'siz GY,  $P_{giriş}$   $P_{1dB}$  noktası 15 dBm iken PDD'li GY için  $P_{1dB}$  noktası 15 dBm'den daha yüksek değerdedir. Şekil 7, 8, 9 ve 10'daki grafiklerden de PDD'nin GY doğrusal performansını artırdığı anlaşılmaktadır.





Şekil 9. PDD'li ve PDD'siz GY güç kazancı grafikleri karşılaştırması



Şekil 10. PDD'li ve PDD'siz GY Çıkış Gücü grafikleri karşılaştırması

## Sonuçlar ve tartışma

Bu çalışmada, 2.4 GHz frekansında, ATF501p8 transistörü kullanılarak tasarlanmış RF GY'ye, literatürde AÖB kategorisi altında yer alan DT PDD eklenerek, PDD'li ve PDD'siz GY'nin performans parametreleri karşılaştırılmıştır. Çalışmadaki tüm simülasyon ve devre tasarımları, Keysight ADS yazılımı ile yapılmıştır. Çalışmadaki tasarımlar, transistör ve diyot hariç ideal eleman bazında, parazitik etkiler hesaba katılmadan yapılmıştır. Üretim aşamasında bu durumlar göz önünde bulundurulacaktır. GY, GUD ve ÇUD devre tasarımlarında kullanılan tek-saplamalı iletim hattı genişlikleri, 50  $\Omega$  karakteristik empedans değerine göre hesaplanmıştır. Mikroşerit iletim

hattı uzunluk ve genişlikleri fiziksel olarak gerçekleştirilebilir boyutlardadır. Ayrıca, tasarımda gerçekleştirilebilir eleman değerleri elde edilmiştir.

Bu çalışmada takip edilen yöntemin, literatürde önerilen diğer çalışmalardan en önemli farkı ve en güçlü yönü GY'ye uygulanmış olan doğrusallaştırıcı devrenin tüm eleman değerlerinin optimize edilmiş olmasıdır.

Çalışmadaki asıl amaç, yükselteç doğrusallık performansını artırmaktır. GY'ler için çok sayıda doğrusallık performans parametresi mevcuttur. Bu çalışmada, THB ve KA parametreleri, formülleştirilerek optimizasyon maliyet fonksiyonu olarak kullanılmıştır. PDD eleman değerleri optimizasyonu, ADS simülöründe mevcut BT optimizasyon algoritması ile yapılmıştır. PDD'li ve PDD'siz GY'lerin doğrusallık performansı, THB, KA, G-G, G-F dönüşümleri, GKN<sub>3</sub>, ÇKN<sub>3</sub> ve MAB<sub>3</sub> parametreleri cinsinden değerlendirilmiştir.

Sonuç olarak çalışmada tasarımı yapılmış olan A-sınıfı 2.4 GHz GY'ye uygulanan PDD devresinin, doğrusallık performansını artırdığı gözlenmiştir.

Bu çalışma ile geçmişte yayınlanmış DT doğrusallaştırıcı GY'lerin, başarımlarını karşılaştırmaları yapılmış ve sonuçları Tablo 2'de gösterilmiştir.

**Tablo 2.** Başarım karşılaştırması

Kaynak	$F$ (GHz)	Sınıfı	Konfigürasyon	$P_{\text{çıkış}}$ @ $P_{1\text{dB}}$ (dBm)	G @ $P_{1\text{dB}}$ (dB)	GEV @ $P_{1\text{dB}}$ (%)	MAB <sub>3</sub> @ $P_{1\text{dB}}$ (dBc)	G-G (dB)	G-F (derece)
Turkel vd	2.4	A	AT <sup>1</sup>	26	11	31	-	0.09	0.035
Uchida vd.	2.7	-	-	34	-	37	-	3*	2*
Xian vd.,	3.5	AB-C	Doherty CMOS	24	-	36	-17	-	-
Ando vd.,	1.8	F	GaN YEHT	20	-	65	-22	2	20
PDD'siz GY	2.4	A	AT	27	12	41	-18	0.6	0.5
PDD'li GY	2.4	A	AT	25	10	27	-26	0.07	0.006

\*Şekillerden tahmin edilmiştir.

<sup>1</sup>Ayrık Transistör

Tablo 2 incelendiğinde, benzer doğrusallaştırma tekniği kullanmış çalışmalar, bu çalışma ile karşılaştırıldığında, bu çalışmada elde edilen, MAB<sub>3</sub>, G-G ve G-F sonuçlarının diğer çalışmalara oranla daha iyi olduğu görülmüştür.

## Kaynaklar

- Ando, A., Takayama, Y., Yoshida, T., Ishikawa, R., & Honjo, K. (2008, 16-20 Dec. 2008). A high-efficiency class-F GaN HEMT power amplifier with a diode predistortion linearizer. *2008 Asia-Pacific Microwave Conference*.
- Ando, A., Takayama, Y., Yoshida, T., Ishikawa, R., & Honjo, K. (2009, 7-10 Dec. 2009). A predistortion linearizer for a class-F GaN HEMT power amplifier using two independently controlled diodes. *2009 Asia-Pacific Microwave Conference*.
- Aparin, V. (2005). Linearization of CDMA Receiver Front-Ends. *PhD Degree Thesis*, University of California, San Diego.
- Aryanian, I., Abdipour, A., & Mohammadi, A. (2016). Design, Simulation and Fabrication of a Wide Bandwidth Envelope Tracking Power Amplifier. *Applied Computational Electromagnetics Society Journal*, **31**(10).
- Auer, F., Schiller, S., & Kamper, M. (2016). Linearity and efficiency improvement using envelope tracking power amplifier. *2016 German Microwave Conference (GeMiC)*.
- Chen, S., Wang, G., Cheng, Z., Qin, P., & Xue, Q. (2017). Adaptively Biased 60-GHz Doherty Power Amplifier in 65-nm CMOS. *IEEE Microwave and Wireless Components Letters*, **27**(3), 296-298.
- Chen, Y.-C., Chang, Y.-T., & Lu, H.-C. A K-Band Power Amplifier with Parasitic Diode Linearizer in 0.18- $\mu\text{m}$  CMOS Process Using 1.8-V Supply Voltage. *2016 IEEE International*

*Symposium on Radio-Frequency Integration Technology (RFIT)*, Taipei, 2016, pp. 1-3.

- Cho, Y., Moon, K., Kim, J., Park, B., & Kim, B. (2016). Linear Doherty power amplifier with adaptive bias circuit for average power-tracking. *Microwave Symposium (IMS)*, 2016 IEEE MTT-S International.
- Dawei, L., Xiaoqiang, X., Bo, Y., Ruimin, X., & Xuyang, Z. (2014, 5-7 Dec. 2014). Tunable diode-based predistortion linearizer for power amplifier with a phase expansion or compression at millimeter-wave frequency. *2014 IEEE International Conference on Communication Problem-solving*.
- Fritzin, J. (2009). Power Amplifier Circuits in CMOS Technologies. *PhD Degree Thesis*, Linköpings university, Linköping Studies in Science and Technology. (132)
- Gecan, D., Gjertsen, K. M., & Olavsbråten, M. (2017). Novel Metric Describing Total Nonlinearity of Power Amplifier With a Corresponding Figure of Merit for Linearity Evaluation and Optimization. *IEEE Microwave and Wireless Components Letters*, **27**(1), 85-87.
- Gecan, D., Olavsbraten, M., & Gjertsen, K. M. (2016). Comprehensive investigation of a dynamic gate biasing technique for linearity improvement based on measurement of a 10 W GaN HEMT power amplifier. *Telecommunications Forum (TELFOR)*, 2016 24th.
- Gilbert, P. L., Montoro, G., Ruiz, N., & García, J. A. (2016). Adaptive Envelope Shaping for Low and Medium Power Amplifiers with Dynamic Supply. *IEEE Microwave and Wireless Components Letters*, **26**(7), 513-515.
- Juárez-Cázares, S., Meléndez-Cano, A., Cárdenas-Valdez, J., Galaviz-Aguilar, J., Vazquez-Lopez, C., Roblin, P., & Núñez-Pérez, J. (2016). FPGA-Based Modeling and Design

- Methodology of a Digital Pre-distortion System for Power Amplifier Linearization. *Mechatronics, Electronics and Automotive Engineering (ICMEAE)*, 2016 International Conference on.
- Kang, S., Baek, D., & Hong, S. (2017). A 5-GHz WLAN RF CMOS Power Amplifier With a Parallel-Cascoded Configuration and an Active Feedback Linearizer. *IEEE Transactions on Microwave Theory and Techniques*.
- Kazuhisa, Y., Hifumi, N., Satoru, I., Yoshihiro, H., Masatoshi, N., & Yoji, I. (2006, 12-15 Dec. 2006). Series anti-parallel diode linearizer for class-B power amplifiers with a gain expansion. *2006 Asia-Pacific Microwave Conference*.
- Kim, H., Cho, H., Kim, M., Seo, M., Ham, J., Park, C.-S., Jung, S. (2013). Efficiency enhanced amplifier using a digitally-controlled dynamic bias switching circuit. *Microw. Journal*, **56**(5), 106-120.
- Kim, J. H., Kim, K. Y., Park, Y. H., Chung, Y. K., & Park, C. S. (2006, 17-19 Oct. 2006). A 2.4 GHz SiGe bipolar power amplifier with integrated diode linearizer for WLAN IEEE 802.11b/g applications. *2006 IEEE Radio and Wireless Symposium*.
- Lasser, G., Duffy, M., Olavsbråten, M., & Popović, Z. (2017). Gate control of a two-stage GaN MMIC amplifier for amplitude and phase linearization. *Wireless and Microwave Technology Conference (WAMICON)*, 2017 IEEE 18th.
- Lee, H., Kwon, J., Lim, W., Lee, W., Kang, H., Hwang, K. C., Yang, Y. (2017). Optimized Current of the Peaking Amplifier for Two-Stage Doherty Power Amplifier. *IEEE Transactions on Microwave Theory and Techniques*.
- Olavsbråten, M., & Gecan, D. (2017). Bandwidth Reduction for Supply Modulated RF PAs Using Power Envelope Tracking. *IEEE Microwave and Wireless Components Letters*, **27**(4), 374-376.
- Pedro, J. C., & Carvalho, N. B. (2003). *Intermodulation Distortion in Microwave and Wireless Circuits*: ARTECH HOUSE.
- Seth, S., Kwon, D. H., Venugopalan, S., Son, S. W., Zuo, Y., Bhagavatula, V., Cho, T. B. (2016). A Dynamically Biased Multiband 2G/3G/4G Cellular Transmitter in 28 nm CMOS. *IEEE Journal of Solid-State Circuits*, **51**(5), 1096-1108.
- Shi, B. (2016). Mixer Linearization Using Dynamic Bias Circuit with an Integrated Diode Linearizer. *2016 IEEE Region 10 Conference (TENCON) Proceedings of the International Conference*.
- Shmilovitz, D. (2005). On the definition of total harmonic distortion and its effect on measurement interpretation. *IEEE Transactions on Power Delivery*, **20**(1), 526-528. doi: 10.1109/tpwrd.2004.839744
- Şenel, B., Çağlar, M. F., & Genç, A. (2014). Effects of DC Bias Conditions to Performance of 2.4GHz Power Amplifier. *IEEE 22. Sinyal İşleme ve İletişim Uygulamaları Kurultayı, Trabzon*.
- Türkel, B., & Çağlar, M. F. Linearized 2.4 GHz Power Amplifier. *Progress In Electromagnetics Research Symposium Proceedings, KL, MALAYSIA*, March 27–30, 2012.
- Uchida, Y., He, S., Yang, X., Liu, Q., & Yoshimasu, T. (2012, 21-23 Nov. 2012). 5-GHz band linear CMOS power amplifier IC with a novel integrated linearizer for WLAN applications. *2012 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*.
- Xian, C., Roblin, P., Jongsoo, L., Young Gi, K., & Wan Rone, L. (2007, 5-8 Aug. 2007). A 3.5 GHz CMOS Doherty power amplifier with integrated diode linearizer targeted for WiMax applications. *2007 50th Midwest Symposium on Circuits and Systems*.
- Yamauchi, K., Mori, K., Nakayama, M., Mitsui, Y., & Takagi, T. (1997). A microwave miniaturized linearizer using a parallel diode with a bias feed resistance. *IEEE Transactions on Microwave Theory and Techniques*, **45**(12), 2431-2435. doi: 10.1109/22.643856
- Yu, C.-z., Hu, B.-x., Shang, X.-w., & Su, X.-b. (2016, 19-21 April 2016). A micro-strip millimeter wave predistortion linearizer with temperature compensation. *2016 IEEE International Vacuum Electronics Conference (IVEC)*.
- Zhou, R., Xie, X., Yan, B., & Li, S. (2012, 5-8 May 2012). A novel diode-based predistortion linearizer for Ka-band power amplifier. *2012 International Conference on Microwave and Millimeter Wave Technology (ICMMT)*.

## 2.4GHz power amplifier design with parallel diode linearizer

### Extended abstract

*In this study, a single-stage class-A Power Amplifier (PA) has been designed by using ATF501p8 pHEMT transistor which has high Gain (G), Power Added Efficiency (PAE(%)), optimum input reflection coefficient and output reflection coefficient ( $S_{22}$  &  $S_{11}$ ) at 2.4GHz. To improve linearity performance of PA, linearization technique based on nonlinear diode has been applied and components of linearizer have been optimized.*

*In the literature, there are many methods such as optimum-adaptive-dynamic biasing methods, analog-digital predistortion methods, envelope tracking method that are used to improve linearity performance of RF PA's. In this work, nonlinear diode-based linearization method named Parallel Diode Linearizer (PDL) that is accepted in literature under the analog predistortion main title has been used.*

*In this study to improve the linearity performance of designed PA, PDL have been optimized and adapted to PA. HMPP-3860 RF PIN diode has been used in PDL. All circuit design and simulations have been performed with Keysight ADS software.*

*PDL circuit optimization has been carried out with Simulated Annealing optimization algorithm within ADS simulator. Gain Reduction (GR) and Total Harmonic Distortion (THD) have chosen as cost function. GR that effects 1-dB gain compression point ( $P_{1dB}$ ) of PA while THD affected by the second, third, fourth, fifth harmonics GR and THD parameters have been formulated mathematically and added to the ADS simulator.*

*AM-AM, AM-PM, IIP<sub>3</sub>, OIP<sub>3</sub>, IMD<sub>3</sub>, of PA have been scored. All this parameters have compared with PDL and without PDL. It has also been demonstrated G, Output Power ( $P_{out}$ ),  $S_{11}$  and  $S_{22}$  of linearized PA*

*Linearized PA with PDL has 10.901dB G at 25.901dBm output power ( $P_{out}$ ) at 15dBm Input Power ( $P_{input}$ ) and 27.906% PAE. PA with PDL also has  $S_{11}$  that is -8,348dB and  $S_{22}$  that is 13,715dB.*

*In this study, it has been shown that the PDL circuit improves the linearity performance of PA with comparative graphics of AM-AM, APM and G. PA without PDL has 21.36 dBm IIP<sub>3</sub>, 32.74 dBm OIP<sub>3</sub> and -18.742 dBc IMD<sub>3</sub>, while PA with PDL has 25.38 dBm IIP<sub>3</sub>, 35.54dBm OIP<sub>3</sub> and -26.702 dBc IMD<sub>3</sub> values. It has been shown that PDL circuit improved linearity performance of ATF501p8 pHEMT class-A single-stage 2.4 GHz PA according to the simulation results.*

**Keywords:** 2.4GHz, ATF501p8 pHEMT, power amplifier, parallel diode linearizer circuit.