

# Ağ Üzerinden Kontrol Edilen Yükselten DA-DA Dönüştürücünün Zaman Gecikmesine Bağlı Kararlılık Analizi

## Delay-Dependent Stability Analysis of Network-Controlled DC-DC Boost Converter

Alperen Sarı, Şahin Sönmez, Saffet Ayasun

Elektrik-Elektronik Mühendisliği  
Niğde Ömer Halisdemir Üniversitesi  
[alperensari@ohu.edu.tr](mailto:alperensari@ohu.edu.tr), [sahinsonmez@ohu.edu.tr](mailto:sahinsonmez@ohu.edu.tr), [sayasun@ohu.edu.tr](mailto:sayasun@ohu.edu.tr)

### Özet

Bu çalışmada, yükselten doğru Akım (DA)-doğru Akım (DA) dönüştürücülerin ağ üzerinden kapalı çevrim kontrol edilmesi durumunda, kullanılan haberleşme ağının yapısına ve veri iletimine bağlı olarak sistemin dinamik performansını olumsuz etkileyecek haberleşme zaman gecikmeleri gözlemlenmektedir. Sistemin sınırdaki kararlı olacağı maksimum haberleşme zaman gecikmesinin hesaplanması, sistemin güvenilir ve kararlı bir biçimde kontrolünün yapılabilmesi için önemlidir. Bu çalışmada, ağ üzerinden kontrol edilen yükselten DA-DA dönüştürücünün zaman gecikmesine bağlı kararlılık analizi yapılmıştır. Bu amaçla, ilk olarak yükselten DA-DA dönüştürücünün denge noktası etrafında geçerli olan doğrusal zaman gecikmeli durum uzay denklem modeli elde edilmiştir. Daha sonra, oransal-integral (PI) denetleyicinin farklı değerleri için Kronecker çarpım ve temel dönüşüm metodu uygulanarak sistemin sınırdaki kararlı olacağı maksimum zaman gecikmesi değerleri analitik olarak hesaplanmıştır. Son olarak, bulunan teorik maksimum zaman gecikme değerlerinin doğruluğu, zaman gecikmeli karakteristik denklemlerin köklerini bulma algoritması ve zaman düzleminde yapılan benzetim çalışmaları yardımıyla gösterilmiştir.

**Anahtar kelimeler:** Ağ üzerinden kontrol edilen sistemler, Kronecker çarpım ve temel dönüşüm metodu, Kararlılık, Maksimum haberleşme zaman gecikmesi, Yükselten DA-DA dönüştürücü.

### Abstract

Depending on the configuration of the communication network and data transfer, time delays that adversely affect the dynamic performance of network-controlled DC-DC boost converters have been observed. Therefore, it is essential to compute maximum time delays for which network-controlled DC-DC boost converters are stable and controlled efficiently. In this study, the delay-dependent stability of network-controlled DC-DC boost converter is analyzed. For that purpose, the time-delayed linear state-space equation model around the equilibrium point and the corresponding characteristic equation are first obtained. Then, Kronecker multiplication and elementary transformation method is implemented to compute maximum time delays for different gain values of the proportional-integral (PI) controller.

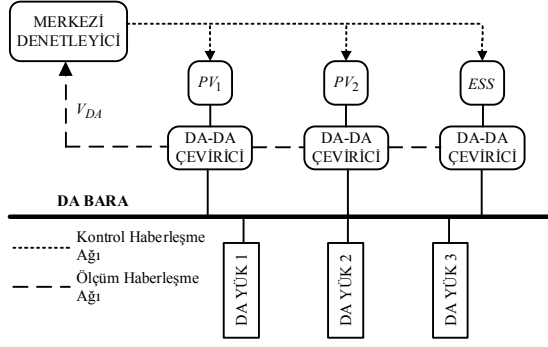
Finally, the accuracy of the delay margin values is verified by the quasi-polynomial mapping-based root finder (QPmR) algorithm and time-domain simulations of nonlinear DC-DC boost converter model.

**Keywords:** DC-DC boost converter, Kronecker multiplication and elementary transformation method, Maximum allowable communication delay, Network-Controlled Systems (NCS), Stability.

### 1. Giriş

Son yıllarda, güç elektroniği anahtarlamalı çeviriciler yüksek verimleri ve elektrik enerjisini işleme kapasiteleri nedeniyle ayarlı güç kaynakları olarak geniş kullanım alanları bulmuştur. Anahtarlamalı çeviriciler günümüzde, bilgisayar sistemlerinde ve özellikle deniz ve hava araçları için geliştirilmiş DA sistemlerde [1-2], güneş panelleri, yakıt piller ve enerji depolama üniteleri içeren DA mikro-şebekelerde [3-5] kullanılmaktadır. DC-DC anahtarlamalı çeviricilerin geniş kullanım alanlarının yanında yarıiletken elemanlardan ve anahtarlamadan kaynaklanan doğrusal olmayan durumlardan dolayı sistemin kararlılığı ve güvenilirliği konusunda ciddi sorunlar vardır.

Bu makale kapsamında farklı uygulama alanları için kullanılan güç elektroniği dönüştürücülerin mikro-şebekelerde kullanımı ile ilgilenilmiştir. Mikro-şebekeler alternatif akım (AA), DA ve her ikisini birden içeren melez tipte olmak üzere 3 farklı şekilde gerçekleştirilebilir. DA mikro-şebekelerin kullanımı, AA mikro-şebekelerde ortaya çıkan senkronizasyon, reaktif güç akışı, harmonik akımlar ve AA-DA dönüşüm kayıplarını içermemesi nedeniyle yaygınlaşmıştır. Ayrıca güneş panelleri, yakıt pilleri ve elektrikli araçlar gibi artan DA güç üretimi ile birlikte artan DA yük miktarı da DA mikro-şebekeleri AA mikro-şebekelere göre daha tercih edilir hale getirmiştir [6]. Şekil 1'de PV panelleri, enerji depolama üniteleri, DA yükler ve merkezi denetleyici içeren bir DA mikro-şebeke blok diyagramı gösterilmiştir. DA yüklerin nominal gerilimlerine bağlı olarak, DC bara gerilimi, yükselten DA-DA dönüştürücü tarafından kontrol edilmektedir. Kesikli çizgiler, ölçüm verilerinin merkezi denetleyiciye ve kontrol sinyallerinin DA-DA dönüştürücüler ve enerji depolama ünitesine aktarmak için kullanılan haberleşme ağını temsil etmektedir [3].



Şekil 1: DA mikro-şebeke blok diyagramı.

Yükseltilen DA-DA dönüştürücünün akım modlu kontrolünde sistemin seçilen akım ve gerilim kazanç değerlerine göre kararlılığı kolaylıkla değişebilir ve sistemin doğrusal olmayan dinamiğinden dolayı birden fazla denge noktası oluşabilir. Bu denge noktalarında, sistem parametrelerinin değişimine göre çatallanma durumu gözlemlenebilir [1, 2]. Çatallanma ve kaos durumları, sistemin akım ve gerilim kazanç değerlerine bağlı olarak yok edilebilir. Akım modlu kontrole ilave olarak Şekil 1’de gösterildiği üzere dönüştürücünün ağ üzerinden kontrol edilmesi durumunda Oransal-İntegral (PI) denetleyicinin de merkezi denetleyici olarak sisteme kapalı çevrim eklenmesi ile sistemde birden fazla denge noktası bulunmasından kaynaklanan çatallanma ve kaos durumları elimine edilebilir. Merkezi denetleyicinin kullanımı ile kontrol merkezinde anlık olarak gözlemlenen gerilim ve akım değerlerinin istenilen değerlerde tutulmasını sağlayacak geri besleme sinyali yardımıyla çeviricinin anahtarlarma zamanı kontrol edilerek çıkış gerilimi istenilen seviyede tutulur. Ancak, ağ üzerinden kontrol edilen sistemde, akım ve gerilim bilgisinin kontrol merkezine gönderilmesi ve tekrar kontrol merkezinden sisteme kontrol sinyalinin iletilmesi gerekmektedir. Merkezi denetleyici ve akım modlu denetleyici için uygun sistem parametreleri seçilmiş olsa bile sistemde kullanılan haberleşme ağı ve veri alış verişi sırasında sistemin çalışma performansını etkileyen haberleşme zaman gecikmeleri oluşmaktadır. Zaman gecikmesi değerinin ihmal edilemeyecek bir hal alması durumunda çevirici sisteminin kararlılığı için haberleşme ağında gözlemlenecek toplam zaman gecikmesinin bilinmesi önemlidir [1,2, 7].

Sistem parametrelerinden bağımsız olarak sistemin kararlı çalışma performansını kararsız yapabilecek bu zaman gecikmelerinin sistem kararlılığına etkisini inceleyebilmek için sistemin sınırdaki kararlı olacağı maksimum zaman gecikmesinin analitik olarak hesaplanması gerekir. Literatürde, zaman gecikmeli sistemlerin frekans düzleminde doğrudan ve zaman düzleminde dolaylı olarak maksimum zaman gecikmesinin hesaplanmasını sağlayan iki ayrı grup yöntem kullanılmaktadır. Frekans düzlemindeki yöntemler, sistemin karakteristik denkleminin ait sanal eksen üzerindeki kompleks kökleri hesaplayarak sistemin sınırdaki kararlı olacağı maksimum zaman gecikme değerini elde etmeye yöneliktir. Schur-Cohn yöntemi [9], üstel terimlerin yok edilmesine dayalı direkt metod [9], Rekasius yerine koyma yöntemi [10, 11] ve Kronecker çarpım ve temel dönüşüm metodu [12] frekans düzlemindeki en yaygın analitik yöntemlerdir. Bu yöntemlerden, Schur-Cohn yöntemi, otomatik üretim kontrol sistemleri için maksimum zaman gecikmesinin

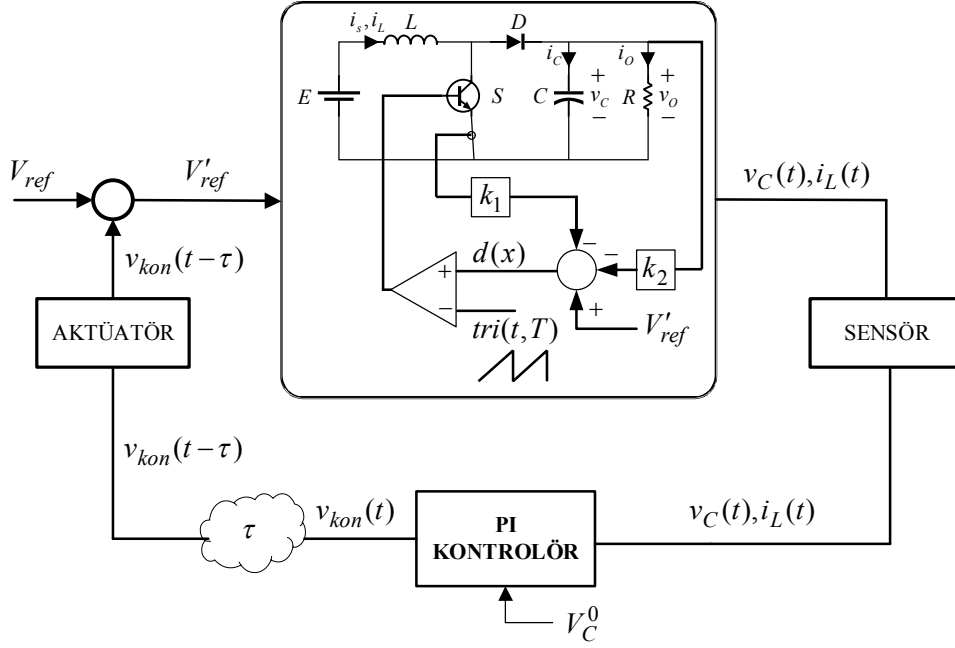
hesaplanmasında [13], üstel terimin yok edilmesine dayalı olan direkt metod zaman gecikmesi içeren iki bölgeli yük frekans kontrol sisteminin kararlılık analizinde [14] ve Rekasius yerine koyma yöntemi zaman gecikmeli bir bölgeli yük frekans kontrol sisteminde PI denetleyicinin farklı parametre değerleri için maksimum zaman gecikmesinin hesaplanmasında [15] etkin olarak kullanılmıştır.

Daha önceki çalışmamızda, karakteristik denklemde bulunan üstel terimi yok etme prensibine dayanan analitik yöntem [9], yükseltilen DA-DA dönüştürücü sisteminin sınırdaki kararlı olacağı maksimum zaman gecikmelerinin hesabında kullanılmış ve PI denetleyicinin farklı kazanç değerleri için maksimum zaman gecikme değerleri analitik olarak hesaplanmıştır [16]. Bu çalışmada, yükseltilen DA-DA dönüştürücü sisteminin sınırdaki kararlı olacağı maksimum zaman gecikme değerini hesaplamak için, frekans düzleminde kullanılan diğer bir yöntem olan Kronecker çarpım ve temel dönüşüm metodu [12] önerilmiştir. Bu çalışmanın birinci önemli katkısı, yükseltilen DA-DA dönüştürücü sisteminin sınırdaki kararlı olacağı maksimum zaman gecikme değerini hesaplamak için yeni bir yöntemin uygulanmasıdır. Bu amaçla, ilk olarak doğrusal olmayan akım mod kontrollü yükseltilen DA-DA dönüştürücünün denge noktası etrafında geçerli olan doğrusal zaman gecikmeli durum uzay denklem modeli ve ilgili karakteristik denklemi elde edilmiştir. Daha sonra, oransal-integral (PI) denetleyicinin farklı değerleri için, Kronecker çarpım ve temel dönüşüm metodu uygulanarak sistemin sınırdaki kararlı olacağı maksimum zaman gecikmesi değerleri analitik olarak hesaplanmıştır. Son olarak, elde edilen teorik maksimum zaman gecikme değerlerinin doğruluğu, zaman gecikmeli sistemlerde köklerin konumu hakkında bilgi veren üstel terimli polinomların köklerini belirleme (quasi-polynomial mapping-based root finder, QPmR) algoritması [17, 18] ve zaman düzleminde yapılan benzetim çalışmaları [19] ile gösterilmiştir. Hesaplanan teorik maksimum zaman gecikme değerlerinin QPmR algoritması ile doğrulanması bu çalışmanın ikinci önemli katkısıdır.

## 2. Kapalı Çevrim Yükseltilen DA-DA Dönüştürücü Modeli

Zaman gecikmesi içeren merkezi PI denetleyici ve yerel akım modlu denetleyici içeren yükseltilen DA-DA dönüştürücünün blok diyagramı Şekil 2’de verilmiştir. Şekil 1’de verilen DA mikro-şebeke ile karşılaştırıldığında bu çalışmada bir adet yükseltilen DA-DA dönüştürücü kullanıldığı görülmektedir.

Şekil 2’de,  $v_C(t)$ ,  $i_L(t)$ ,  $d$ ,  $v_{kon}(t)$  sırası ile çevirici çıkış gerilimi, endüktans akımı, çevirici doluluk oranını ve denetleyici kontrol sinyalini ifade etmektedir. Ayrıca,  $E$ ,  $L$ ,  $C$ ,  $D$ ,  $R$  ve  $V_C^0$  sırası ile çeviricinin giriş gerilimini, devrenin endüktansını, kapasitesini, ters yönde akım akmasını önlemek için kullanılan diyotu, devre direncini ve çeviricinin istenilen çıkış gerilim değerini göstermektedir. Sistemde, akım ve gerilim bilgisinin sensör yardımıyla ölçülmesi, denetleyici tarafından değerlendirilmesi ve bu verilerin sisteme iletilmesinden kaynaklanan toplam zaman gecikmesi  $\tau$  ile gösterilmiştir ve toplam zaman gecikmesi sabit olarak PI denetleyici ile aktüatör arasına yerleştirilmiştir.



Şekil 2: NCS ile kontrol edilen akım mod kontrollü yükseltilen DA-DA dönüştürücü modeli.

Yükseltilen DA-DA dönüştürücünün analizinde dönüştürücü ideal kabul edilerek kapasite ve endüktanstaki kayıplar ile anahtarlama kayıpları ihmal edilmiş ve sistemin sürekli akım modunda çalıştığı varsayılmıştır [20, 21]. Dönüştürücünün analizi Şekil 2'deki çevirici bloğundaki anahtarın açık ve kapalı olmasına göre iki durum için ayrı yapılmış olup bu iki durum literatürde mevcut olan ortalama durum uzay modeli kullanılarak tek bir denklemde birleştirilmiştir [21]. Şekil 2'de verilen doğrusal olmayan kapalı çevrim yükseltilen DA-DA dönüştürücü modeli Denklem (1)-(6) ile gösterilen diferansiyel denklem seti ile ifade edilmektedir. Şekil 2 incelendiğinde, çevirici çıkış gerilimi ve akımı sensörler yardımıyla ölçülerek, ölçüm sonuçları oransal-integral (PI) denetleyiciye iletilmektedir. Bu çevrimin devamında, yükseltilen DA-DA dönüştürücünün çıkış gerilimi  $V_C^0$  değerinde sabit tutulması istendiğinden dolayı, Denklem (1) ile verilen kontrol sinyalinden ( $v_{kon}(t)$ ) görüldüğü gibi PI denetleyici, çeviricinin çıkış gerilimi ile istenilen  $V_C^0$  çıkış gerilimi arasındaki hata sinyalini kullanarak çıkış geriliminin istenilen değerde tutulmasını sağlamaktadır. Bu kapalı çevrimin sonunda, PI denetleyicinin çıkışındaki kontrol sinyali  $\tau$  kadar geciktirildikten sonra  $V_{ref}$  sinyali ile karşılaştırılarak

Denklem (2) ile gösterilen  $V'_{ref}$  sinyali elde edilmiştir. Denklem (3)'de ise, çevirici bloğuna iletilen  $V'_{ref}$  sinyali yardımıyla anahtar çalışma oranı  $d(t)$  sinyalinin çalışma aralığı belirlenmektedir [1, 2].

$$v_{kon}(t) = K_P(v_c(t) - V_C^0) + K_I \int (v_c(t) - V_C^0) dt \quad (1)$$

$$V'_{ref} = V_{ref} - v_{kon}(t - \tau) \quad (2)$$

$$d(t) = V'_{ref} - k_1 i_L(t) - k_2 v_c(t) \quad (3)$$

$$\frac{dv_c}{dt} = \frac{1}{C} [i_L - i_L V'_{ref} + k_1 i_L^2 + k_2 v_c i_L - \frac{v_c}{R}] \quad (4)$$

$$\frac{di_L}{dt} = \frac{1}{L} [v_c V'_{ref} - k_1 i_L v_c - k_2 v_c^2 - v_c + E] \quad (5)$$

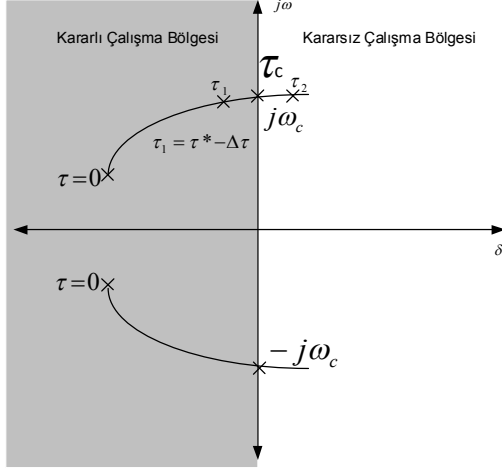
$$\frac{dv_{K_I}}{dt} = K_I [v_c(t) - V_C^0] \quad (6)$$

Zaman gecikmesi içeren yükseltilen DA-DA dönüştürücünün zaman gecikmesine göre kararlılık analizlerinin gerçekleştirilebilmesi için sisteme ait karakteristik denkleminin elde edilmesi gerekmektedir. Bu amaçla, zaman gecikmeli sistemin dinamikleri zaman gecikmeli doğrusal olmayan diferansiyel denklemlerle Denklem (7)'de verildiği gibi gösterilebilir. Denklem (7)'de  $x(t) = [v_c(t) \ i_L(t) \ v_{K_I}(t)]^T$  sistemin, zaman gecikmesi içermeyen durum değişkenlerini ve  $x_\tau(t) = [v_c(t-\tau) \ i_L(t-\tau) \ v_{K_I}(t-\tau)]^T$  zaman gecikmesine bağlı durum değişkenlerini göstermektedir.

$$\dot{x}(t) = \begin{bmatrix} \dot{x}_1(t) \\ \dot{x}_2(t) \\ \dot{x}_3(t) \end{bmatrix} = \begin{bmatrix} f_1(v_c(t), i_L(t), v_c(t-\tau), v_{K_I}(t-\tau)) \\ f_2(v_c(t), i_L(t), v_c(t-\tau), v_{K_I}(t-\tau)) \\ f_3(v_c(t)) \end{bmatrix} \quad (7)$$

$$\dot{x}(t) = \begin{bmatrix} \dot{x}_1(t) \\ \dot{x}_2(t) \\ \dot{x}_3(t) \end{bmatrix} = \begin{bmatrix} f_1(x_1, x_2, x_3, x_{1\tau}, x_{2\tau}, x_{3\tau}) \\ f_2(x_1, x_2, x_3, x_{1\tau}, x_{2\tau}, x_{3\tau}) \\ f_3(x_1, x_2, x_3, x_{1\tau}, x_{2\tau}, x_{3\tau}) \end{bmatrix}$$

Kararlılık analizi için sistemin denklemleri denge noktası etrafında doğrusal hale getirilmelidir. Denklem (1)-(6) kullanılarak sisteme ait denge noktası hesaplanarak, Denklem (8)'de verilmiştir.



Şekil 3: Karakteristik denklemin köklerinin zaman gecikmesine göre değişimi.

$$\begin{aligned}
 v_{c0} &= V_c^0 \\
 i_{L0} &= \frac{V_c^{0^2}}{RE} \\
 v_{K10} &= \frac{-k_1 V_c^{0^2}}{RE} - k_2 V_c^0 + (V_{ref} - 1) - \frac{E}{V_c^0}
 \end{aligned} \quad (8)$$

Şekil 2'de verilen sistemi tanımlayan Denklem (7),  $(v_{c0}, i_{L0}, v_{K10})$  denge noktası etrafında doğrusal hale getirilebilir ve Denklem (9) ile gösterilen doğrusal sistem modeli kolaylıkla elde edilebilir. Denklem (9)'daki  $[A_0]$  ve  $[A_\tau]$  matrisleri sistem matrisleridir.

$$\Delta \dot{x}(t) = [A_0] \Delta x(t) + [A_\tau] \Delta x_\tau(t - \tau) \quad (9)$$

$$A_0 = \begin{bmatrix} \left(k_2 x_2 - \frac{1}{R}\right) \frac{1}{C} & (1 - V'_{ref} + 2k_1 x_2 + k_2 x_1) \frac{1}{C} & 0 \\ (V'_{ref} - k_1 x_2 - 2k_2 x_1 - 1) \frac{1}{L} & -\frac{k_1 x_1}{L} & 0 \\ K_I & 0 & 0 \end{bmatrix}$$

$$A_\tau = \begin{bmatrix} \frac{x_2 K_P}{C} & 0 & \frac{x_2}{C} \\ -\frac{x_1 K_P}{L} & 0 & -\frac{x_1}{L} \\ 0 & 0 & 0 \end{bmatrix}$$

$$V'_{ref} = V_{ref} - K_P x_1(t - \tau) + K_P V_c^0 - x_3(t - \tau)$$

Zaman gecikmesine bağlı kararlılık analizleri yapabilmek için Denklem (9)'da verilen zaman gecikmeli doğrusal sistemin karakteristik denklemi Denklem (10) yardımıyla hesaplanabilir.

$$\Delta(s, \tau) = \det(sI - A_0 - A_\tau e^{-s\tau}) = 0 \quad (10)$$

### 3. Maksimum Haberleşme Zaman Gecikmesinin Bulunması

Dinamik sistemlerin genel kararlılık teorisine göre, herhangi bir sistemin kararlı olması için gerek ve yeter koşul, Denklem (10) ile verilen sistem karakteristik denkleminin tüm köklerinin kompleks düzlemin sol yarı bölgesinde bulunmasıdır. Ancak, Denklem (10)'dan da görüldüğü gibi karakteristik denkleminde üstel terim bulunmaktadır ve dolayısıyla üstel terimin mevcudiyeti karakteristik denklemin sonsuz adet köke sahip olmasına neden olmaktadır. Sonsuz adet kökün değeri ve bunların zaman gecikmesi  $\tau$ 'nin değişimine göre nasıl değişeceğinin analiz edilmesi oldukça zor bir problemdir. Köklerin, zaman gecikmesine bağlı olarak nasıl değişebileceği ve kararlı sistemin zaman gecikmesi  $\tau$ 'nin değişimine göre nasıl kararsız olabileceği Şekil 3'de kök-yer eğrisi yardımıyla grafiksel olarak gösterilmiştir. Denklem (10)'daki karakteristik denkleminde bulunan zaman gecikmesi değeri  $\tau = 0$  anından başlanarak artırılması durumunda karakteristik polinomun bir çift kompleks kökü sol yarı düzlemde sağ yarı düzleme doğru hareket etmeye başlayacaktır.  $\tau = \tau_c$  değerine ulaşıldığında ise karakteristik denklemin kompleks kök çifti sanal eksen üzerinde olacaktır. Burada,  $\tau = \tau_c$  sistemin sınırdaki kararlı olacağı maksimum zaman gecikme değeri olarak tanımlanmaktadır.

#### 3.1. Maksimum Zaman Gecikmesinin Hesaplanması: Kronecker Çarpım ve Temel Dönüşüm Metodu

Tüm frekans düzlemi metodlarında olduğu gibi Kronecker çarpım ve temel dönüşüm metodu da Denklem (10)'da verilen karakteristik denkleminde bulunan ve sonsuz kök mevcudiyetine sebep olan üstel terimin yok edilerek, sanal eksen üzerinde bulunan köklerinin ( $s = \pm j\omega_c$ ) hesaplanıp, bu kökler yardımıyla karakteristik denklemin sağlayacağı zaman gecikmesi değerinin ( $\tau_c$ ) bulunmasına dayanır [12, 22-24]. Eğer  $s = j\omega$  Denklem (9) verilen sistemin sanal eksen üzerinde olan bir özdeğeri ise, Denklem (10)'da verilen karakteristik denklemin aşağıda verilen biçimde bir özdeğer-özvektör problemi olarak yeniden ifade edilebilir.

$$[sI - A_0 - A_\tau e^{-s\tau}]v = 0 \quad (11)$$

$$[sI - A_0]v = e^{-s\tau} A_\tau v \quad (12)$$

Denklem (12)'in kompleks eşleniği ve transpozunu alındığında

$$v^* [-sI - A_0^T] = e^{s\tau} v^* A_\tau^T \quad (13)$$

$$v^* [sI + A_0^T] = -e^{s\tau} v^* A_\tau^T \quad (14)$$

denklemin elde edilir. Üstel terimi  $e^{\pm s\tau}$  yok etmek için Denklem (12) ve (14) birbirleri ile çarpılarak üstel terim içermeyen

$$[sI - A_0]v^* [sI + A_0^T] = -A_\tau v^* A_\tau^T \quad (15)$$

yeni bir denklem elde edilir. Bu noktada, Denklem (15)'i genelleştirilmiş özdeğer-özvektör problemine dönüştürmek için bir temel dönüşümün tanımlanması gerekmektedir.  $\xi: \mathbb{F}^{n \times n} \rightarrow \mathbb{F}^{n^2}$  olmak üzere bir  $M^{(n \times n)}$  matrisi  $(\xi M)^{(n^2)}$  vektörüne temel dönüşüm ile aşağıda verildiği gibi kolaylıkla çevrilebilir [12].

$$M^{(n \times n)} = \begin{bmatrix} m_1 \\ \mathbf{M} \\ \mathbf{M} \\ m_n \end{bmatrix} \Rightarrow (\xi M)^{(n^2)} = \begin{bmatrix} m_1^T \\ \mathbf{M} \\ \mathbf{M} \\ m_n^T \end{bmatrix} \quad (16)$$

Denklem (16) yardımı ile  $A, B, X \in \mathbb{F}^{n \times n}$  gibi herhangi üç matrisin çarpımına  $\xi: \mathbb{F}^{n \times n} \rightarrow \mathbb{F}^{n^2}$  temel dönüşümün uygulanması durumunda elde edilen sonuç, Kronecker çarpım olarak

$$\xi(AXB) = (A \otimes B^T) \xi X \quad (17)$$

biçiminde ifade edilebilir. Denklem (17)'de verilen eşitlik yardımı ile Denklem (15)'de verilen eşitlik Kronecker çarpım olarak

$$\left( (sI - A_0) \otimes (sI + A_0) + (A_\tau \otimes A_\tau) \right) u = 0 \quad (18)$$

$$\Lambda(s)u = 0$$

biçiminde ifade edilebilir. Burada,  $u = \zeta v v^*$  temel dönüşümü göstermektedir. Denklem (18)'de  $u = \zeta v v^* \neq 0$  olması için  $\det[\Lambda(s)] = 0$  olmalıdır. Bu şart aşağıda verilen özdeğer problemi olarak ifade edilebilir [12, 22].

$$\det[sE_0 - J_0] = 0 \quad (19)$$

Burada,

$$E_0 = \begin{bmatrix} I \otimes I & 0 \\ 0 & I \otimes I \end{bmatrix}, J_0 = \begin{bmatrix} A_0 \otimes I & A_\tau \otimes I \\ -I \otimes A_\tau & -I \otimes A_0 \end{bmatrix} \quad (20)$$

Önerilen Kronecker çarpım ve temel dönüşüm yöntemi ile üstel terim içeren Denklem (10)'daki  $n$ . dereceden karakteristik denklem, Denklem (19)'da verilen üstel terim içermeyen  $2n^2$  dereceden sıradan bir polinoma dönüştürülmüştür. Denklem (10)'da verilen karakteristik denklemin sanal eksen üzerindeki kökleri, Denklem (19)'da verilen yeni karakteristik denklemin sanal eksen üzerindeki kökleri ile aynı olmaktadır. Başka bir ifade ile Denklem (10)'un sanal eksen üzerindeki kökleri aynı zamanda  $J_0$  matrisinin özdeğerleri olmaktadır. Sistem parametrelerine bağlı olarak, Denklem (19)'un sanal eksen üzerinde birden fazla kökü bulunabilir. Bu özdeğerlerin kümesi Denklem (21) ile verilmiştir.

$$\Omega = \{ \pm j\omega_{c1}, \pm j\omega_{c2}, \dots, \pm j\omega_{cq} \} \quad (21)$$

Denklem (21)'de verilen her  $s = j\omega_c$  sanal kökün Denklem (11)'i sağlaması için  $z_c = e^{-j\omega_c \tau_c}$ 'nin  $(j\omega_c I - A_0, A_\tau)$  matris çiftinin genelleştirilmiş birim genliğe sahip özdeğeri olmak zorundadır [12, 22]

$$z_c = e^{-j\omega_c \tau_c} = \text{eig}(j\omega_c I - A_0, A_\tau), \quad i = 1, 2, \dots \quad (22)$$

Denklem (21)'de verilen her  $\omega_c$  birim genlikli  $z_c$  kümesi

$$\{z_c\} = \{z_{c1}, z_{c2}, \dots, z_{cq}\} \quad (23)$$

biçiminde ifade edilebilir.

Denklem (21)'deki her  $\omega_c$  ile ilişkili olan  $z_c$  değeri yardımıyla  $z_c = e^{-j\omega_c \tau_c}$  ifadesinden sistemin sınırdaki kararlı olacağı maksimum zaman gecikme değeri kolaylıkla hesaplanabilir.  $z_c$  birim genlikli olduğundan eşitliğin her iki tarafının da açıları aynı olması gerektiğinden Denklem (24) yardımıyla zaman gecikme değeri

$$\tau_c = \frac{1}{\omega_c} (-\angle z_c + 2\pi k), \quad k = 0, 1, 2, \dots \quad (24)$$

denklemini ile hesaplanabilir [12, 22]. Denklem (21) ve (23)'de verilen her  $(\omega_c, z_c)$  için sistemin sınırdaki kararlı olacağı  $\tau_c$  değeri hesaplanarak, bunların içinden en küçük olan zaman gecikme değeri sistemin sınırdaki kararlı olacağı maksimum zaman gecikmesi olarak belirlenir.

#### 4. Teorik ve Benzetim Sonuçları

Bu bölümde, ilk olarak zaman gecikmeli yükselten DA-DA dönüştürücünün, Kronecker çarpım ve temel dönüşüm metodu uygulanarak seçilen sistem parametrelerine göre sınırdaki kararlı olacağı maksimum zaman gecikmesi değeri hesaplanmıştır. Daha sonra, MATLAB/Simulink [16] ortamında yapılan benzetim çalışmaları ve QPmR algoritması yardımıyla, hesaplanan teorik maksimum zaman gecikmesi değerinin doğruluğu gösterilmiştir. Son olarak, PI denetleyici kazançlarının maksimum zaman gecikmesine etkisi incelenmiştir. Teorik ve benzetim çalışmalarında aşağıda verilen sistem parametreleri kullanılmıştır [1].

Tablo 1: Sistem Parametreleri

$E$ (V)	$L$ (mH)	$C$ ( $\mu F$ )	$R$ ( $\Omega$ )	$V_{ref}$ (V)
4	5	220	10	-0.18
$k_1$ ( $A^{-1}$ )	$k_2$ ( $V^{-1}$ )	$K_P$ ( $V^{-1}$ )	$K_I$ ( $V^{-2}$ )	
0.1	-0.1	0.01	0.1	

Bölüm 3'de verilen zaman gecikmesi hesabını daha açık şekilde göstermek amacıyla Tablo 1'de verilen sistem parametre değerleri için hesaplamalar adım adım olarak aşağıda verilmiştir.

##### 4.1. Kronecker Çarpım ve Temel Dönüşüm Metodunun Uygulanması

**Adım 1:** Verilen sistem parametreleri Denklem (4), (5) ve (6)'da yerine yazılarak doğrusal olmayan yükselten DA-DA dönüştürücüye ait diferansiyel denklem seti elde edilir ve Denklem (7) yardımıyla matris formunda ifade edilir.

**Adım 2:** Yükselten DA-DA dönüştürücünün istenilen çıkış gerilim değeri  $V_c^0 = 5.921 V$  olarak belirlenmiştir. Bu amaçla, seçilen sistem parametrelerine göre Denklem (7)'de verilen doğrusal olmayan sistemin denge noktaları Denklem (8) yardımıyla hesaplanır. Bulunan denge noktası aşağıda verilmiştir.

$$v_{c0} = 5.921 V, i_{L0} = 0.876 A, v_{K,0} = 1.5958 \times 10^{-5} V$$

**Adım 3:**  $(5.921 V, 0.876 A, 1.5958 \times 10^{-5})$  olarak hesaplanan denge noktası etrafında Denklem (9)'da verilen doğrusal model elde edilir. Bu modele ait sistem matrisleri aşağıdaki şekilde elde edilmiştir.

$$A_0 = \begin{bmatrix} -852.9 & 3469.1 & 0 \\ -16.7 & -118.42 & 0 \\ 0.1 & 0 & 0 \end{bmatrix}, A_\tau = \begin{bmatrix} 39.839 & 0 & 3983.9 \\ -11.842 & 0 & -1184.2 \\ 0 & 0 & 0 \end{bmatrix}$$

**Adım 4:** Sistemin zaman gecikmesi yok iken kararlılığını incelemek için Denklem (9)'da  $\tau = 0$  alınarak  $\dot{x}(t) = (A_0 + A_\tau)x(t)$  doğrusal model elde edilir.  $[A_0 + A_\tau]$  matrisinin özdeğerleri, seçilen parametreler için  $-616.2, -313.4, -1.9$  olarak hesaplanmıştır. Bu özdeğerlerin tamamı kompleks düzlemin sol yarı bölgesinde bulunduğundan  $\tau = 0$  iken sistem kararlıdır.

**Adım 5:** Denklem (20)'den faydalanılarak  $E_0$  ve  $J_0$  matrisleri elde edilir.  $E_0$ 'ın  $18 \times 18$  boyutlu birim matris olduğu gözükmektedir. Oluşturulan matrisler çok büyük olduğundan burada yer verilmemiştir. Denklem (19) yardımı  $J_0$  matrisinin sanal eksen üzerindeki özdeğerleri

$$j\Omega = \{j2.35, -j2.35\}$$

olarak hesaplanmıştır.

**Adım 6:** Adım 5'de hesaplanan  $\omega_{c1} = +2.35 \text{ rad/s}$  ve  $\omega_{c2} = -2.35 \text{ rad/s}$  için Denklem (22) kullanılarak  $(j\omega_c I - A_0, A_\tau)$  matris çiftinin genelleştirilmiş birim genlikli  $(|z_c| = 1)$  kompleks özdeğerleri aşağıdaki şekilde bulunmuştur.

$$z_{c1} = -0.212 - j0.977, z_{c2} = -0.212 + j0.977$$

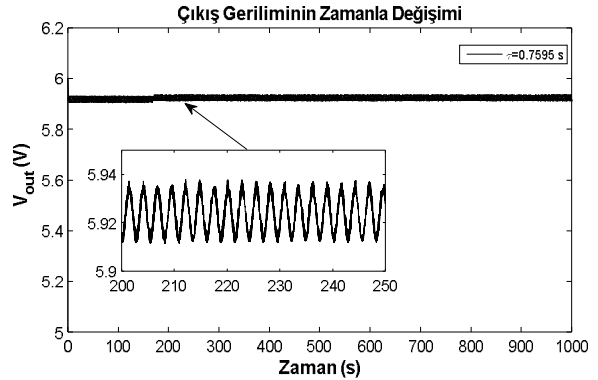
**Adım 7:** Denklem (24) kullanılarak, seçilen parametre değerleri için sistemin sınırdaki kararlı olacağı maksimum zaman gecikme değeri  $\tau_c = 0.7593 s$  olarak hesaplanır. Bulunan iki adet  $(\omega_c, z_c)$  değeri için köklerin simetrisinden dolayı aynı maksimum zaman gecikme değeri bulunmuştur.

#### 4.2. Benzetim Çalışmaları ile Teorik Sonuçlarının Doğrulanması

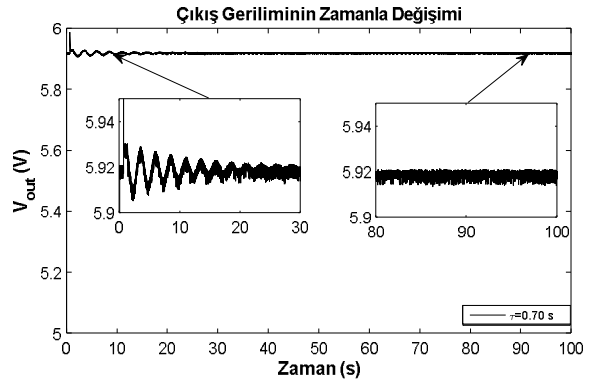
Bir önceki bölümde hesaplanan teorik maksimum zaman gecikme değerinin doğruluğunu göstermek için Denklem (4), (5) ve (6) ile tanımlanan doğrusal olmayan diferansiyel denklem modeli kullanılarak MATLAB/Simulink ortamında kapasite gerilimi için  $5 V$  ve endüktans akımı için  $0.7 A$  başlangıç koşulunda benzetim çalışması yapılmıştır. Teorik olarak sistemin sınırdaki kararlı olacağı zaman gecikmesi değeri

$\tau_c = 0.7593 s$  hesaplanmıştır. Ancak, benzetim çalışmalarında sistemin sınırdaki kararlı olduğu zaman gecikme değeri  $\tau_c = 0.7595 s$  olarak belirlenmiştir. Teorik ve benzetim çalışmalarının birbirine oldukça yakın sonuç verdiği görülmüştür. Bu iki zaman gecikme değeri arasındaki küçük farkın sebebi, teorik maksimum zaman gecikmesi hesabında Denklem (9)'da verilen doğrusal model kullanılırken benzetim çalışmalarında ise Denklem (7)'de verilen doğrusal olmayan sistem modelinin kullanılmasıdır.

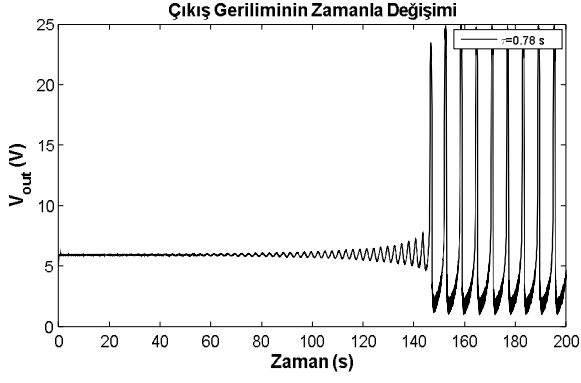
Zaman gecikmesinin değişimine göre sistemin kararlılığının nasıl değiştiğini göstermek amacıyla üç farklı zaman gecikmesi değeri için benzetim çalışması yapılmıştır. Şekil 4'den görüldüğü üzere  $\tau_c = 0.7595 s$  değerinde sistemin istenilen çıkış gerilimi ( $V_c^0 = 5.921 V$ ) etrafında salınımların sürekli devam ettiği ve sistemin sınırdaki kararlı olduğu görülmektedir. Şekil 5'de ise,  $\tau_c = 0.7595 s$  değerinden daha küçük bir zaman gecikmesi değerinde ( $\tau = 0.7 s < \tau_c = 0.7595 s$ ) sistemin salınımlarının giderek küçüldüğü ve sürekli durumda  $V_c^0 = 5.921 V$  istenilen çıkış gerilimi değerinde olduğu görülmektedir. Şekil 6'da ise  $\tau_c = 0.7595 s$  değerinden daha büyük bir zaman gecikmesi değerinde ( $\tau_c = 0.7595 s < \tau = 0.78 s$ ) sistemin kararsızlığa gittiği ve çıkış geriliminin  $3 V$  ile  $25 V$  arasında salınım yaptığı gözlemlenmiştir.



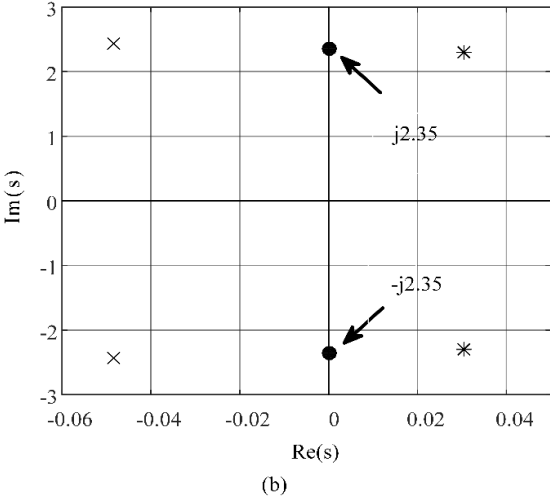
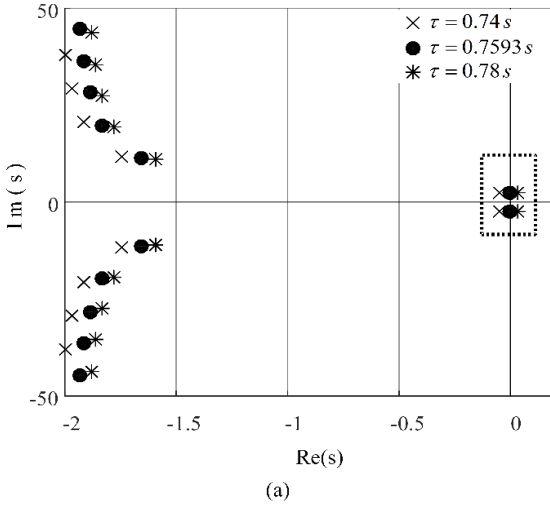
Şekil 4:  $\tau_c = 0.7595 s$  için yükselten DA-DA dönüştürücü çıkış gerilimi.



Şekil 5:  $\tau = 0.70 s$  için yükselten DA-DA dönüştürücü çıkış gerilimi.



Şekil 6:  $\tau = 0.78 s$  için yükseltilen DA-DA dönüştürücü çıkış gerilimi.



Şekil 7: Seçilen zaman gecikme değerleri için DA dönüştürücü doğrusal modelinin kritik özdeğerlerinin değişimi.

Zaman düzleminde yapılan benzetim çalışmasına ilave olarak, önerilen yöntem ile elde edilen sanal kökün doğruluğu QPmR algoritması ile incelenmiştir. Bu amaçla, seçilen parametre değerleri için elde edilen Denklem (9)'da verilen doğrusal modelin özdeğerlerinin zaman gecikmesine göre nasıl değiştiği QPmR algoritması ile araştırılmıştır. Şekil 7a ve 7b'de üç farklı zaman gecikmesi değeri için kritik özdeğerlerin konumu gösterilmiştir. Şekil 7b, Şekil 7a'nın sanal eksen etrafında büyütülmüş kısmıdır. Hesaplanan maksimum zaman gecikme değerinde ( $\tau_c = 0.7593 s$ ) iki adet kompleks eşlenik özdeğer ( $s = \pm j2.35$ ) sanal eksen üzerinde bulunmaktadır. Bu özdeğerler, önerilen yöntem ile hesaplanan ile aynıdır.  $\tau_c = 0.7593 s$  değerinden daha küçük, örneğin  $\tau = 0.74 s$ , değerinde sistemin özdeğerlerinin kompleks düzlemin sol yarı bölgesinde yer aldığı ve sistemin kararlı olduğu görülmektedir. Zaman gecikmesi, hesaplanan maksimum zaman gecikmesinden daha büyük bir değer seçildiğinde, örneğin  $\tau = 0.78 s$  değerinde bir çift kompleks özdeğer sol yarı bölgeden sağ yarı bölgeye geçmekte ve sistem kararsızlaşmaktadır.

Tablo 2: Maksimum zaman gecikmesinin  $K_P$  ve  $K_I$  ile değişimi

$\tau^* (s)$	$K_I$					
$K_P$	0.01	0.05	0.08	0.1	0.2	0.4
0	6.8573	1.3657	0.8508	0.6793	0.3361	0.1646
0.01	7.6573	1.5257	0.9508	<b>0.7593</b>	0.3761	0.1846
0.02	7.9433	1.5829	0.9866	0.788	0.3904	0.1918
0.03	7.3887	1.472	0.9174	0.7325	0.3628	0.1782
0.04	4.7926	0.9532	0.5935	0.4737	0.2347	0.1164
0.05	0.0207	0.0207	0.0206	0.0206	0.0204	0.0199

Son olarak, sistemin diğer tüm parametreleri sabit tutularak, PI denetleyici kazançları sırasıyla  $K_P = 0 - 0.05$  ve  $K_I = 0.01 - 0.4$  aralığında seçilmiştir. Hesaplanan maksimum zaman gecikme değerleri Tablo 2'de verilmiştir. Tablo 2'deki teorik sonuçlar incelendiğinde,  $K_P$  kazancı herhangi bir değerde sabit tutulup  $K_I$  kazancı tabloda belirtilen sınırlar içinde arttırıldığında maksimum zaman gecikme değerlerinin gittikçe azaldığı görülmektedir. Maksimum zaman gecikmesindeki bu azalma,  $K_P$  kazancı herhangi bir değerde sabitken  $K_I$ 'nin artmasının, DA-DA çeviricinin kararlılığını olumsuz etkilediğini göstermektedir. Diğer yandan  $K_I$  kazancı herhangi bir değerde sabit tutulup  $K_P$  kazancı tablodaki sınırlar içerisinde arttırılırsa,  $K_P$ 'nin küçük değerleri için maksimum zaman gecikmesi başlangıçta artmakta, ancak daha sonra  $K_P$ 'nin büyük değerleri için azalmaktadır.

## 5. Sonuçlar

Bu çalışmada önerilen Kronecker çarpım ve temel dönüşüm yöntemi ile sistemin sınırdaki kararlı olacağı maksimum zaman gecikme değerleri teorik olarak hesaplanmıştır. Yapılan çalışma ile yükseltilen DA-DA dönüştürücülerde kapalı çevrim kontrolünden kaynaklı haberleşme zaman gecikmesindeki küçük değişimlerin sistemin kararlılığında büyük değişimlere sebep olduğu gözlemlenmiştir. Benzetim çalışmalarında, doğrusal model için teorik olarak hesaplanan maksimum zaman gecikmesi değeri ile doğrusal olmayan yükseltilen DA-DA dönüştürücü modelinin benzetim çalışmalarındaki maksimum zaman gecikmesi değeri arasında çok küçük farklar olduğu gözlemlenmiştir. Önerilen yöntemin, doğrusal olmayan sistemin sınırdaki kararlı olacağı maksimum zaman gecikmesi değerini yaklaşık olarak hesapladığı görülmüştür. Son olarak PI denetleyici kazançlarındaki artışın, sistemin kararlılığını olumsuz yönde etkilediği gözlemlenmiştir.

## 6. Kaynaklar

- [1] Chudjuarjeen, S. *et al.*, “Simulation of a DC-DC boost converter with measurement delays”, in *2011 IEEE Electric Ship Technologies Symposium*, pp. 156–160, 2011.
- [2] Nwankpa, C. O. vd., “Modeling and simulation of information-embedded multi-converter power systems”, in *2013 IEEE International Symposium on Circuits and Systems (ISCAS2013)*, pp. 1544–1547, 2013.
- [3] Wu, D., *et al.*, “Coordinated Control Based on Bus-Signaling and Virtual Inertia for Islanded DC Microgrids”, *Transactions on Smart Grid*, 6(6), pp. 2627–2638, 2015.
- [4] Jong-Yul, K., *et al.*, “Cooperative control strategy of energy storage system and micro sources for stabilizing the microgrid during islanded operation,” *IEEE Transactions on Power Electronics.*, 25(12) pp. 3037–3048, 2010.
- [5] Morstyn, T., *et al.*, “Unified Distributed Control for DC Microgrid Operating Modes”, *Transactions on Power Systems*, 31(1), pp. 802–812, 2016.
- [6] Chen, X., *et al.*, “Distributed Cooperative Control and Stability Analysis of Multiple DC Electric Springs in DC microgrid”, *Transactions on Industrial Electronics.*, 65(7), pp. 5611–5612, 2018.
- [7] Dong, C., *et al.*, “Time Delay stability Analysis for Hybrid Energy Storage System with Hierarchical Control in DC Microgrids,” Accepted for Publication in *IEEE Transactions on Smart Grid (Early Access)* (99), pp. 1–13, 2017.
- [8] Chen J., Gu, G. and Nett C.N., “A new method for computing delay margins for stability of linear delay systems”, *System and Control Letters*, 26(2), pp. 101–117, 1995.
- [9] Walton K.E. and Marshall J.E., “Direct method for TDS stability analysis”, *IEEE Proceeding Part D.*, 134, pp. 101–107, 1987.
- [10] Rekasius Z.V., “A stability test for systems with delays”, in *Proceedings of Joint Automatic Control Conference*, 1980.
- [11] Olgac N. and Sipahi R., “An exact method for the stability analysis of time-delayed linear time invariant (LTI) systems”, *IEEE Transactions on Automatic Control*, 47(5), pp. 793–797, 2002.
- [12] Louisell, J. “A matrix method for determining the imaginary axis eigenvalues of a delay system”, *IEEE Transactions on Automatic Control*, vol 12, pp. 2008–2012, 2001.
- [13] Liu M., Yang L., Gan D., Wang D., Gao F. and Chen Y., “The stability of AGC systems with commensurate delays”, *European Transactions on Electrical Power*, 17(6), pp. 615–627, 2007.
- [14] Sönmez Ş., Ayasun S. and Nwankpa C.O., “An exact method for computing delay margin for stability of load frequency control systems with constant communication delays”, *IEEE Transactions Power Systems*, 31(1), pp. 370–377, 2016.
- [15] Sönmez, Ş., Ayasun, S. and Eminoğlu, U., “Computation of time delay margins for stability of a single-area load frequency control system with communication delays”, *WSEAS Transactions on Power Systems*, 9, pp. 67–76, 2014.
- [16] Sarı, A., Sönmez, Ş., ve Ayasun S., “Zaman Gecikmeli Yükseltilen DA-DA Dönüştürücülerin Kararlılık Analizi”, *Ulusal Elektrik Enerjisi Dönüşümü (EL-EN)*, pp. 99–104, 2017.
- [17] Vyhřlídál T. and Zitek P., “Mapping based algorithm for large-scale computation of quasi-polynomial zeros”, *IEEE Transactions on Automatic Control*, 54 (1), pp. 171–177, 2009.
- [18] Vyhřlídál T., Olgaç N. and Kučera, V., “Delayed resonator with acceleration feedback – Complete stability analysis by spectral methods and vibration absorber design”, *Journal of Sound and Vibration*, 333(25), pp. 6781–6795, 2014.
- [19] Simulink, “Model-based and system-based design using Simulink”, MathWorks, Natick, 2000.
- [20] Middlebrook, R. D. and Cuk S., “A general unified approach to modelling switching-converter power stages”, in *1976 IEEE Power Electronics Specialists Conference*, pp. 18–34, 1976.
- [21] Krein, P. T. vd., “On the use of averaging for the analysis of power electronic systems”, *IEEE Transactions on Power Electronics*, vol. 5, no. 2, pp. 182–190, Apr. 1990.
- [22] Schrödel, F. Abdelmalek, M. and Abel, D., “A comparative overview and expansion of frequency based stability boundary mapping methods for time delay systems”, *IFAC*, vol 10, pp. 229–234, 2016.
- [23] Sipahi R. and Olgac, N., “A Comparative Survey in Determining the Imaginary Characteristic Roots of LTI Time Delayed Systems”, *IFAC Proceedings Volumes*, 38(1), pp. 390–399, 2005.
- [24] Marshall, J. H., Walton, K., Korytowski, A., and Gorecki, H., “Time-delay systems: Stability and performance criteria with applications”, E. Horwood, New York, 1992.