

Asimetrik Çok Seviyeli Eviricilerin İncelenmesi

A Review on Asymmetric Multi-Level Inverters

İlhami ÇOLAK¹, Ersan KABALCI², Gökhan KEVEN³

¹Elektrik-Elektronik Mühendisliği Bölümü, Teknoloji Fakültesi
Gazi Üniversitesi
icolak@gazi.edu.tr

²Elektrik-Elektronik Mühendisliği Bölümü, Mühendislik-Mimarlık Fakültesi
Nevşehir Üniversitesi
kabalci@nevsehir.edu.tr

³Hacı Bektaş Veli Meslek Yüksekokulu
Nevşehir Üniversitesi
gokhankeven@nevsehir.edu.tr

Özet

Asimetrik çok seviyeli eviriciler, çok seviyeli evirici (ÇSE) topolojileri içerisinde daha fazla gerilim seviyeleri üretmelerinden dolayı hızla gelişmektedir. Asimetrik çok seviyeli eviriciler, istenilen çıkış seviyelerini üretmek için simetrik çok seviyeli eviricilerdeki gibi aynı sayıda fakat farklı oranlardaki DA kaynaklara ihtiyaç duyar. Bugüne kadar birçok araştırma yapılmasına rağmen, literatürde asimetrik eviricileri tamamen inceleyen bir çalışma görülmektedir. Bu çalışmada, asimetrik çok seviyeli eviricilerin yapıları ve kontrol teknikleri incelenmiştir. Çalışmada asimetrik topolojiler, kaskad ve hibrit asimetrik çok seviyeli eviriciler ve yeni topolojiler incelenmektedir. Bununla birlikte; Sinüzoidal Darbe Genişlik Modülasyonu (SDGM), Uzay Vektör Modülasyonu (UVM), Seçmeli Harmonik Eleme Darbe Genişlik Modülasyonu (SHE-DGM) gibi klasik kontrol yöntemlerine ek olarak asimetrik eviricilerin kontrolünde son dönemde yaygın olarak kullanılan en yakın üç vektör tekniği (EYÜV) de bu çalışmada incelenmiştir. **Anahtar kelimeler:** Asimetrik çok seviyeli evirici, kaskad eviriciler, hibrit eviriciler, uzay vektör diyagramı, SDGM.

Abstract

The asymmetrical multilevel inverters (MLIs) are rapidly emerging branches of conventional MLIs due to generating increased voltage levels. The asymmetrical MLIs require the same quantity of DC voltage supply with conventional MLIs to generate the desired output levels owing to be configured with proportional valued DC supplies. Inversely to being widely studies, any comprehensive review to cover asymmetrical MLIs is not proposed in the literature. This paper introduces and compares the asymmetrical MLIs in terms of topology and control techniques in order to provide further understanding. The innovative asymmetrical topologies are also considered besides cascaded and hybrid asymmetrical MLI topologies in the paper. Furthermore, the novel control techniques are analysed in addition to conventional MLI control schemes. The nearest three vector technique which is widely used is also analysed in the paper. **Keywords:** Asymmetrical multilevel inverter, cascaded inverters, hybrid inverters, space vector diagram, SPWM.

1. Giriş

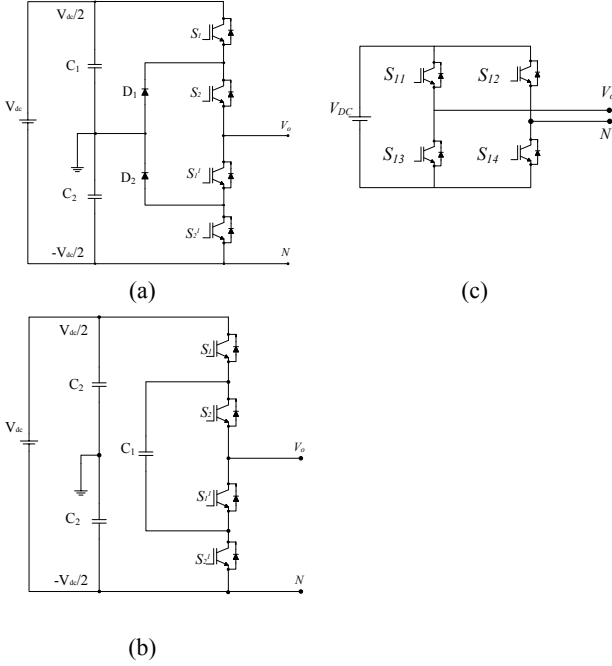
Çok seviyeli eviriciler (ÇSE) üzerine yapılan çalışmalar, ilk olarak Nabae tarafından 1981 yılında iki seviyeli Nötr Nokta Kenetlemeli (NNK) eviriciler ile başlamıştır. Nabae'nin bu çalışmasına bağlı olarak araştırmacılar ÇSE topolojileri ve kontrol tekniklerine yoğun ilgi göstermişlerdir. Günümüzde en çok kullanılan ÇSE yapıları, Şekil 1'de görülen, Diyet Kenetlemeli (DK), Kondansatör Kenetlemeli (KK) ve Kaskad H-Köprü (KHK) yapılarıdır. ÇSE'lerin kullanımının yaygın olmasının sağlayan avantajları şunlardır;

- Çıkışta elde edilen düşük dv/dt oranı,
- Hat gerilim ve akımındaki harmonik bileşenlerin azaltılması.
- ÇSE'lerde anahtarlama elemanları üzerindeki gerilim ve baskısının azalmasına bağlı olarak azalan ortak mod gerilimi sağlanması [1-3].

Şekil 1'de verilen gerilim kaynaklı evirici topolojileri üç seviyelidir. Çıkış seviyesi arttıkça, bu seviyeyi elde etmek için kullanılan anahtarlama elemanı sayısı da artmaktadır. Bu durum, maliyeti ve anahtarlama kayıplarını artırmakta ve daha karmaşık anahtarlama algoritmaları gerektirmektedir. Çıkış seviyesindeki artışa rağmen anahtarlama elemanının sabit kalmasını sağlayacak birçok çalışma yapılmaktadır. Kaskad ÇSE'ler, Şekil 1'deki topolojilerden aynı tipte olanların seri bir şekilde bağlanması ile oluşturulur. Geliştirilen bu kaskad topolojilerde, anahtarlama elemanlarının sayısı çıkış seviyesinden daha fazla artış göstermektedir. Bu şekilde kaskad bağlantılı ÇSE'ler, simetrik evirici olarak tanımlanmaktadır. Simetrik eviricilerde her kaskad hücrenin giriş gerilimi eşittir. Giriş gerilimlerinin orantılı DA kaynaklarla sağlandığı çok seviyeli topolojiler ise asimetrik evirici topolojileri olarak tanımlanmaktadır [4-8].

Asimetrik eviricilerde, anahtarlama elemanı sayısı simetrik eviricilere göre sabit kalırken giriş gerilim oranlarına bağlı olarak çıkış seviyeleri artırılabilir. Bu çalışmada asimetrik topolojiler, devre yapıları ve kontrol teknikleri açısından simetrik eviricilerle karşılaştırılmıştır. Normal asimetrik eviricilerdeki gelişmeler ve önerilen farklı asimetrik ÇSE çalışmaları ikinci bölümde yer anlatılmaktadır. Üçüncü

bölümde gelişen asimetrik ÇSE kontrol tekniklerinden en yakın üç vektör (EYÜV) ve faz kaydırmalı kontrol teknikleri ile geleneksel olarak kullanılan Uzay Vektör Modülasyonu (UVM), Sinüzoidal Darbe Genişlik Modülasyonu (SDGM) ve Seçmeli Harmonik Elemeleli Darbe Genişlik Modülasyonu (SHE-DGM) tekniklerine değinilmiştir.



Şekil 1: ÇSE yapıları, (a) DK, (b) KK, (c) KHK

2. Asimetrik evirici yapıları

Asimetrik evirici topolojilerinin temel özelliği girişindeki DA kaynakların farklı seviyelerde olmasıdır. Farklı oranda DA giriş geriliminin uygulanması, özellikle fotovoltaik paneller ve yakıt hücreleri gibi yenilenebilir enerji kaynaklarının kullanılmasında önemlidir [6]. Seri kaskad hücreler şeklinde gerçekleştirilen bu devreler, DA kaynak seviyeleri açısından simetrik evirici yapılarından farklıdır. Bununla birlikte asimetrik evirici topolojileri; asimetrik kaskad evirici (AKE) ve asimetrik hibrit evirici (AHE) olmak üzere iki farklı grupta incelenir [3,9-19]. Bu topolojilere ek olarak, geliştirilen bazı farklı asimetrik evirici topolojileri de bulunmaktadır [4,5,8,20-23].

Geniş bir kullanım alanı olan bu eviricilerin avantajlarına rağmen, kullanılan DA kaynakların ve yardımcı anahtarlama elemanların ömrünün kısa olması ve bu yapılar da kapasitörlerin şarj kontrol tekniklerindeki bazı problemler dezavantaj oluşturmaktadır [6,12,17]. Çıkış gerilim seviyesi AKE ve AHE topolojilerinin her ikisinde de Eşitlik 2 ve Eşitlik 3 ile hesaplanır. Eşitlik 1'de ise simetrik evirici çıkış gerilim seviyesinin hesaplanması görülmektedir. Simetrik evirici yapılar da çıkış gerilim seviyesi birbirine eşit kaynak gerilimlerin sayısına bağlıdır. Asimetrik yapılar ise DC gerilim seviyelerine göre, ikili (binary) ve üçlü (ternary) olarak sırasıyla Eşitlik 2 ve Eşitlik 3'de tanımlanmıştır. İkili asimetrik eviricilerde DC kaynak ikinin kuvveti olarak hesaplanırken üçlü asimetrik evirici devresinde üçün kuvveti olarak hesaplanmaktadır.

$$N_{simetrik} = 2n + 1, V_{DA} = kV, k = 1, 2, \dots, n \quad (1)$$

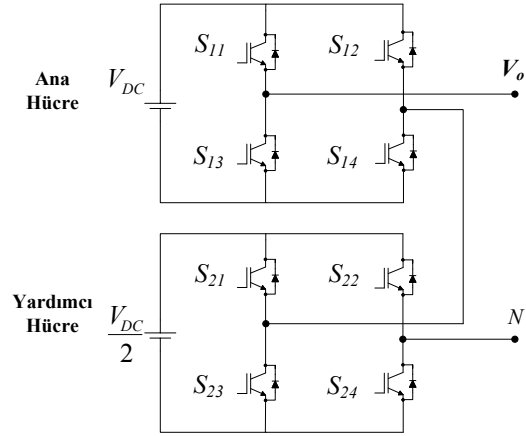
$$N_{binary} = 2^{n+1} - 1 \quad V_{DA} = V / 2^{k-1}, k = 1, 2, \dots, n \quad (2)$$

$$N_{ternary} = 3^n \quad V_{dc} = V / 3^{k-1}, k = 1, 2, \dots, n \quad (3)$$

Burada,

N = Çıkış gerilim seviyesini,
 n = Hücre sayısını,
 k = Tam sayıyı ifade etmektedir.

Şekil 2'de ikili (binary) beslemeli bir AKE ve Şekil 3'de ise üçlü (ternary) beslemeli bir AKE görülmektedir. Buradaki ikili ve üçlü kavramları, evirici girişindeki DA kaynakların birbirine olan oranlarını ifade etmekle birlikte standart uygulama topolojilerini tanımlamaktadır.

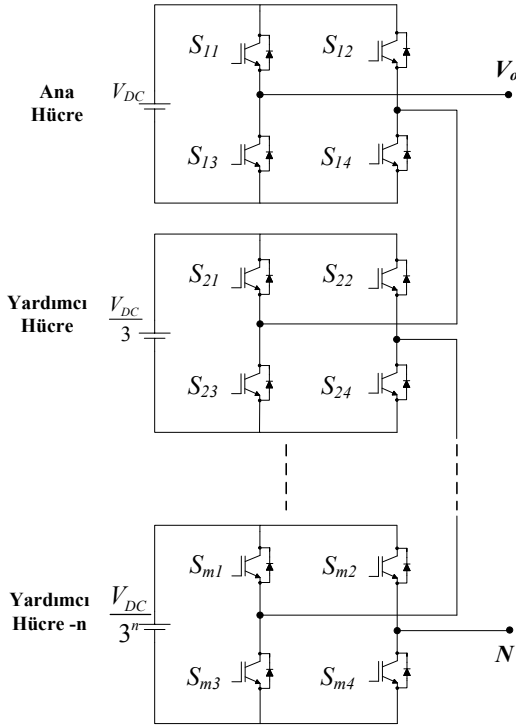


Şekil 2: Yedi seviyeli ikili (binary) AKE yapısı

İkili AKE'de girişteki DA kaynak oranları $V_1=1, V_2=1/2, V_3=1/4, V_4=1/8, V_5=1/16, \dots, V_n=1/2^n$ şeklinde olmalıdır. Üçlü AK-ÇSE yapısında da ise DC kaynak değerleri $V_1=1, V_2=1/3, V_3=1/9, V_4=1/27, V_5=1/81, \dots, V_n=1/3^n$ oranlarında olmalıdır [8,10,12,15]. Simetrik ve asimetrik eviricilerle ilgili önemli parametreler Tablo 1'de karşılaştırılmıştır. Tablodaki N terimi, çıkış gerilim seviyesini, n terimi ise kaskad bağlı hücre sayısını tanımlamaktadır. Tablodan da görüleceği gibi asimetrik eviricilerde çıkış gerilimi üstel olarak artarken anahtarlama elemanı sayısı sabit kalmaktadır. $V_{o,max}$ ifadesi ile çıkış geriliminin bir alternansının tepe değeri ifade edilmektedir.

Tablo 1: ÇSE parametrelerinin karşılaştırılması

	Simetrik	Asimetrik	
		İkili	Üçlü
N	2n+1	$2^{n+1}-1$	3^n
DC Kaynak	N	N	N
Anahtar Sayısı	4N	4N	4N
$V_{o,max}$ [p.u.]	n	2^n-1	$(3^n-1)/2$



Şekil 3: n seviyeli üçlü (trinary) AKE yapısı

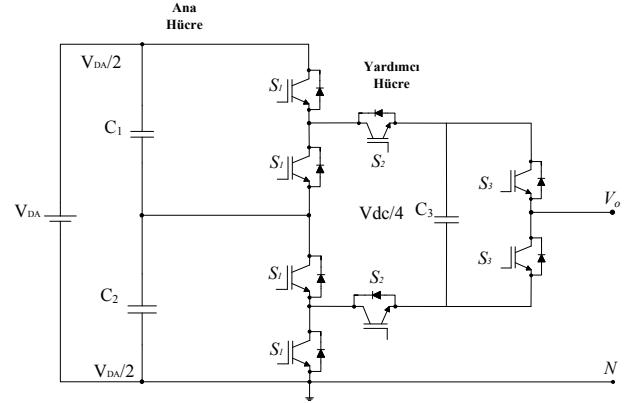
Tablo 1'deki bağıntıları kullanarak gerçekleştirilecek farklı şekillerdeki ÇSE yapılarının çıkış gerilim seviyelerine ait örneklemeler Tablo 2'de gösterilmiştir. Tablo 2'den de görüldüğü gibi asimetrik eviriciler çıkış seviyesi açısından simetrik eviricilere göre üstündür. Asimetrik evirici topolojileri arasında yapılacak bir karşılaştırmada ise giriş gerilimlerinin durumuna göre üçlü sistemde, çıkış gerilim seviyeleri artan kaynak sayısı ile daha fazla dv/dt oranı sağlanmaktadır.

Tablo 2: ÇSE'lerde çıkış gerilim seviyelerinin karşılaştırılması

Kaynak Sayısı	Çıkış Gerilim Seviyesi		
	Simetrik	Asimetrik	
		İkili	Üçlü
2	5	7	9
3	7	15	27
4	9	31	81
5	11	63	243

Yeni asimetrik evirici topolojileri içerisinde yaygın olarak kullanılan bir örnek Şekil 4'te görülmektedir. Bu yapı Gonsales vd. tarafından [4,5] üç anahtarlama fonksiyonuna karşılık 5 seviyeli çıkış gerilimi üretmesinden dolayı önerilmektedir. Bu topoloji, temelde KK yapısında kondansatörlerin şarj kontrol tekniğine dayanır. Ana hücre S_1 anahtarı ile kontrol edilen ve yüksek gerilim değeri olan hücredir. Düşük gerilim hücreleri S_2 ve S_3 anahtarlarıyla kontrol edilen yardımcı hücreler olarak tanımlanırlar. Bu yapı kenetleme diyotlarını kaldırarak yüksek gerilim kısmındaki

karmaşıklığın azaltılmasını sağlamıştır. Buna ek olarak, her kondansatör için fazladan kontrol ihtiyacını da ortadan kaldırdığını ifade edilmektedir.

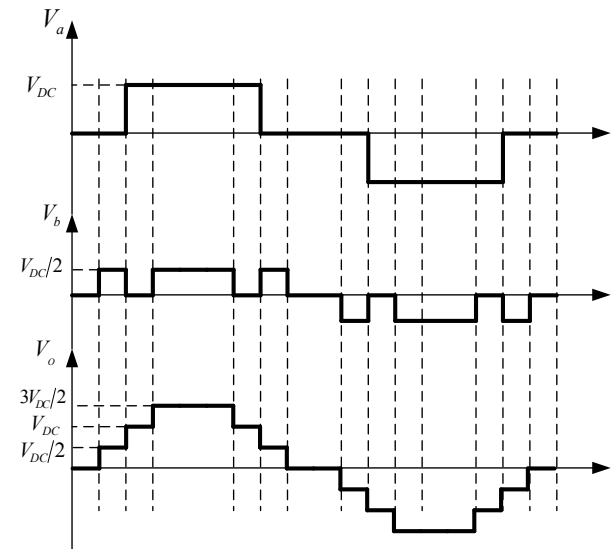


Şekil 4: İkili asimetrik evirici

2.1. Asimetrik kaskad eviriciler (AKE)

Şekil 2 ve Şekil 3'te görülen AKE topolojilerinde giriş gerilim seviyeleri birbirinden farklı ve ikinin veya üçün katı olarak artmaktadır. Giriş gerilim seviyelerindeki bu farklılıktan dolayı, giriş geriliminin yüksek olduğu hücreler yüksek gerilim hücresi, düşük olduğu hücreler ise düşük gerilim hücresi olarak adlandırılmaktadırlar. Bunun yanı sıra, iki farklı seviyeyi üreten anahtarlama işaretleri de birbirinden farklı olmak zorundadır [1-5,33].

Yüksek gerilim ve düşük gerilim hücrelerine uygulanan anahtarlama işaretlerinin frekansı, DA besleme seviyeleri ile ters orantılı olarak düzenlenmektedir. Yüksek gerilim hücresine düşük anahtarlama frekansı, düşük gerilim hücresine ise yüksek anahtarlama frekansı uygulanır. Şekil 5'te ikili yapıdaki AKE devresine ait çıkış gerilim seviyeleri görülmektedir



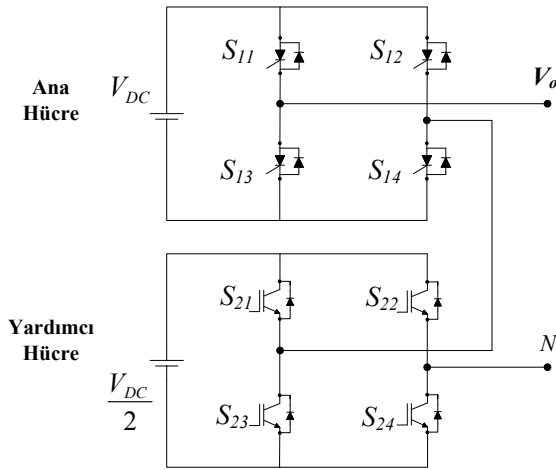
Şekil 5: AKE giriş gerilimi, anahtarlama işaretleri ve çıkış gerilim seviyeleri

Şekil 2'deki topoloji esas alınarak açıklanacak olursa V_a eksenine ana hücrenin çıkış gerilim dalga şeklini, V_b eksenine yardımcı hücrenin çıkış gerilim dalga şeklini ifade etmektedir. V_o ise her iki hücre arasındaki toplam çıkış dalga şekli ya da V_{ab} hat gerilimi olarak ifade edilebilir. Şekil 2'de görülen ikili yapıda iki hücreden oluşan yedi seviyeli AKE topolojisinde giriş gerilim değerleri; V_{DC} ve $V_{DC}/2$ iken çıkış geriliminin seviyeleri; $+3V_{DC}/2$, $+V_{DC}$, $+V_{DC}/2$, 0 , $-V_{DC}/2$, $-V_{DC}$, $-3V_{DC}/2$ genliklerinde olmaktadır.

Eğer bu devrede üçlü yapı kullanılmış ve giriş değerleri V_{DC} ve $V_{DC}/3$ şeklinde uygulanmış olsaydı çıkış gerilim değerleri; $+4V_{DC}/3$, $+V_{DC}$, $+2V_{DC}/3$, $+V_{DC}/3$, 0 , $-V_{DC}/3$, $-2V_{DC}/3$, $-V_{DC}$, $-4V_{DC}/3$ seviyelerinde olacak ve evirici 9 seviyeli çıkış gerilimi üretecektir.

2.2. Asimetrik hibrit eviriciler (AHE)

AHE'ler, temelde asimetrik kaskadlara benzemektedir. Hibrit topolojide DA kaynakların oranlarına ek olarak kaskad devrelerde kullanılan anahtarlama elemanları farklı özelliktedir. Uygulanacak anahtarlama frekansları, yüksek gerilim hücrelerinde GTO gibi yüksek güçlü anahtarlama elemanları, düşük gerilim hücrelerinde ise IGBT ya da MOSFET gibi GTO'ya göre daha yüksek frekansta çalışan anahtarlama elemanları kullanılmasını gerektirmektedir. Şekil 6'da iki hücreden oluşan yedi seviyeli AHE devresi görülmektedir. Bu topoloji, kaskad topoloji ile karşılaştırıldığında çıkış gerilim seviyeleri ve kontrol yöntemleri yönünden benzer özellikler göstermekle birlikte yüksek gerilim ve yüksek güç uygulamalarında ön plana çıkmaktadır [1-5,33].



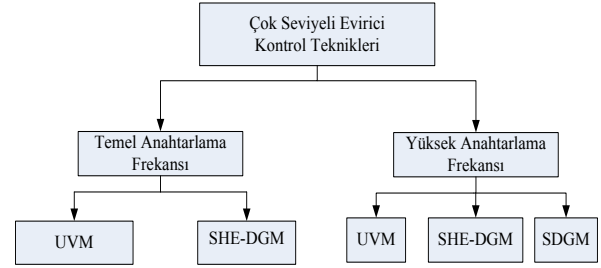
Şekil 6: İki Hücreli AHE yapısı

3. Kontrol teknikleri

Kaskad ve hibrit asimetrik eviricilerin ortak özellikleri ana ve yardımcı hücreler arasındaki güç paylaşımıdır. Asimetrik evirici yapısındaki ana hücre yüksek güçte işlem yaparken, yardımcı hücre ana hücreye bağlı olarak düşük güç üretimi gerçekleştirir [6,9,19,20]. Bu işlem durumu üretilen güce ters orantılı olacak şekilde farklı anahtarlama frekansı kullanımı gerektirir [8,24]. Şekil 3'te artan yardımcı hücrelerin sayısının bulunduğu AKE yapısı gösterilmiştir. Asıl hücrede üretilen

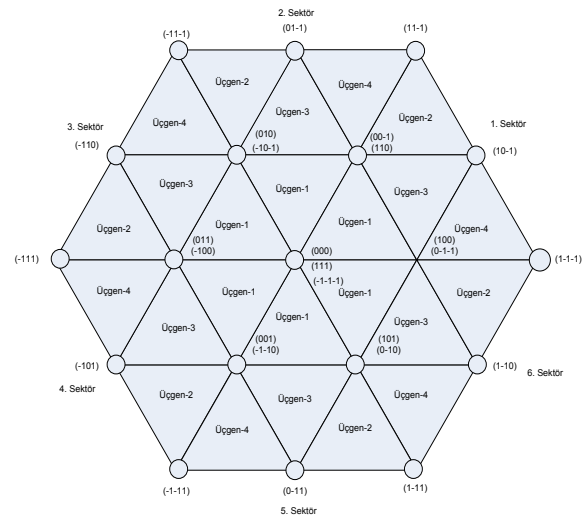
güç 1 p.u. iken ilk yardımcı hücredeki güç oranı 1/3 p.u. olacaktır. Eviricinin eşit olmayan güç üretim özelliğinden dolayı üretilen anahtarlama sinyali her hücre için farklı frekanstadır. Literatürde eviricilerin kontrolü için çeşitli Darbe Genişlik Modülasyonları (DGM) kontrol tekniği olarak önerilmektedir. Eviriciye uygulanan anahtarlama işaretlerinin temel frekans ve yüksek frekans özelliklerine göre sınıflandırılması Şekil 7'de verilmiştir [3,21,25-27].

Çok seviyeli ya da asimetrik eviricilerin kontrolünde yaygın olarak kullanılan uzay vektör modülasyonu (UVM), seçmeli harmonik elemeli DGM (SHE-DGM) ve sinüsoidal DGM (SDGM) geleneksel kontrol teknikleri olarak bilinmektedir [22,26,27]. Bu geleneksel kontrol tekniklerinin tamamı Çolak vd. tarafından [3] numaralı kaynakta detaylı olarak incelenmiştir. Bu tekniklerin yanı sıra eviricilerin veriminin artırılması, toplam harmonik bozulmasının (THB) ve anahtarlama kayıplarının en aza indirilmesi için geliştirilmiş olan yeni teknikler de bulunmaktadır [21,28-31].



Şekil 7: ÇSE kontrol teknikleri

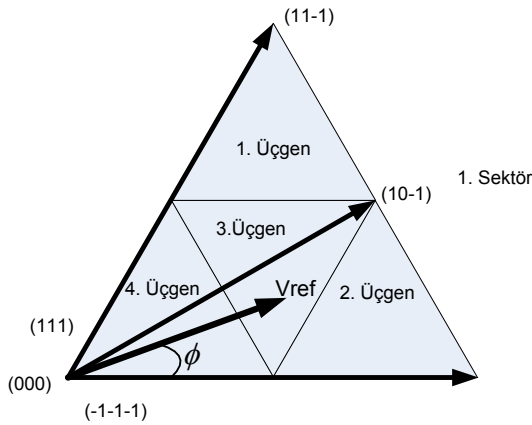
Son yıllarda geliştirilen bu modülasyon tekniklerinde UVM'ye yönelik iyileştirme çalışmaları öne çıkmaktadır. Bu çalışmalar içerisinde yoğun olarak araştırılan UVM tekniği Şekil 8'deki diyagramla ifade edilmektedir. Buna ek olarak çok taşıyıcılı SDGM şemaları da yoğun olarak çalışılmaktadır. EYÜV modülasyonu temelde UVM modülasyonunun geliştirilmiş şeklidir. Bu modülasyon türünde de anahtarlama durumları altıgen bir yapının içerisinde görülmektedir (Şekil 8).



Şekil 8: EYÜV modülasyonu anahtar durumları

EYÜV modülasyonunun UVM'den ayrılan tarafı ise anahtarlama için kullanılacak en uygun durumunun vektör diyagramı içerisinde seçilmesidir.

Şekil 9'da vektör uzayında seçilen bir üçgen görülmektedir. Bu kontrol yönteminde DGM'de çıkış gerilim vektörünün değerini hesaplamak için öncelikli olarak seçilen bölgeye ait üçgenlerin durumları çıkarılır. Üçgenlerin bulunduğu durumlar ve hesaplanan DGM periyotları Tablo 3'te incelenmiştir. Bu periyot hesaplaması yapıldıktan sonra gerilim vektörleri herhangi bir sıra ile uygulanırlar. Eğer istenirse bu periyot birçok alt aralığa bölünerek de anahtarlama elemanlarına uygulanabilir [34].



Şekil 9: EYÜV modülasyonu

Tablo 3'de görülen hesaplamalardaki θ açısı referans geriliminin oluşturduğu açıdır. Buradaki hesaplamalarda kullanılan modülasyon indeksinin hesaplaması ve ifadelerin tanımı ise şu şekildedir:

Tablo 3: EYÜV modülasyonunda periyot uzunluğu hesabı

Bölge	EYÜV	EYÜV periyot uzunluğu
1. Üçgen	000 111 -1-1-1	$t_0 = T \{1 - 2M_i \sin(\theta + \pi/3)\}$
	100 0-1-1	$t_1 = 2M_i T \sin(\pi/3 - \theta)$
	110 00-1	$t_2 = 2M_i T \sin(\theta)$
2. Üçgen	100 0-1-1	$t_1 = 2T \{1 - M_i \sin(\theta + \pi/3)\}$
	10-1	$t_3 = 2M_i T \sin(\theta)$
	1-1-1	$t_4 = T \{2M_i \sin(\theta/3 - \theta) - 1\}$
3. Üçgen	100 0-1-1	$t_1 = T \{1 - 2M_i \sin(\theta)\}$
	110 00-1	$t_2 = T \{1 - 2M_i \sin(\pi/3 - \theta)\}$
	10-1	$t_3 = T \{2M_i \sin(\pi/3 - \theta) - 1\}$
4. Üçgen	110 00-1	$t_2 = 2T \{1 - M_i \sin(\theta + \pi/3)\}$
	10-1	$t_3 = 2M_i T \sin(\pi/3 - \theta)$
	11-1	$t_5 = T \{2M_i \sin(\theta) - 1\}$

$$M_i = \frac{V_m}{V_{DA}/\sqrt{3}} \quad (4)$$

Burada,

- M_i : Modülasyon indeksini,
- V_{DA} : DA hat gerilimini,
- V_m : Referans gerilim vektörünün genliğini

ifade etmektedir.

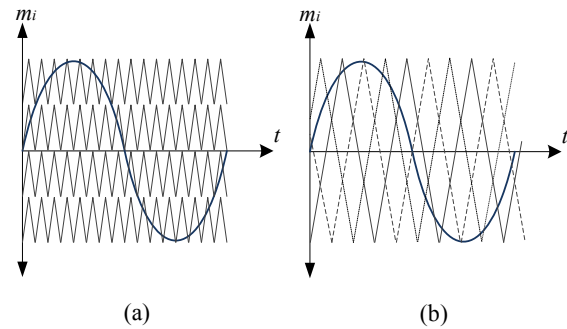
Tablodaki terimler ise;

- T : DGM periyodu
- θ : Referans gerilim vektörü ile en yakın tam gerilim vektörünün arasındaki açıyı,
- t_0 : (000, 111, -1-1-1) sıfır gerilim vektörlerinin toplam periyot uzunluğunu,
- t_1 : (100, 0-1-1) küçük gerilim vektörlerinin toplam periyot uzunluğunu,
- t_2 : (110, 00-1) küçük gerilim vektörlerinin toplam periyot uzunluğunu,
- t_3 : (10-1) küçük gerilim vektörlerinin toplam periyot uzunluğunu,
- t_4 : (1-1-1) küçük gerilim vektörlerinin toplam periyot uzunluğunu,
- t_5 : (00-1) küçük gerilim vektörlerinin toplam periyot uzunluğunu

ifade etmektedir.

Asimetrik eviricilerde kullanılan SDGM kontrol tekniği ise temel frekans anahtarlama kayıplarının azaltılmasını gerçekleştirmektedir. Çok taşıyıcı SDGM kontrol tekniği, ÇSE'lerin performanslarını artırmak için uygulanmaktadır ve taşıyıcı sinyalin dikey veya yatay olarak düzenlenmesine göre sınıflandırılmıştır. Dikey çok taşıyıcı SDGM tekniği faz yer değiştirmeli, karşılıklı faz yer değiştirmeli ve alternatif karşılıklı faz yer değiştirmeli olarak sınıflandırılabilir.

Yatay düzenleme ise faz kaydırmalı SDGM tekniği olarak bilinir. SDGM tekniklerinin içerisinde düşük anahtarlama kayıpları ve düşük toplam harmonik bozulma oranı sebebiyle en yaygın kullanılanlar faz yer değiştirmeli ve faz kaydırmalı SDGM teknikleridir [3,22,32]. Taşıyıcı ve modüle edici sinyalin üretim ve karşılaştırması Şekil 10'da gösterilmektedir.



Şekil 10: Çok taşıyıcı SDGM kontrol yapısı a)Faz yer değiştirmeli b)Faz kaydırmalı

4. Sonuçlar

Bu çalışma, çok seviyeli eviriciler konusunda temel bilgi düzeyine sahip araştırmacılar için asimetrik çok seviyeli eviricilerin tanıtılmasını amaçlamaktadır. Çalışmada asimetrik evirici topolojileri ve kontrol teknikleri üzerine literatür taraması sunulmaktadır. Asimetrik topolojiler daha az anahtarlama elemanı kullanarak daha fazla dv/dt oranı elde edilmesini sağlamaktadır. Asimetrik topolojilerin bahsedilen avantajlarından dolayı yoğun olarak araştırılmasına rağmen, topolojik yapılar ve anahtarlama teknikleri konusunda inceleme çalışmalarının eksikliği görülmektedir. Asimetrik evirici topolojileri kaskad veya hibrit olarak, aynı veya farklı anahtarlama elemanlarının oluşturduğu evirici hücrelerinin seri bağlanmasından oluşmaktadır. Asimetrik evirici hücrelerinde farklı anahtarlama elemanlarının kullanıldığı asimetrik hibrit topolojilerin, hücrelerde güç paylaşımı yoluyla anahtarlama elemanlarının kullanım süresini artırdığı görülmektedir.

Bunun yanı sıra, hibrit topolojiler asimetrik kaskad topolojilere göre daha yüksek gerilim ve akım değerlerinde çalışmaktadır. Bu özelliğinden dolayı anahtarlama kayıpları ve THB oranlarının daha düşük olduğu da literatür taramasından anlaşılmaktadır. Asimetrik eviricilerin kontrolünde kullanılan en yaygın teknikler ise UVM ve SDGM gibi genel kontrol teknikleri ve bunların analitik hesaplamaları azaltmak için tasarlanan türevleri olarak özetlenebilir. UVM tekniğinin geliştirilmesi ile oluşturulan EYÜV kontrolü ile ön hesaplama ve anahtarlama vektör sayılarının azaltılması sağlanmaktadır. Eviricinin anahtarlama kayıplarını azaltmak için SDGM tekniğinde taşıyıcı sayısının artırıldığı görülmektedir.

5. Kaynaklar

- [1] Rodriguez J., Lai J., Peng F. Z., "Multilevel inverters: a survey of topologies, controls, and applications", IEEE Transactions on Industrial Electronics, vol.49, no.4, pp. 724- 738, Aug 2002
- [2] Malinowski M., Gopakumar K., Rodriguez J., Pérez, M.A., "A Survey on Cascaded Multilevel Inverters", IEEE Transactions on Industrial Electronics, vol.57, no.7, pp.2197-2206, July 2010
- [3] Colak I., Kabalcı E., Bayindir R., Review of multilevel voltage source inverter topologies and control schemes", Energy Conversion and Management, Volume 52, pp. 1114-1128, Issue 2, February 2011.
- [4] Gonzalez S.A., Valla M.I., Christiansen C.F., "Analysis of a Cascade Asymmetric Topology for Multilevel Converters", IEEE International Symposium on Industrial Electronics, pp.1027-1032, 4-7 June 2007.
- [5] Gonzalez S.A., Valla M.I., Christiansen C.F., "Five-level cascade asymmetric multilevel converter", IET Power Electronics, vol.3, no.1, pp.120-128, January 2010.
- [6] Babaei E., Moeinian M. S., "Asymmetric cascaded multilevel inverter with charge balance control of a low resolution symmetric subsystem", Energy Conversion and Management, vol 51, no. 11, pp. 2272-2278, November 2010.
- [7] Lu S., Mariethoz S., Corzine K.A., "Asymmetrical Cascade Multilevel Converters With Noninteger or Dynamically Changing DC Voltage Ratios: Concepts and Modulation Techniques", IEEE Transactions on Industrial Electronics, vol.57, no.7, pp.2411-2418, July 2010.
- [8] Babaei E., Hosseini S. H., "New cascaded multilevel inverter topology with minimum number of switches", Energy Conversion and Management, vol. 50, no 11, pp. 2761-2767, November 2009.
- [9] Nami A., Zare F., Ledwich G., Ghosh A., Blaabjerg F., "Comparison between symmetrical and asymmetrical single phase multilevel inverter with diode-clamped topology", Power Electronics Specialists Conference, PESC 2008, pp.2921-2926, 15-19 June 2008.
- [10] Rodriguez J., Bernet S., Bin Wu, Pontt J.O., Kouro S., "Multilevel Voltage-Source-Converter Topologies for Industrial Medium-Voltage Drives", IEEE Transactions on Industrial Electronics, vol.54, no.6, pp.2930-2945, Dec. 2007.
- [11] Bendre A., Krstic S., Vander Meer J., Venkataramanan G., "Comparative evaluation of modulation algorithms for neutral-point-clamped converters", IEEE Transactions on Industry Applications, vol.41, no.2, pp. 634- 643, March-April 2005.
- [12] Babaei E., Hosseini S.H., Gharehpetian G.B., Tarafdar Haque M., Sabahi M., "Reduction of dc voltage sources and switches in asymmetrical multilevel converters using a novel topology", Electric Power Systems Research, vol. 77, no. 8, pp. 1073-1085, June 2007.
- [13] Barriuso P., Dixon J., Flores P., Moran L., "Fault-Tolerant Reconfiguration System for Asymmetric Multilevel Converters Using Bidirectional Power Switches", IEEE Transactions on Industrial Electronics, vol.56, no.4, pp.1300-1306, April 2009.
- [14] Zhang Y., Sun L., "An Efficient Control Strategy for a Five-Level Inverter Comprising Flying-Capacitor Asymmetric H-Bridge", IEEE Transactions on Industrial Electronics, vol.58, no.9, pp.4000-4009, Sept. 2011.
- [15] Corzine K.A., Wielebski M.W., Peng F., Wang J., "Control of cascaded multi-level inverters", IEEE International Electric Machines and Drives Conference, vol.3, no., pp. 1549- 1555 vol.3, 1-4 June 2003.
- [16] Sujanarko B, Ashari M., Purnomo M. H., "Universal Algorithm Control for Asymmetric Cascaded Multilevel Inverter", International Journal of Computer Applications vol. 10, no. 6, pp. 38-44, November 2010.
- [17] Ruderman A., Schlosberg S., "A hybrid asymmetric cascaded multilevel inverter comprising high resolution and symmetric low resolution parts", IEEE 25th Convention of Electrical and Electronics Engineers in Israel, pp.021-025, 3-5 Dec. 2008.
- [18] Gonzalez S.A., Valla M.I., Christiansen C.F., "Design of a DSTATCOM using a 5-level cascade asymmetric multilevel converter", 35th Annual Conference of IEEE Industrial Electronics, pp.3643-3648, 3-5 Nov. 2009.
- [19] Soto-Sanchez D., Green T.C., "Control of a modular multilevel converter-based HVDC transmission system", 14th European Conference on Power Electronics and Applications (EPE 2011), pp.1-10, Aug. 30 2011-Sept. 1 2011.
- [20] Boora A.A., Nami A., Zare F., Ghosh A., Blaabjerg F., "Voltage-Sharing Converter to Supply Single-Phase Asymmetrical Four-Level Diode-Clamped Inverter With High Power Factor Loads", IEEE Transactions on Power Electronics, vol.25, no.10, pp.2507-2520, Oct. 2010.
- [21] Nami A., Zare F., Ghosh A., Blaabjerg F., "A Hybrid Cascade Converter Topology With Series-Connected

- Symmetrical and Asymmetrical Diode-Clamped H-Bridge Cells", IEEE Transactions on Power Electronics, vol.26, no.1, pp.51-65, Jan. 2011.
- [22] Colak I., Bayindir R., Kabalci E., "Design and analysis of a 7-level cascaded multilevel inverter with dual SDCSs", International Symposium on Power Electronics Electrical Drives Automation and Motion (SPEEDAM), pp.180-185, 14-16 June 2010.
- [23] Ludois D.C., Reed J.K., Venkataramanan G., "Hierarchical Control of Bridge-of-Bridge Multilevel Power Converters", IEEE Transactions on Industrial Electronics, vol.57, no.8, pp.2679-2690, Aug. 2010.
- [24] Khoucha F., Lagoun M.S., Kheloui A., El Hachemi Benbouzid M., "A Comparison of Symmetrical and Asymmetrical Three-Phase H-Bridge Multilevel Inverter for DTC Induction Motor Drives", IEEE Transactions on Energy Conversion, vol.26, no.1, pp.64-72, March 2011.
- [25] Naderi R., Rahmati A., "Phase-shifted carrier PWM technique for general cascaded inverters", IEEE Trans. Power Electron., vol. 23, no. 3, pp. 1257-1268, May 2008.
- [26] Rodriguez J., Moran L., Correa P., Silva C., "A vector control technique for medium-voltage multilevel inverters", IEEE Trans. Power Electron., vol. 49, no. 4, pp. 882-888, Aug. 2002.
- [27] Dahidah M. S. A., Agelidis V. G., "Selective harmonic elimination PWM control for cascaded multilevel voltage source converters: A generalized formula", IEEE Trans. Power Electron., vol. 23, no. 4, pp. 518-529, Jul. 2008.
- [28] Du Z., Tolbert L.M., Ozpineci B., Chiasson J. N., "Fundamental frequency switching strategies of a seven-level hybrid cascaded H-bridge multilevel inverter", IEEE Trans. Power Electron., vol. 24, no. 1, pp. 25-33, Jan. 2009.
- [29] Pereda J., Dixon J., "High-Frequency Link: A Solution for Using Only One DC Source in Asymmetric Cascaded Multilevel Inverters", IEEE Transactions on Industrial Electronics, vol.58, no.9, pp.3884-3892, Sept. 2011.
- [30] Dixon J., Pereda J., Castillo C., Bosch S., "Asymmetrical Multilevel Inverter for Traction Drives Using Only One DC Supply", IEEE Transactions on Vehicular Technology, vol.59, no.8, pp.3736-3743, Oct. 2010.
- [31] Babu N.N.V.S., Rao D.A., Fernandes B.G., "Asymmetrical DC link voltage balance of a cascaded two level inverter based STATCOM", TENCON 2010 IEEE Region 10 Conference, pp.483-488, 21-24 Nov. 2010.
- [32] Zambra D.A.B., Rech C., Pinheiro J.R., "Comparison of Neutral-Point-Clamped, Symmetrical, and Hybrid Asymmetrical Multilevel Inverters", IEEE Transactions on Industrial Electronics, vol.57, no.7, pp.2297-2306, July 2010.
- [33] Sun X., Yun Z., "Hybrid Control Strategy for a Novel Asymmetrical Multilevel Inverter", International Conference on Intelligent System Design and Engineering Application (ISDEA), pp.827-830, 13-14 Oct. 2010.
- [34] Üstüntepe B., "A Novel Two-Parameter Modulation and Neutral Point Potential Control Method for the Three-Level Neutral Point Clamped Inverter", MSc. Thesis, The Graduate School of Natural And Applied Sciences of Middle East Technical University, December 2005.