



Düzce Üniversitesi Bilim ve Teknoloji Dergisi

Araştırma Makalesi

4 Bit Flash Tabanlı Zaman Sayısal Dönüştürücü Tasarımı

Yasin TALAY^a, Oktay AY TAR^{b,*}

^a TUBITAK BILGEM, Kocaeli, TÜRKİYE

^b Elektrik Elektronik Mühendisliği Bölümü, Mühendislik Fakültesi, Bolu Abant İzzet Baysal Üniversitesi, Bolu, TÜRKİYE

* Sorumlu yazarın e-posta adresi: oaytar@ibu.edu.tr

ÖZET

Yapılan bu çalışmada, Tanner Tools Pro devre tasarım programında 0.25µm CMOS model kütüphanesi kullanılarak flash tabanlı 4 bit Zaman-Sayısal Dönüştürücü(Z /S)(Time-to-Digital Converter(TDC)) yapısı önerilmiştir. Tasarlanan zaman-sayısal dönüştürücü devresi; zaman geciktirme birimi, karşılaştırıcı, dinamik tutucu, çoğullayıcı devre ve PLA-ROM devre bloklarından oluşmaktadır. Önerilen bu Z/S dönüştürücü tasarımı 3.3V besleme gerilimi altında toplam 126.3mW güç harcamaktadır. Tasarlanan Z/S dönüştürücünün çözünürlüğü 1.31ns olup, INL değeri (-0.28/0.29)LSB ve DNL değeri (-0.2/+0.6) LSB olarak bulunmuştur.

Anahtar Kelimeler: Analog-sayısal dönüştürücüler, Zaman-sayısal dönüştürücüler, Flash tabanlı analog-sayısal dönüştürücüler

A 4 Bit Time to Digital Converter Design Based on Flash Structure

ABSTRACT

This paper presents a 4-bit Time to Digital Converter (T/D) design using the Tanner Tools Pro with 0.25µm CMOS model library. The proposed T/D converter consists of delay block, comparator block, dynamic latch, multiplexer block, PLA-ROM. The proposed T/D converter consumes 126.3mW from 0-3.3V supply. Resolution of the proposed T/D converter is about 1.31ns. The INL and DNL of the designed 4 Bit T/D Converter are (-0.28/0.29)LSB and (-0.2/+0.6)LSB, respectively.

Keywords: Analog-to-digital converter, Time-to-digital converter, Flash analog-to-digital converter

I. GİRİŞ

Analogue / Sayısal Dönüştürücüler(A/S D); analog giriş işaretini sayısal işarete dönüştürerek, bu bilgiye ihtiyaç duyan cep telefonu, kamera, kablolu ve kablosuz haberleşme sistemleri gibi yapıların en önemli bloklarından biri olarak gösterilmektedir. Sayısal sinyali işlemenin, analog sinyale kıyasla bazı üstünlükleri vardır. Genel olarak sayısal sinyal işlemek analog sinyal işlemeye kıyasla daha az güç harcar, sayısal sinyal analog sinyale göre daha kolay depolanabilir ve sayısal sinyalin gürültüden daha az etkilenmesi gibi avantajları vardır.

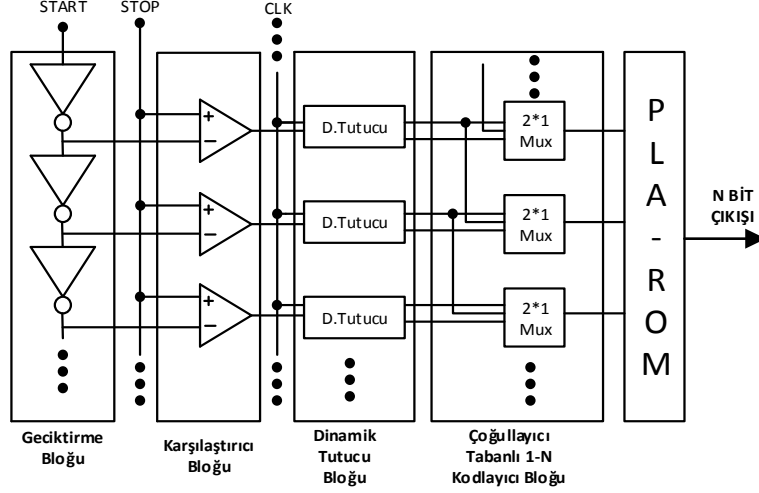
Zaman, analog sinyalin bir formudur[1]. Dolayısıyla iki zaman farkı durumu, analog bir bilgi olarak değerlendirilir. Bir sinyalin zaman bilgisi zaman-sayısal dönüştürücü(Z/S D)(Time-to-Digital Converter(TDC)) yardımı ile belirlenebilir. Son yıllarda özellikle zaman sinyali test ve ölçümü yapan cihazlarda, biyo-kimyasal sensör kullanan okuma devrelerinde, kapasitif sensör okuma devrelerinde, hassas zaman aralığı ölçümü gerektiren yüksek enerjili parçacık dedektörlerinde, lazer ile mesafe ölçme, lazer ile tarama yapan görüntü sistemlerinde ve frekans sentezleme devrelerinde sıklıkla kullanılmaktadır[2-5]. Z/S dönüştürücüler, özellikle faz kilitlemeli çevrim(FKÇ(PLL)) devrelerinin önemli bir parçası olup, burada FKÇ'in faz dedektörlüğünü yaparlar[6].

Z / S dönüştürücü, A/S dönüştürücüye benzemektedir. Fakat A/S dönüştürücüler analog bölgede çalışır ve analog bilginin büyüklüğünü sayısal bilgiye dönüştürür. Z/S dönüştürücüler zaman bölgesinde çalışır ve zaman bilgisini sayısal bilgiye dönüştürür. Z/S dönüştürücü, başlangıç ve bitiş sinyalleri arasında geçen zamanı ölçer ve bu iki sinyal arasındaki zaman farkını sayısal koda dönüştürür. Bir kod dönüşümü için geçen süre Z/S dönüştürücünün performansının belirlenmesindeki en önemli unsurdur ve bu kod değişimi için gereken en küçük zaman aralığı, Z/S dönüştürücünün çözünürlüğü olarak ifade edilir. Z/S dönüştürücüler; içerdikleri yapılara göre flash, boru tipi, ardışıl yaklaşımlı Z/S dönüştürücü gibi sınıflandırılabilirler gibi[7], aynı zamanda doğrudan dönüşüm ve dolaylı dönüşüm olarak da sınıflandırılabilir[8].

Önerilen bu çalışmada paralel(flash) tabanlı zaman sayısal dönüştürücü yapısı temel alınmıştır. Paralel tabanlı zaman-sayısal dönüştürücü, tıpkı genlik seviyesinin karşılaştırarak karar veren ve sayısal bilgiye dönüşüm yapan paralel analog sayısal dönüştürücülere benzemektedir[9]. Bu yüzden dönüşüm hızının yüksek olduğu bilinmektedir[10]. Paralel tabanlı analog sayısal dönüştürücülerde, referans gerilimlerini elde etmek için kullanılan direnç bölme dizisi yerine, zaman-sayısal dönüştürücülerde zaman-geciktirme bloğu kullanılmaktadır. N bitlik bir Z/S dönüştürücü için 2^N-1 adet zaman geciktirme devresine ihtiyaç vardır. Bu yüzden yüksek çözünürlük istendiğinde güç tüketimi ve yonga alanında artış meydana gelecektir[11]. Yüksek çözünürlük istendiğindeki en büyük dezavantajlardan birisi bu durumdur. Zaman geciktirme elemanı olarak cmos inverter, sayısal tampon ya da D tipi flip-floplar kullanılmaktadır[10,11]. Kullanılan bu devrelere göre bir diğer dezavantaj ise çözünürlüğün zaman gecikme devresi ile sınırlı olmasıdır fakat aynı durum cmos inverter devreleri ile yapılan tasarımlarda da geçerlidir. Bu yapının en önemli avantajlarından birisi ise yapının tekdüze olması ve yüksek dönüşüm hızına sahip olmasıdır[10,12].

II. PARALEL ZAMAN SAYISAL DÖNÜŞTÜRÜCÜ YAPISI VE BLOK TASARIMI

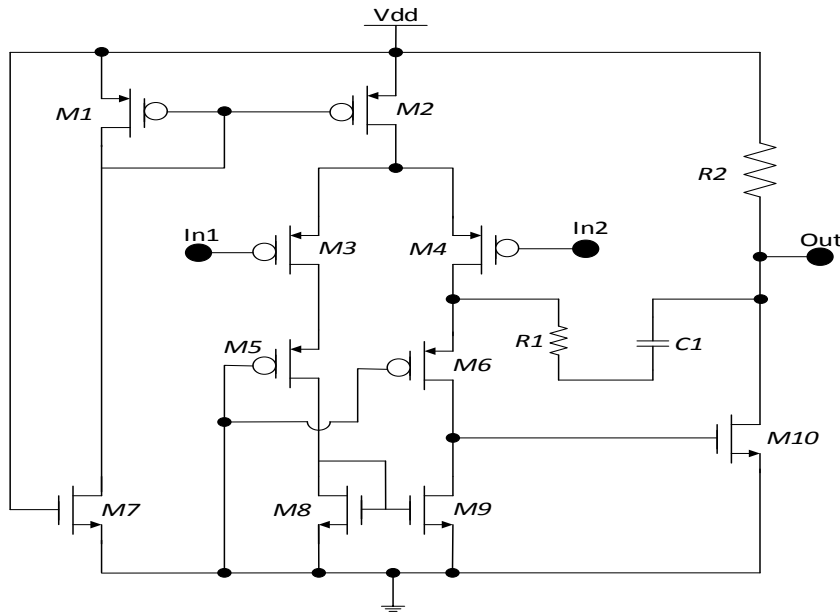
Bu çalışmada önerilen paralel zaman-sayısal dönüştürücü blok şeması Şekil-1'de gösterilmektedir. Paralel zaman-sayısal dönüştürücü zaman geciktirme bloğu, karşılaştırıcı bloğu, dinamik tutucu bloğu, çoğullayıcı tabanlı 1-n kod çözücü bloğu ve PLA-ROM'dan oluşmaktadır.



Şekil 1. Flash tabanlı zaman-sayısal dönüştürücü blok şeması

A. ZAMAN GECİKTİRME BLOĞU

Zaman-sayısal dönüştürücü tasarımlarında en önemli yapı, zaman geciktirme bloğudur. Zaman geciktirme bloğunda geciktirilen zaman süresi ile geciktirme bloğunda kullanılan karşılaştırıcının uyumlu çalışması analog-sayısal dönüştürücünün çözünürlüğünü doğrudan etkileyecektir. Bu çalışmada, zaman geciktirmek için kullanılan devre Şekil 2'de gösterilen analog tampon devresidir[13]. Tablo 1'de analog tampon devresinde kullanılan transistörlerin W/L oranları, direnç değerleri ve kapasite değeri gösterilmiştir. Burada kullanılan analog tampon devresinin çıkışına kazancı artırmak için sayısal tampon devresi bağlanmıştır.



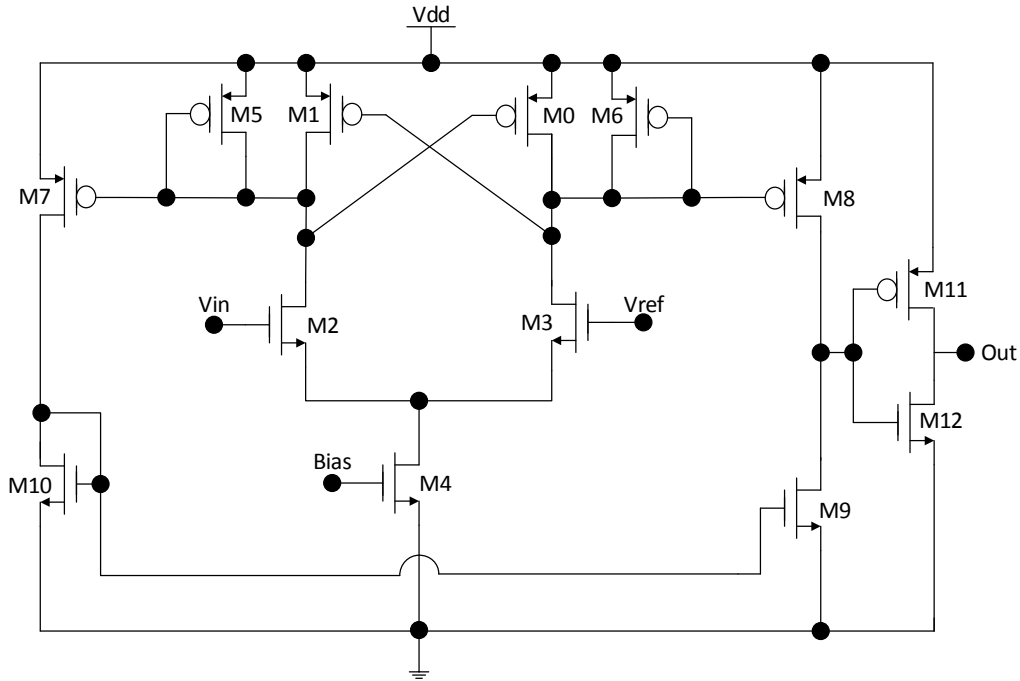
Şekil 2. Analog tampon devresi[13]

Tablo 1. Transistörlerin kanal boyu ve genişlik (W/L) oranları ve devre elemanlarının değerleri

| Devre Elemanın Adı | W/L (μm) | Devre Elemanın Adı | W/L (μm) | Devre Elemanın Adı | Değeri |
|--------------------|-----------------|--------------------|-----------------|--------------------|-----------------|
| M1 | 4.25 / 0.25 | M2 | 5.25 / 0.5 | R1 | 20 k Ω |
| M3 | 8.25 / 0.25 | M4 | 8.25 / 0.25 | R2 | 41.1 k Ω |
| M5 | 13.5 / 0.25 | M6 | 13.5 / 0.25 | C1 | 0.5 pF |
| M7 | 13.5 / 0.25 | M8 | 13.25 / 0.25 | | |
| M9 | 13.5 / 0.25 | M10 | 1 / 0.25 | | |

B. KARŞILAŞTIRICI

Yapılan bu çalışmada kullanılan karşılaştırıcı devresi Şekil 3'de gösterilmiş olup, aynı zamanda kullanılan NMOS ve PMOS'ların kanal boyu ve genişlik(W/L) oranları Tablo 2'de verilmiştir. Bu tasarımda karşılaştırıcı devresindeki kutuplama gerilimi(Vbias) 1.5V olarak kullanılmıştır. Karşılaştırıcı devresinin girişi farksal giriş çifti NMOS(M2-M3) mosfetlerinden oluşmaktadır. Bu devredeki mosfet giriş çiftinin DC kutuplanmasını sağlayabilmek için, (M5-M6) mosfetleri diyot bağlantılı olarak ve (M0-M1) pozitif geribesleme transistörleri ise birbirine çapraz bağlanmıştır. Burada kullanılan çapraz bağlı geri besleme mosfetlerinin amacı birinci kat da elde edilen gerilim kazancını artırmak ve çıkış direncini dengelemektir. M5 ve M7 mosfetleri sayesinde M10 ve M9 mosfetlerinden akacak akımın referans değeri elde edilir. Bu devredeki çıkış ucu ise M8 mosfetinden oluşan ortak-kaynaklı kuvvetlendiriciye bağlı olup, devrede ki son kat ise M11 ve M12 transistörlerinden meydana gelen evirici yapısından oluşmaktadır.



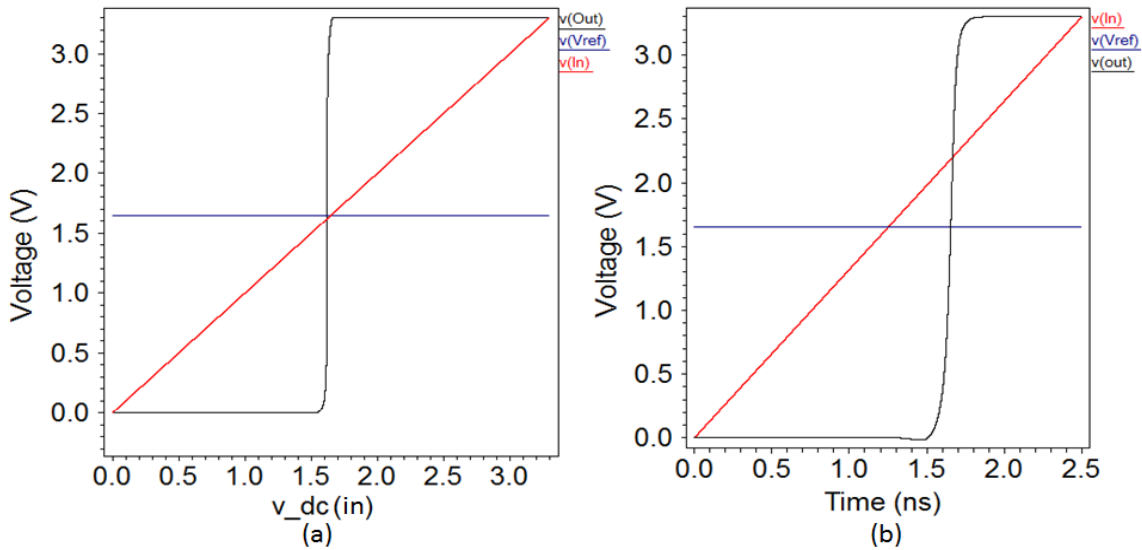
Şekil 3. Karşılaştırıcı devresi[14]

Tablo 2. Transistörlerin kanal boyu ve genişlik (W/L) oranları

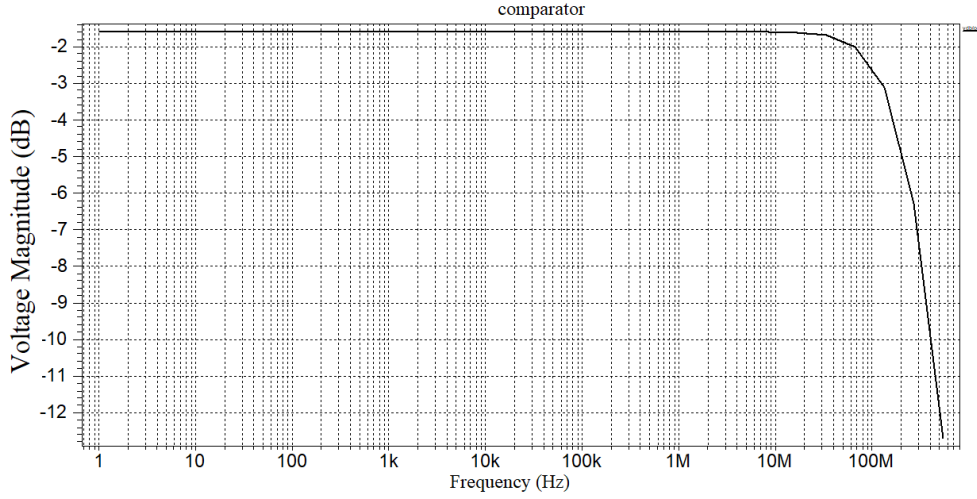
| Devre Elemanın Adı | W/L (μm) | Devre Elemanın Adı | W/L (μm) |
|--------------------|-----------------|--------------------|-----------------|
| M0 | 1.25 / 0.25 | M7 | 1.25 / 0.25 |
| M1 | 1.25 / 0.25 | M8 | 1.25 / 0.25 |
| M2 | 1.25 / 0.25 | M9 | 5.2 / 0.25 |
| M3 | 1.25 / 0.25 | M10 | 5.2 / 0.25 |
| M4 | 2.6 / 0.25 | M11 | 1.75 / 0.25 |
| M5 | 1.25 / 0.25 | M12 | 0.4 / 0.25 |
| M6 | 1.25 / 0.25 | | |

Analog-Sayısal dönüştürücülerde kullanılan karşılaştırıcı devresi, uygulanan analog giriş işareti ile referans geriliminin karşılaştırılması sonucunda, uygulanan giriş işaretinin referans geriliminden büyük ya da küçük olmasına göre devrenin çıkışında “Lojik 1” ya da “Lojik 0” üretir. Tasarımı yapılan zaman-sayısal dönüştürücü de ise karşılaştırıcı devresi, geciktirme devresinden gelen işaret(start) ile durdurma işareti(stop işareti) arasında geçen süre arasında sürekli “Lojik 1” üretmektedir. Durdurma işareti(stop işareti) geldiği andan itibaren karşılaştırıcı devresinin çıkışından “Lojik 0” alınmaktadır. Elde edilen bu çıkış ise dinamik tutucu bloğuna uygulanmaktadır.

Şekil-4(a)'da devrenin DC analiz sonucu, Şekil-4(b)'de ise giriş işareti frekansı 400MHz uygulandığında elde edilen çıkış işareti gösterilmiştir. Ayrıca karşılaştırıcı devresinin AC analizi yapılarak band genişliği bulunmuştur ve Şekil 5'te gösterilmiştir. Yapılan bu analize göre karşılaştırıcı devresinin 3dB band genişliği 182MHz olarak gözlemlenmiştir. Karşılaştırıcı devresi girişine uygulanacak işaret frekansının bunun üzerinde olması, karşılaştırıcı devresinde elde edilen işaretlerin beklenenden daha gecikmeli bir şekilde elde edileceğini göstermektedir.



Şekil 4. (a) Karşılaştırıcı devresi DC Analizi (b) $f_{in}=400MHz$ giriş işareti için çıkış işareti

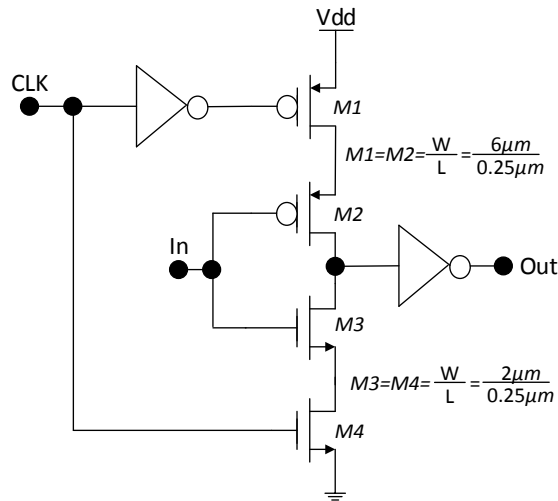


Şekil 5. Karşılaştırıcı devresinin AC analizi

Şekil-4(b)'de ise giriş işareti frekansı 400MHz uygulandığında elde edilen çıkış işareti yaklaşık olarak 300ps gecikmektedir. Her bir karşılaştırıcı çıkışı sonucunda elde edilecek olan çıkış işareti bu kadar süre gecikecektir. Dolayısıyla karşılaştırıcı devresi istenen zamanlarda çıkış veremeyecektir. Bu da önerilen sistemde kod kayıplarına sebep olacaktır. Bu yüzden daha yüksek frekanslarda giriş işareti uyguladığımızda gecikme süresi daha da artacağı için karşılaştırıcının band genişliğinden daha yüksek giriş işareti uygulanmaması gerekmektedir.

C. DİNAMİK TUTUCU

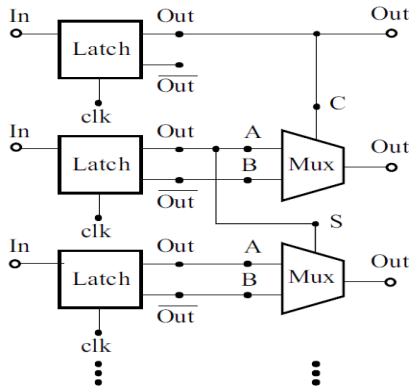
Dinamik tutucu devresi, saat işaretinin sayısal değerine bağlı olarak devre girişine gelen işareti devrenin çıkışına iletir ya da devre çıkışındaki işareti tutar. Saat işaretinin sayısal değerine göre "1" iken devre girişindeki işareti çıkışa iletir, saat işaretinin sayısal değeri "0" iken ise devre çıkışındaki değeri tutar. Sistemin saat işareti sayısal "0" değerini aldığı anda çıkışındaki devre için dönüşüm, saat işareti sayısal "1" değerini aldığı anda ise girişten örnek alma işlemi yapılır. Böylece A / S dönüştürücü tasarımında analog blok ile sayısal blok arasındaki kontrol dinamik tutucu devre yardımı ile sağlanır[15]. Dinamik tutucu devresi Şekil 6'da gösterilmiştir.



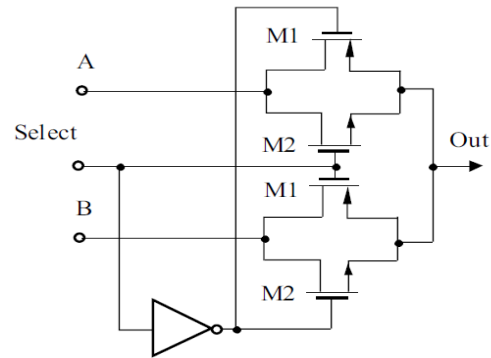
Şekil 6. Dinamik tutucu devresi

D. 1-N KODLAYICI YAPISI

1-n kodlayıcı yapısı, dinamik tutucu bloğunun çıkışında elde edilen sayısal kodun 1-n koda dönüştürülmesini sağlar. Bu tasarımda kullanılan genel kodlayıcı blok Şekil 7’de, 2*1 çoğullayıcı devresi ise Şekil 8’de gösterilmiştir. Dinamik tutucu bloğunda bulunan her bir dinamik tutucu devresi çıkışında elde edilen termometre kodlar çoğullayıcı girişlerine uygulanır. Aynı esnada termometre kodun değili de elde edilmektedir. Sırası ile elde edilen bu çıkışlar 2*1 çoğullayıcı girişine bağlanır. Burada termometre kodun kendisi A giriş ucuna, değili ise B giriş ucuna, seçim ucuna ise tutucunun bir sonraki çoğullayıcıya gelen çıkış ucu bağlanır. Böylece termometre kodu 1-n koda dönüştürülmüş olur[16].



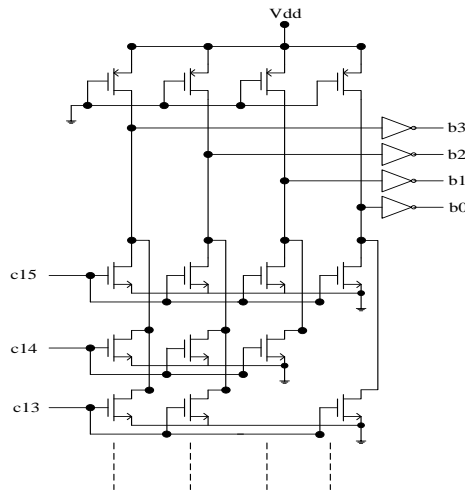
Şekil 7. 1-n kodlayıcı bloğu



Şekil 8. 2*1 Çoğullayıcı Devresi

E. PLA-ROM YAPISI

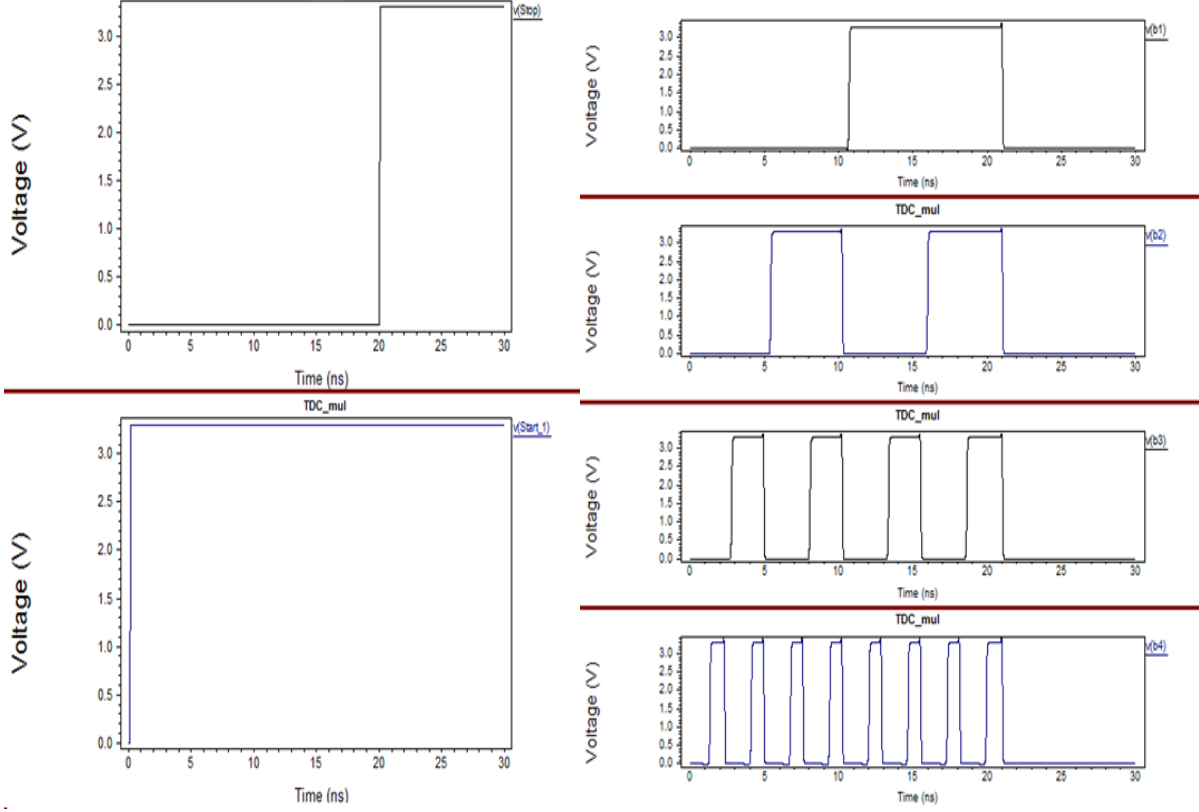
PLA-ROM devresi 1-n kodu binary koda dönüştürmek için kullanılmaktadır. Bu yapıda bit sayısı kadar doğrusal bölgede çalışan PMOS transistör kullanılır. Bu yapıda, çıkışta meydana gelen sayısal kodun şekline benzeyen ve 2^n-1 tane NMOS’den oluşan transistör dizisi kullanılır. Bu yapının en büyük avantajı tamamen paralel olmasıdır. PLA-ROM yapısının bir kısmı Şekil 9’da gösterilmiştir.



Şekil 9. Pla-rom devresi

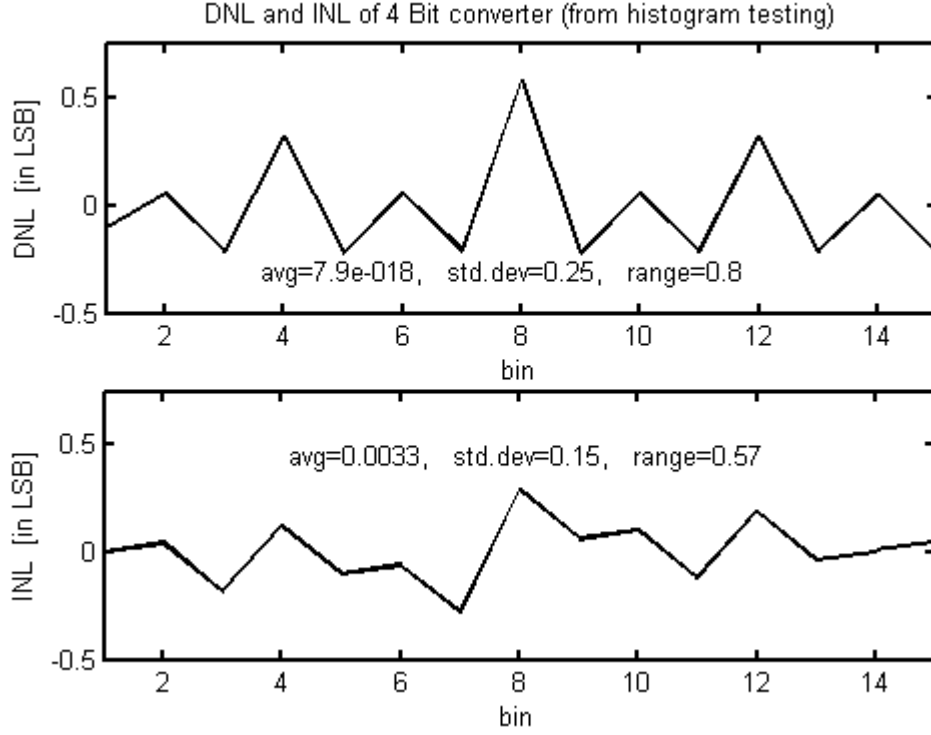
III. BENZETİM SONUÇLARI

Tasarımı yapılan 4 bit 1.31ns çözünürlükte Zaman-Sayısal dönüştürücü için yapılan benzetim sonuçları şematik devre üzerinden alınmıştır. Tanner Tools Pro programı 0.25µm Generic CMOS kütüphanesi kullanılarak elde edilen sonuçlar Şekil 10’da gösterilmiştir.



Şekil 10. 4 bit Zaman Sayısal Dönüştürücü Sayısal Çıktıları

Tasarımı yapılan zaman-sayısal dönüştürücü devresine Şekil 10’da gösterilen “start” ve stop işaretleri uygulanmaktadır. “Start” işareti uygulandıktan 20ns sonra sisteme “stop” işareti uygulanmıştır. Uygulanan bu iki işaret arasında geçen süreye ait sayısal kod değişimleri sonucunda oluşan bit çıkışları Şekil 10’da gösterilmiştir. Şekil 10’da gösterilen bu grafikte “b4” olarak isimlendirilen grafik, tasarlanan sistemin en değersiz biti iken, “b1” ise en değerli biti göstermektedir. Elde edilen bu sonuçlara göre tasarımı yapılan sistemin INL değeri $-0.27 / 0.29$ LSB, DNL değeri ise $-0.22 / 0.57$ LSB’dir. INL-DNL grafiği şekil 11’de gösterilmiştir. İdeal bir A/S dönüştürücü devresinde DNL hatasının 1LSB ya da bu değerden daha az olması beklenmektedir[17]. Eğer tasarlanan sistemin DNL hatası 1LSB’den daha az ise sistemin kod kaybının olmadığı ve transfer karakteristiğinin tek düze olduğu belirtilir[17]. INL hatası ise, elde edilen transfer karakteristiğinin ideal transferden karakteristiğinden ne kadar uzaklaştığının bir göstergesidir[18]. Yapılan analizlere göre sistemin INL hatası da 1LSB’nin altındadır. Sistemin besleme gerilimi 3.3V olup, harcanan toplam güç 126.3mW’dir. Tablo 3’de sistemde kullanılan blok şemalarına göre güç tüketimleri verilmiştir.



Şekil 11. $T_{stop}-T_{start}=20ns$ için elde edilen 4 bit Z/S dönüştürücünün INL-DNL grafiği

Tablo 3. Harcanan güç değerleri

| Devre Bloğunun Adı | Akım (mA) | Güç (mW) |
|-------------------------------------------|--------------|-------------|
| Gecikme Bloğu | 30.87 | 101.9 |
| Karşılaştırıcı Bloğu | 30.6 | 11.9 |
| Dinamik Tutucu ve Çoğullayıcı Bloğu | 2.96 | 9.8 |
| Pla-Rom | 0.81 | 2.7 |
| Tüm Devre | 38.27 | 126.3 |

IV.SONUÇ

Yapılan bu çalışmada 4 bit flash tabanlı bir Zaman – Sayısal Dönüştürücü tasarımı önerilmiştir. Önerilen bu yapıda elde edilen sonuçlara göre, bu tasarımın geliştirilmesi için öncelikli hedeflerden bir tanesi, geciktirme devresi olarak kullanılan analog tampon devresinin geliştirilmesidir. Bu yapının geliştirilmesi için literatürde bulunan farklı analog tampon devreleri test edilecektir. Sistemin geliştirilmesi düşünülen diğer bloğu ise sayısal kodlama bloğu olarak kullanılan dinamik tutucu,

çoğullayıcı ve pla-rom devresinden oluşan yapıdır. Farklı sayısal kodlama blokları kullanılarak sistemin geliştirilebileceği düşünülmektedir.

V. KAYNAKLAR

- [1] D. Cahyadi, R. Kusumah, G. Kumara, A. H. Salman and A. F. Mas'ud, "Design and Implementation of SAR ADC for Timeto-Digital Converter Application", *IEEE Region 10 Conference TENCON 2015*, 2015, ss.:1- 5.
- [2] M. Rezvanyvardom, E. Farshidi, "A Novel Cyclic Time-to-Digital Converter Based on Triple-Slope Interpolation and Time Amplification", *Radioengineering*, vol. 24, no. 3, pp 800-807, 2015.
- [3] M. Rezvanyvardom, T.G. Nejad, E. Farshidi, "A 5-bit time to digital converter using time to voltage conversion and integrating techniques for agricultural products analysis by Raman spectroscopy", *Information Processing in Agriculture*, vol. 1, no.2, pp. 124-130, 2014.
- [4] B. Markovic, S. Tisa, F. A. Villa, A. Tosi and F. Zappa, "A High-Linearity, 17 ps Precision Time-to-Digital Converter Based on a Single-Stage Vernier Delay Loop Fine Interpolation", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 3, pp. 557-569, March 2013.
- [5] K. Kim, W. Yu, S. Cho, "A 9 bit, 1.12 ps resolution 2.5 b/stage pipelined time-to-digital converter in 65 nm CMOS using time-register", *IEEE Journal of Solid-State Circuits*, vol. 49, no.4, pp. 1007-1016, 2014.
- [6] S. Henzler, "Time-to-digital converters", *Springer Science & Business Media*, 2010.
- [7] Y. Cao, P. Leroux, W. De Cock, M. Steyaert, "A 1.7 mW 11b 1–1–1 MASH $\Delta\Sigma$ time-to-digital converter", *IEEE International Solid-State Circuits Conference*, 2011, pp. 480-482.
- [8] C.M. Lai, Y.C. Chen, P.C. Huang, "Time-domain analog-to-digital converters with domino delay lines", *International Symposium on VLSI Design, Automation, and Test (VLSI-DAT)*, 2013, pp 1-4.
- [9] P.M. Levine, G. W. Roberts, "A high-resolution flash time-to-digital converter and calibration scheme", *International Test Conference(IEEE Cat. No.04CH37586)*, 2004, pp 1148-1157.
- [10] K.S. Kim, Y.H. Kim, W.S. Yu, S.H. Cho, "A 7 bit, 3.75 ps resolution two-step time-to-digital converter in 65 nm CMOS using pulse-train time amplifier", *IEEE Journal of Solid-State Circuits*, vol. 48, no.4, pp 1009-1017, 2013.
- [11] R. Jiang, C. Li, M. Yang, H. Kobayashi, Y. Ozawa, N. Tsukiji, M. Hirano, R. Shiota, K. Hatayama, "Successive approximation time-to-digital converter with vernier-level resolution", *IEEE 21st International Mixed-Signal Testing Workshop (IMSTW)*, 2016, pp 1-6,.
- [12] J.D.A. van den Broek, "Design and Implementation of an Analog-to-Time-to-Digital converter", Master's Thesis, pp 1-76, 2012.

- [13] A. Tangel, O. Aytar, F. Tekin, A. Çelebi, “Yüksek hızlı CMOS analog-sayısal dönüştürücülerin VLSI tasarımı ve imalatı”, TÜBİTAK EEEAG Proje 102E001, pp. 1-59, 2005.
- [14] B. Razavi, B.A. Wooley, “Design Techniques for High-Speed, High Resolution Comparators”, *IEEE Journal of Solid-State Circuits*, no. 12, pp. 1916–1926, 1992.
- [15] S. Babayan-Mashhadi, R. Lotfi, “Analysis and Design of a Low-Voltage Low-Power Double-Tail Comparator”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, no. 2, pp. 343–352, 2014.
- [16] K. Sahin, O. Aytar, A. Tangel, “5 Bit 2.5 Gs/s paralel (Flash) analog sayısal dönüştürücü tasarımı”, *Elektrik Elektronik Bilgisayar Sempozyumu*, Elazığ, Türkiye, 2011, pp. 125–130,.
- [17] INL/DNL Measurements for High-Speed Analog-to-Digital Converters (ADCs), Maxim Integrated Technical Documents, (20.08.2018), <https://www.maximintegrated.com/en/app-notes/index.mvp/id/283>.
- [18] Understanding Data Converters Application Report, Texas Instruments, (20.08.2018), <http://www.ti.com/lit/an/slaa013/slaa013.pdf>.