

Yapay Sinir Ağları Yöntemi ile İkinci Kuşak Akım Taşıyıcının Performans Parametrelerinin Tahmin Edilmesi

Abdullah Yeşil¹, Ufuk Çelik², Feyzullah Temurtaş³

^{1,3}Bandırma Onyedi Eylül Üniversitesi, Elektronik ve Haberleşme Mühendisliği, 10200, Bandırma, Balıkesir

²Bandırma Onyedi Eylül Üniversitesi, Yönetim Bilişim Sistemleri, 10200, Bandırma, Balıkesir

ayesil@bandirma.edu.tr

ÖZET

Bu çalışmada ikinci kuşak akım taşıyıcı (CCII) için yapay sinir ağları ile performans parametreleri tahmin edilmiştir. Öncelikle seçilen CCII'nin CMOS gerçekleştirilmesindeki transistörlerin kanal boyu ve genişliği ile kutuplama akımı sistematik olarak LTSPICE benzetim programında taratılmıştır. Ardından CCII'nin CMOS gerçekleştirilmesi göz önünde bulundurularak benzetim programı aracılığıyla dört adet performans parametresi elde edilmiştir. Performans parametrelerinin eğitimi ve tahminlemesi için yapay sinir ağları yöntemi kullanılmıştır. Beyin sinir sisteminin bir simülasyonu olan yapay sinir ağları (YSA) büyük verilerin işlenmesinde kullanılan algoritmalarından birisidir. Yapay sinir ağları gerçekleştirilen tahminleme analiz sonuçlarına göre 24300 veride 19440 eğitim ile 4860 adet test verisi için ortalama mutlak yüzde hatası (MAPE) %7.33 olarak bulunmuştur.

Anahtar Kelimeler: CCII, Aktif Elemanlar, Yapay Sinir Ağları

Performance Parameters Estimation of Second Generation Current Conveyor with Artificial Neural Networks

ABSTRACT

In this study, performance parameters were estimated with artificial neural networks for the second generation current conveyor (CCII). First, the channel length and width of the transistors in the CMOS implementation of the selected CCII and the biasing current were systematically scanned in the LTSPICE simulation program. Then, considering the CMOS implementation of CCII, four performance parameters were obtained through the simulation program. Artificial neural network method was used

for training and estimation of performance parameters. Artificial neural networks (ANNs), which is a simulation of the brain nervous system, are one of the algorithms used in the processing of big data. According to the estimation analysis results of artificial neural networks, mean absolute percentage error (MAPE) for 4860 test and 19440 training in 24300 data was found to be 7.33%.

Keywords: CCII, Active Elements, Artificial Neural Networks

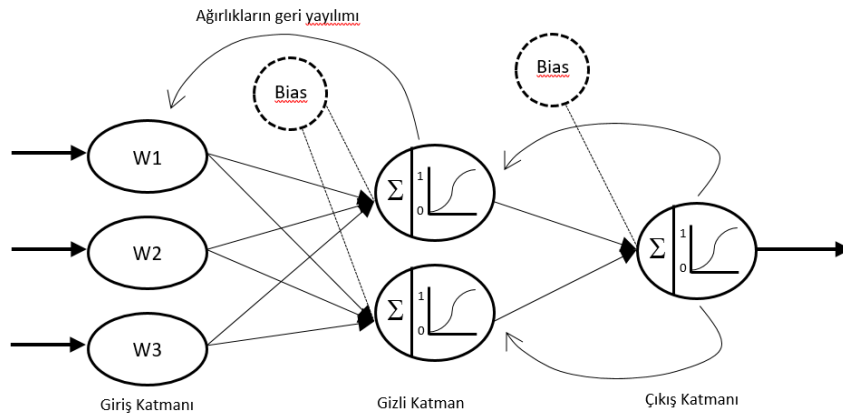
1. GİRİŞ

Aktif elemanlar; filtre devreleri, osilator devreleri, bobin benzetim devreleri, doğrultucu devreleri gibi literatürdeki devre tasarımlarında önemli yer tutmaktadır. Literatürdeki akım modlu aktif elemanlar incelendiğinde genel olarak iki ana bölümde incelenebilir ki bunlar akım taşıyıcı tabanlı aktif elemanlar ve geçiş iletkenliği tabanlı aktif elemanlardır. Akım taşıyıcılar sırasıyla birinci kuşak akım taşıyıcı (CCI) [1], ikinci kuşak akım taşıyıcı (CCII) [2], akım kontrollü ikinci kuşak akım taşıyıcı (CCCII) [3], farksal gerilim akım taşıyıcı (DVCC) [4], diferansiyel fark akım taşıyıcı (DDCC) [5], tam farksal akım taşıyıcı (FDCCII) [6], ikili X uçlu ikinci kuşak akım taşıyıcı (DXCCII) [7] ve akım farkı alan tamponlu kuvvetlendirici (CDBA) [8] gibi örnek verilebilir. Geçiş iletkenliği tabanlı aktif elemanlar ise başta işlemsel geçiş iletkenliği kuvvetlendirici (OTA) [9] olmak üzere geçiş iletkenliği içeren akım farkı alan geçiş iletkenliği kuvvetlendirici (CDTA) [10], gerilim farkı alan geçiş iletkenliği kuvvetlendirici (VDTA) [11], gerilim farkı alan tamponlanmış kuvvetlendirici (VDBA) [12], gerilim farkı alan akım taşıyıcı (VDCC) [13] gibi örnek verilebilir.

Yukarıda bahsedilen aktif elemanların içyapıları, CMOS transistörler kullanılarak gerçekleştirilmiştir. Bu içyapıların özellikleri, ilgili elemana ait portlar arasındaki transfer fonksiyonları yerine getirmesi istenmektedir. Her bir elemanın birbirinden farklı olmak üzere en az bir transfer fonksiyonu farklıdır. Böylelikle uygulama ve kullanım alanlarına göre farklı aktif elemanların seçilmesi tasarımlarda kolaylık, esneklik, tasarımlarda aktif ve pasif eleman sayılarında azaltılması, güç harcaması ve çip alanı üzerinde azaltılması gibi birçok farklı alanda avantaj sağlayacaktır. Ancak içyapılar oluşturulurken aktif eleman ait transfer fonksiyonlarında bazı istenmeyen parazitik empedanslara ve non-ideal kazançlara ait ekstra terimler ortaya çıkmaktadır. Bu parazitik empedanslar ve non-ideal kazançlar ise aktif elemanın çalışma frekansını sınırlarken tasarımda istenilen özelliklerin sapmasına neden olmaktadır. Bu nedenlerden dolayıdır ki bu parazitik empedanslar ve non-ideal kazançların devre performansı düşürmeksizin optimum bir seviye belirlenmesi gerekmektedir. Aktif elemanların iç yapılarında CMOS transistörler kullanıldığı için MOS transistörlere ait kanal boyu ve kanal genişlikleri ve kutuplama akımı değiştirilerek optimum bir seviye oluşturulabilir. Literatürdeki tasarımlar incelenirken birçok içyapının boyutlandırılmasında seçilen transistör boyutları ve akımlar ya tasarımcının daha önceki tecrübeleri ile ya da transistörlere ait basitleştirilmiş akım gerilim denklemleri ile kabaca seçilmektedir. Böylelikle basitleştirilmiş denklemler kullanılarak simülasyon sonuçları ile

teorik sonuçlar arasında ciddi farklar meydana gelmektedir. Ardından benzetim programları üzerinden transistör boyutları ve kutuplama akımı optimize edilmektedir. Ancak tasarımlar yapılırken gözlemlenmiştir ki kutuplama akımları veya transistör boyutlarındaki değişimler ile içyapıya ait performans parametrelerinde ciddi iyileştirmeler meydana gelmektedir. Böylelikle CMOS içyapılardaki transistörlerin kanal boyu ve genişlikleri ve kutuplama akımları sistematik olarak benzetim program programında değiştirildiğinde CMOS içyapıya ait performans parametreleri elde edilmiş olacaktır. Bu verilerin en önemli özelliği yüksek doğruluklu model parametreleri kullanılarak benzetim programı aracılığı ile elde edilmiş olmasıdır. Ardından yapay zekâ yöntemlerinden birisi olan YSA ile veriler analiz edilerek devre tasarımların istenilen değere hızlı ve verimli bir şekilde ulaşılabilmesi sağlanacaktır.

İnsan beyin sisteminden esinlenerek geliştirilmiş olan YSA biyolojik sinir ağlarının bir simülasyonudur [14]. Her biri kendi belleğine sahip nöronlar kendi aralarında bilgi alışverişi için birbirleri ile bağlı paralel ve dağıtılmış bir yapıdır. Nöronların bu bağlantılarının tecrübeye göre ayarlanabilen sayısal ağırlıkları vardır. Bu ağırlıklar, sinir ağlarını girdilere göre ayarlanabilir hale getirir ve bu sayede öğrenme işlemini gerçekleştirirler [15]. Nöronlar katmanlar şeklinde ayarlanmıştır. Katmanlar bir aktivasyon içeren birbirleri ile ilişkili düğümlere sahiptir. Yapı bir veya daha fazla gizli katman ile iletişim kuran bir giriş katmanı vasıtasıyla bir ağ şeklindedir. Bu ağ, bir aktivasyon fonksiyonu ile ağırlıkları belirlenen bir sistem şeklinde çalışır. Gizli katman bir çıkış katmanı üzerinden sonuçları üretecek şekilde bağlanmıştır [14].



Şekil 1. Öğrenmede geri yayımlı YSA modeli

Şekil 1 ile gösterilen örnek bir YSA modelinde [16] en az bir hücrenin çıkışı kendisine veya diğer hücrelere giriş olarak verilir. Bu sistem denetimli bir algoritmadır. Girişler ve çıkışlar arasındaki hata sinyali bulunarak, ağırlıklar bu sinyale göre güncellenir. Böylece hata fonksiyonunun etkileri ağırlıklar sayesinde yayılır ve toplam hata değeri minimize edilmiş olur. Geri yayılım algoritmasında kullanılan

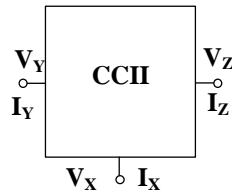
aktivasyon fonksiyonu, sürekli türevi alınabilen ve tekdüze bir şekilde azalmayan minimum ve maksimum asimptotlar arasında uzayan bir fonksiyondur [17].

Yapay sinir ağları modeli günümüzde donanım kısıtlamalarının ortadan kalkması ve özellikle grafik işlemcilerinin de algoritmada kullanılması ile büyük verilerin analizinde tercih edilmektedir. Haberleşme, biyomedikal gibi birçok alanda kullanılan yapay sinir ağları özellikle çok büyük veriler içeren elektronik devre tasarımlarında başarılı bir performans sergilemektedir [18-25].

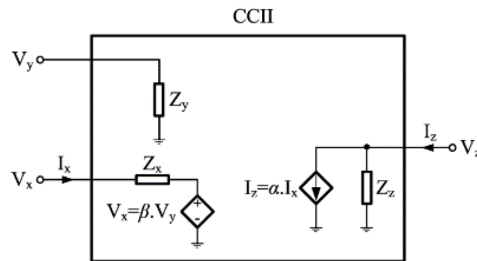
Literatürdeki çalışmalar incelendiğinde CCII tabanlı birçok devre tasarımı kullanılmıştır. CCII aktif eleman ait farklı performans parametrelerinin iyileştirilmesi için farklı devre blokları ile içyapı tasarımları gerçekleştirildiği izlenmektedir [26-31]. Bu sebeplerden dolayı bu çalışmada CCII aktif elemana ait içyapı kullanılmasına karar verilmiştir. CCII'ye ait farklı içyapılar kullanılmıştır [26-31]. Ancak tasarımdaki Arslan ve Morgül tarafından sunulan içyapı kullanılmıştır [28]. Transistörlerin kanal boyu ve genişlikleri ve kutuplama akımları sistematik olarak değiştirildiğinde X ve Z terminaline ait band genişliği (f_{mx} , f_{mz}), X terminalindeki seri parazitik direnç (R_x), Z terminalindeki paralel parazitik direnç (R_z), Y terminalinden X terminaline gerilim kazancı (β), X terminalinden Z terminaline akım kazancı (α) elde edilmiştir. Bu veriler YSA modelinde eğitilerek bilinmeyen yeni bir verinin tahminlemesi için kullanılmıştır.

2. YÖNTEM

CCII'nin elektriksel sembolü Şekil 2'de verilmektedir. Y ve Z terminali yüksek empedansa (ideal de sonsuz) sahipken X terminali ise düşük empedansa (ideal de sıfır) sahiptir. İçyapıda ait başlıca parazitik empedanslar ve non-ideal kazançlar ise Şekil 3'de verilmiştir.



Şekil 2. CCII elektriksel sembolü



Şekil 3. Parazitik empedanslar ve non-ideal kazançlar içeren CCII'nin eşdeğer devresi [28]

CCII'nın terminallerine ait ideal transfer fonksiyonu aşağıda verilmektedir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (1)$$

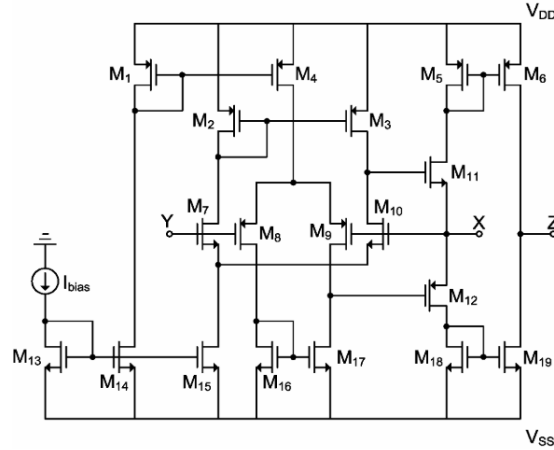
Ancak yukarıda verilen transfer fonksiyonları ideal yapıya aittir. CMOS içyapı göz önünde bulundurulduğunda ise başlıca istenmeyen parazitik empedanslar ve non-ideal kazançları içeren transfer fonksiyonu ise aşağıda verilmektedir.

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ \beta(s) & R_X & 0 \\ 0 & \alpha(s) & R_Z \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (2)$$

R_X , X terminalindeki seri parazitik direnç iken R_Z ise Z terminalindeki paralel parazitik dirençtir. α , Y terminalinden X terminaline gerilim kazancını tanımlarken β ise X terminalinden Z terminaline akım kazancını tanımlamaktadır. İdealde α ve β 'nin değeri bir'dir. f_β , V_X/V_Y 'nin band genişliği iken f_α ise I_Z/I_X 'nin band genişliğidir.

$$\beta(s) = \frac{\beta_0}{1 + s/(2\pi f_\beta)} \quad (3)$$

$$\alpha(s) = \frac{\alpha_0}{1 + s/(2\pi f_\alpha)} \quad (4)$$

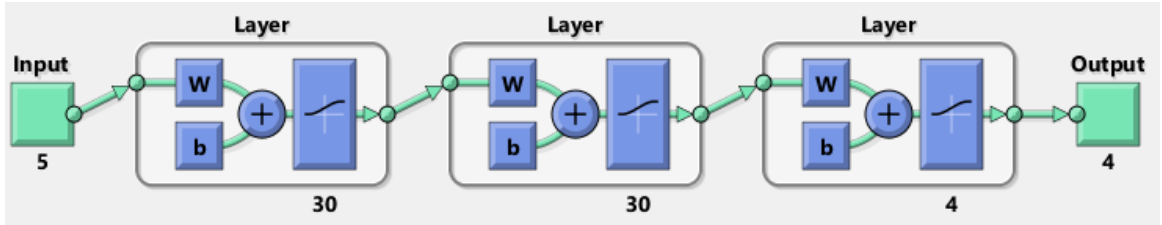


Şekil 4. CCII'nın CMOS gerçeğemesi [28]

Şekil 4'de Arslan ve Morgül tarafında sunulan CCII nin içyapısı verilmiştir [28]. Yapının özellikleri arasında düşük parazitik R_X direncine sahip olması, DC olarak V_X/V_Y 'nin geniş çalışma aralığına sahip olması yer almaktadır. Giriş katında kullanılan gerilim tampon devresinde "rail to rail stage" kullanılmıştır. Yani klasik N tipi farksal kuvvetlendirici yerine hem N tipi farksal kuvvetlendirici

hem de P tipi farksal kuvvetlendirici kullanılarak V_X/V_Y 'nin DC çalışma aralığı arttırılmıştır. Ayrıca iki farksal kuvvetlendirici kullanıldığı için R_X direnci tek farksal kuvvetlendiriciye göre yarıya inmiş olacaktır. M_5 - M_6 ve M_{18} - M_{19} transistörleri akım aynası olarak kullanılmaktadır.

Şekil 4'deki CCII içyapısı incelendiğinde farksal kuvvetlendiricilerdeki $3 \times M_7 = 3 \times M_{10} = M_8 = M_9$ şartı sağlanması gerekir. Ayrıca akım aynaları olan $M_2 = M_3 = 3 \times M_{16} = 3 \times M_{17}$ seçilebilir. Ayrıca I_{BIAS} akımını yansıtmak için kullanılan $3 \times M_{13} = 3 \times M_{14} = 3 \times M_{15} = M_1 = M_4$ transistörlerin boyutları sabit bir değer seçilebilir. Çıkış katı için kullanılan $M_5 = M_6 = 3 \times M_{18} = 3 \times M_{19}$ transistörleri ise bu şart ile seçilebilir. Yerine kalan M_{11} ve M_{12} transistörleri için ise aynı kol üzerinde olduğu için $3 \times M_{11} = M_{12}$ olacaktır. Bu durumda devrenin boyutlandırılabilmesi için akımı yansıtmak için kullanılan transistörleri sabit seçildiğinde I_{BIAS} akımı ile toplamda 5 değişken ile devrenin tamamını boyutlandırılabilir. 5 değişkeni sistematik olarak değiştirildiğinde CCII'nın performans parametreleri olarak seçilen V_X/V_Y 'nin band genişliği (f_{mx}), I_Z/I_X 'nin band genişliği (f_{mz}), R_X , R_Z , parametreleri benzetim programından elde edilebilir. Böylelikle yapay sinir ağları veya yapay zekâ yöntemleri ile optimum çözümlere elde edilebilir.



Şekil 5. Yapay sinir ağları katmanları

Elde edilen verilerin test edilmesinde kullanılan MATLAB [Lisans No: 40692431] yazılımı ile oluşturulan yapay sinir ağları modeli Şekil 5'de gösterilmiştir. Oluşturulan model 3 gizli katman ile sırasıyla 30, 30 ve 4 nörondan oluşmaktadır. Ayrıca giriş katmanı 5 parametre için 5 adet nöron ve çıkış katmanı 4 parametre için 4 adet nöron içermektedir. Modelde gizli katmanlar arasındaki hata düzeltme ağırlıkları için transfer fonksiyonu olarak log-sigmoid fonksiyonu (f_1) ve çıkış katmanı için lineer fonksiyon (f_2) kullanılmıştır.

$$f_1(x) = \frac{1}{1 + e^{-x}} \quad (5)$$

$$f_2(x) = x \quad (6)$$

Eğitim performansı için model, ortalama mutlak yüzde hata (MAPE) değerine göre optimize edilerek parametreler tahmin edilmiştir. Denetimli bir öğrenme algoritması olan YSA için verilerin %80'si eğitim için ve %20'si test etmek için kullanılmıştır. Literatürdeki birçok makaleler çok katmanlı sinir ağı (MLNN) eğitim algoritmaları üzerinde çalışılmıştır ve çoğu eğitim için etkileyici bir yöntem olarak geri yayılım algoritmasını kullanır. Sonuçların daha hızlı birleştirilmesi ve sınıflandırılması için,

bu çalışmada Levenberg-Marquardt (LM) algoritmasını [32,33] kullandık. Ayrıntılı olarak MLNN'de kullanılan denklemler [34,35] 'de gösterilmiştir.

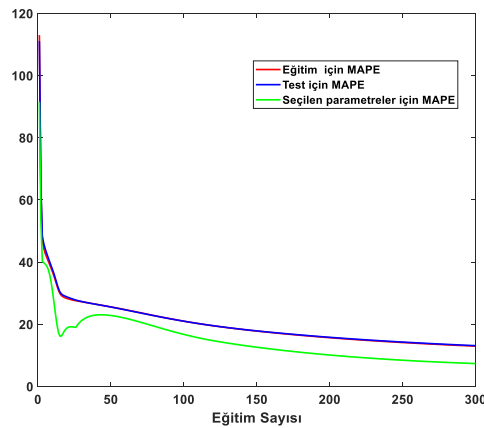
3. MATERYAL

CCII ait benzetim sonuçları LTSPICE programı aracılığıyla AMS 0.35 μ m teknoloji parametreleri kullanılarak elde edilmiştir. Besleme gerilimi olarak $\pm 1.65V$ kabul edilmiştir. Transistör boyutları ise seçilen devrenin bulunduğu makaledeki boyutları da kapsayacak şekilde transistör boyutları ve akımı sistematik olarak taratılacaktır [28]. Sistematik olarak 1. değişken olan I_{BIAS} akımını $15\mu A$ 'den $35\mu A$ 'e kadar $2.5\mu A$ adımlar ile değiştirebilir. 2. değişken olan $3 \times M_7 = 3 \times M_{10} = M_8 = M_9 = 3 \times M_{N1}$ şartını $10\mu m$ 'den $30\mu m$ 'e kadar $2.5\mu m$ adım aralıkları ile değiştirebilir. 3. değişken olan $M_2 = M_3 = 3 \times M_{16} = 3 \times M_{17} = 3 \times M_{N2}$ şartını $2.5\mu m$ den $25\mu m$ 'e kadar $2.5\mu m$ adım aralıkları ile değiştirilebilir. 4. değişken olan $M_5 = M_6 = 3 \times M_{18} = 3 \times M_{19} = 3 \times M_{N3}$ şartını $2.5\mu m$ 'den $25\mu m$ 'ye kadar $2.5\mu m$ adım aralıkları ile değiştirilebilir. Son olarak 5. değişken olan $3 \times M_{11} = M_{12} = 3 \times M_{N4}$ şartını ise $5\mu m$ 'den $15\mu m$ kadar $5\mu m$ adım aralıkları ile değiştirilebilir. Ayrıca, I_{BIAS} akımını yansıtmak için kullanılan $3 \times M_{13} = 3 \times M_{14} = 3 \times M_{15} = M_1 = M_4 = 10\mu m$ olarak seçilirken aynı zamanda tüm transistörlerin kanal boyları $0.7\mu m$ olarak seçilmiştir. Bu şekilde sistematik olarak boyutlar değiştirilmiş olmuştur.

YSA algoritmasında benzetim programından elde edilen 24300 verinin 19440 adeti eğitim için 4860 adeti ise test için ayrılmıştır.

4. BULGULAR

YSA modelinin analizine göre eğitim ve test sonuçlarının MAPE grafiği Şekil 6'de verilmiştir. Görüldüğü gibi 300 iterasyon sonunda MAPE %13 kadar düşmektedir. Ayrıca iterasyon sayısının artması ile MAPE değerinin azaldığı izlenmektedir. Daha çok sayıda devreden veri alınmasıyla eğitim ve testteki hata değerlerinin azalacağı tahmin edilmektedir.



Şekil 6. Yapay Sinir ağlarının eğitim ve test sonuçları

Arslan ve Morgül tarafından önerilen CMOS içyapı, transistör boyutları ve kutuplama akımı göz önünde bulundurularak benzetim programından elde edilen 4 farklı çıkış parametreleri Tablo 1’de verilmiştir [28]. Eğitilen YSA ile bulunan çıkış parametreleri Tablo-1 de verilmiştir. Seçilen parametreler için MAPE %7.33 bulunmuştur. Veri sayının ve çözünürlüğünün artırılması ile MAPE oranının düşmesi ön görülmektedir.

Tablo 1. Transistör boyutları ile kutuplama akımına bağlı olarak 4 farklı performans parametresi

Parametreler	Giriş parametreleri					Çıkış Parametreleri			
	I_{bias}	M_{N1}	M_{N2}	M_{N3}	M_{N4}	f_{mx}	f_{mz}	r_x	r_z
Birimler	(μA)	(μm)	(μm)	(μm)	(μm)	(MHz)	(MHz)	(Ω)	(k Ω)
Test Verisi	25	20	10	10	10	647.213	608.565	12.13	174.7
YSA Tahmin Verisi	25	20	10	10	10	630.353	613.707	10.61	151.3

5. SONUÇ VE TARTIŞMA

Bu çalışmada, ikinci kuşak akım taşıyıcıya ait 2007 yılında önerilmiş geliştirilmiş geniş bantlı CMOS gerçekleştirilmesi seçilmiştir. CMOS gerçekleştirilmesi göz önünde bulundurularak yapıdaki transistörlerin kanal boyu, genişliği ve kutuplama akımı sistematik olarak LTSPICE programında değiştirilerek, devreye ait 4 farklı performans parametreleri elde edilmiştir. Elde edilen parametreler kullanılarak yapay sinir ağları ile 3 katmanlı ve sırasıyla 30, 30 ve 4 nöronlu oluşan sinir ağı ile modellenmesi gerçekleştirilmiştir. Modelleme sonucunda elde edilen performans parametreleri ile makaledeki transistör boyutları ve kutuplama akımı ile arasındaki hata hesabı yapılmış olup benzetim sonuçları ile tahmin edilen sonuçlar arasında uyum kabul edilebilir sınırlar içinde yer almıştır.

Çalışmada kullanılan YSA algoritması ile devre tasarımları gibi büyük veriler içeren modellerde başarılı bir tahminleme performansı gösterdiği tartışmaya açılmıştır. YSA algoritmasının devre tasarımlarında kullanılması diğer devre modelleri için uygulanabilirliği ileri dönük çalışmalar olarak düşünülmelidir. Özellikle devre tasarım modelleri gibi büyük veriler içeren çalışmalarda öğrenme yöntemleri açısından YSA ön plana çıkmaktadır.

TEŞEKKÜR

Bu çalışma Bandırma Onyedü Eylül Üniversitesi Bilimsel Araştırma Projeleri Koordinasyon Birimi tarafından desteklenmiştir. Proje Numarası: BAP-18-DF-1003-004.

6. KAYNAKÇA

- [1] K. C. Smith and A. Sedra, "CC The current conveyor; A new circuit building block," *Proc. IEEE*, vol. 56, no. 8, pp. 1368–1369, 1968.
- [2] A. Sedra and K. Smith, "A second-generation current conveyor and its applications," *IEEE Trans. Circuit Theory*, vol. 17, no. 1, pp. 132–134, 1970.
- [3] A. Fabre, O. Saaid, F. Wiest, and C. Boucheron, "High frequency applications based on a new current controlled conveyor," *IEEE Trans. Circuits Syst. I Fundam. Theory Appl.*, vol. 43, no. 2, pp. 82–91, 1996.
- [4] H. O. Elwan and A. M. Soliman, "Novel CMOS differential voltage current conveyor and its applications," *IEE Proc. - Circuits, Devices Syst.*, vol. 144, no. 3, pp. 195, 1997.
- [5] W. Chiu, S.-I. Liu, H.-W. Tsao, and J.-J. Chen, "CMOS differential difference current conveyors and their applications," *IEE Proc. - Circuits, Devices Syst.*, vol. 143, no. 2, pp. 91, 1996.
- [6] A. A. El-Adawy, A. M. Soliman, and H. O. Elwan, "A novel fully differential current conveyor and applications for analog VLSI," *IEEE Trans. Circuits Syst. II Analog Digit. Signal Process.*, vol. 47, no. 4, pp. 306–313, 2000.
- [7] A. Zeki and A. Toker, "The dual-X current conveyor (DXCCII): a new active device for tunable continuous-time filters," *Int. J. Electron.*, vol. 89, no. 12, pp. 913–923, 2003.
- [8] C. Acar and S. Ozoguz, "A new versatile building block: current differencing buffered amplifier suitable for analog signal-processing filters," *Microelectronics J.*, vol. 30, no. 2, pp. 157–160, 1999.
- [9] S. Franco "Use transconductance amplifiers to make programmable active filters. *Electronic Design*," vol. 24 no.19, pp. 98-101, 1976.
- [10] D. Biolek, "CDTA–building block for current-mode analog signal processing," *Proc. ECCTD*, vol. 3, pp. 397–400, 2003.
- [11] A. Yesil, F. Kacar, and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application," *Radioengineering*, vol. 20, no. 3, pp. 632–637, 2011.
- [12] F. Kacar, A. Yesil, and A. Noori, "New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications," *Radioengineering*, vol. 21, no. 1, pp. 333–339, 2012.
- [13] F. Kacar, A. Yesil, S. Minaei, and H. Kuntman, "Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements," *AEU- Int. J. Electron. Commun.*, vol. 68, no. 1, pp. 73–78, 2014.

- [14] R. G. Morris, D.O. Hebb: The Organization of Behavior, Wiley: New York; 1949. Brain Research Bulletin, vol. 50, pp.437,1999.
- [15] M. Caudill, “Neural Networks Primer, Part I.”, AI Expert, vol.2, no.12, pp. 46–52., 1987
- [16] D.E. Rumelhart, G.E. Hinton, R.J. Williams. “Learning representations by back propagating errors.” Nature, vol.323, pp.533, 1986.
- [17] J. Brownlee, “Clever Algorithms.”, 2011, lulu.com, pp.438.
- [18] M.I. Dieste-Velasco , M. Diez-Mediavilla , and C. Alonso-Tristán “Regression and ANN Models for Electronic Circuit Design,” Complexity, 2018,
- [19] M.N. Seyman, N. Taspınar “Channel estimation based on neural network in space time block coded MIMO–OFDM system.” Digital Signal Processing, vol. 23 no.1, pp.275-280, 2013.
- [20] F. Temurtas, H. Temurtas, N. Yumusak, “Application of neural generalized predictive control to robotic manipulators with a cubic trajectory and random disturbances.” Robotics and Autonomous Systems, vol.54, no.1, pp. 74-83, 2006.
- [21] O. Cetin, F. Temurtaş, Ş. Gülgönül, “An application of multilayer neural network on hepatitis disease diagnosis using approximations of sigmoid activation function.” Dicle Medical Journal/Dicle Tıp Dergisi, vol. 42, no.2, 2015.
- [22] O. Cetin, F. Temurtaş, “Görsel Uyarılara İlişkin Manyetoensefalografi Sinyallerinin Genelleştirilmiş Regresyon Sinir Ağı ile Sınıflandırılması.” Dicle Tıp Dergisi, vol. 46 no. 1, pp. 19-25, 2019.
- [23] U. Celik, N. Yurtay, Z. Pamuk “Migraine diagnosis by using artificial neural networks and decision tree techniques.” Online Acad. J. Inf. Technol, vol. 5 no.14, pp.79-89, 2014.
- [24] U. Celik, N. Yurtay, E.R. Koç, N. Tepe, H. Güllüoğlu and M. Ertaş, “Diagnostic accuracy comparison of artificial immune algorithms for primary headaches.” Computational and mathematical methods in medicine, 2015.
- [25] A. Dalcalı, O. Çetin, C. Ocak, F. Temurtaş, “Prediction of the Force on a Projectile in a Electromagnetic Launcher Coil with Multilayer Neural Network” Sakarya University Journal of Computer and Information Sciences, vol. 1, no. 3, pp.1-10, 2018
- [26] E. Arslan and A. Morgul, “Self-Biasing Current Conveyor for High Frequency Applications,” *J. Circuits, Syst. Comput.*, vol. 21, no. 05, pp. 1250039, 2012.
- [27] E. Arslan, S. Minaei, and A. Morgul, “On The Realization of High Performance Current Conveyors And Their Applications,” *J. Circuits, Syst. Comput.*, vol. 22, no. 03, pp. 1350015, 2013.

- [28] E. Arslan and A. Morgül, “Wideband current conveyor with rail to rail input stage,” *ELECO, 5th Int. Conf. Electr. Electron. Eng.*, pp. 66–70, 2007.
- [29] E. Yuce and S. Minaei, “New CCII-based versatile structure for realizing PID controller and instrumentation amplifier,” *Microelectronics J.*, vol. 41, no. 5, pp. 311–316, 2010.
- [30] F. Yucel and E. Yuce, “CCII based more tunable voltage-mode all-pass filters and their quadrature oscillator applications,” *AEU - Int. J. Electron. Commun.*, vol. 68, no. 1, pp. 1–9, 2014.
- [31] F. Yucel and E. Yuce, “A new single CCII- based voltage-mode first-order all-pass filter and its quadrature oscillator application,” *Sci. Iran. Trans. D, Comput. Sci. Eng. Electr.*, vol. 22, no. 3, pp. 1068–1076, 2015.
- [32] M. S. Bascil, A.Y. Tesneli, F. Temurtas, F. “Multi-channel EEG signal feature extraction and pattern recognition on horizontal mental imagination task of 1-D cursor movement for brain computer interface.” *Australasian physical & engineering sciences in medicine*, vol.38 no.2, pp. 229-239, 2015.
- [33] D.L. Chester Why two hidden layers are better than one. In: International joint conference on neural networks, pp 265–268,1990
- [34] M.T. Hagan, M. Menhaj, “Training feed forward networks with the Marquardt algorithm,” *IEEE Trans. Neural Netw* vol. 5, pp. 989–993,1994
- [35] D.E. Rumelhart, G.E. Hinton, R.J. Williams, “Learning internal representations by error propagation.” In: Rumelhart DE, McClelland J (eds) *Parallel distributed processing*. MIT Press, Cambridge, pp. 318–362,1986.